EFCIS

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmosmos

EF6852
(1.0 MHz)
EF68A52
(1.5 MHz)
EF68B52
(2.0 MHz)

Ancienne appellation : SFF9-6852

INTERFACE POUR COMMUNICATIONS SERIES SYNCHRONES (SSDA)

Le SSDA EF6852 est un interface bidirectionnel pour des communications séries synchrones. Il permet la réception et la transmission simultanées de caractères standards de communication synchrone pour des systèmes organisés autour du bus comme les systèmes microprocesseur EF6800.

L'interface du SSDA avec le bus comprend les signaux de sélection du boîtier, de sélection du registre, d'activation, de lecture/écriture, d'interruption et du bus données 8 bits bidirectionnel. Les données parallèles sont transmises et reçues en série par le SSDA avec synchronisation, émission ou suppression de caractères "nuls" et commande d'erreurs. La configuration fonctionnelle du SSDA est programmée, via le bus données, lors de l'initialisation du système. Trois registres de contrôle programmables permettent le contrôle de la longueur des mots transférés, du transmetteur, du récepteur, de la synchronisation et des interruptions. Des lignes d'état, des lignes de synchronisation et de commande permettent la commande d'un modem ou d'un périphérique.

Des applications typiques du SSDA comprennent des contrôleurs d'unités à disque souple, ("Floppy disk") des contrôleurs d'unités à cassette ou à cartouche, des terminaux de communication et des systèmes de commande numérique.

Caractéristiques :

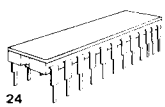
- Interruptions masquables provenant du transmetteur, du récepteur et de la logique de détection d'erreurs
- Synchronisation de caractères par un ou deux caractères de synchronisation
- Synchronisation externe possible pour l'opération parallèle-série
- Registre caractère de synchronisation programmable
- Transmission jusqu'à 600 kbps
- Fonctions de commande d'un périphérique ou d'un modem
- Stockage de trois octets en FIFO en transmission et en réception
- Transmission de sept, huit ou neuf bits
- Bit de parité ou d'imparité optionnel
- Erreurs de parité, de sur-charge et de sous-charge.

MOS

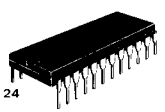
CANAL N, GRILLE SILICIUM

INTERFACE SERIE SYNCHRONE

BOITIER CB-68



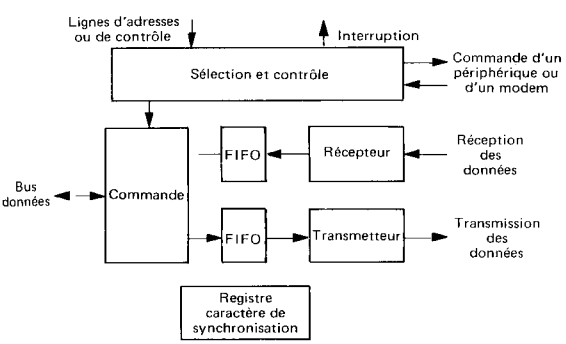
SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

Différentes versions : voir dernière page.

Schéma fonctionnel du SSDA EF6852



Vitesse	Référence	Gamme de température
1.0 MHz	EF6852C,P	0 à + 70° C
	EF6852CV,PV	- 40 à + 85° C
Equ. MIL-STD-883B	EF6852CMB	- 55 à + 125° C
Equ. MIL-STD-883C	EF6852CMP	
1.5 MHz	EF68A52C,P	0 à + 70° C
	EF68A52CV,PV	- 40 à + 85° C
2.0 MHz	EF68B52C,P	0 à + 70° C

DS 9494R1-F
1/20

EFCIS FRANCE

45, av. de l'Europe
78140 VELIZY

Tel. : (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	− 0.3 à + 7.0	V
Tension d'entrée	V_{in}	− 0.3 à + 7.0	V
Température de fonctionnement EF6852,EF68A52,EF68B52 EF6852CV ou PV, EF68A52CV ou PV EF6852CMB, EF6852CMP	T_A	 0 à + 70 − 40 à + 85 − 55 à + 125	°C
Température de stockage	T_{stg}	− 55 à + 150	°C
Résistance thermique Boîtier plastique Boîtier céramique	θ_{JA}	 120 60	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5.0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2.0	–	–	V
Tension d'entrée à l'état bas	V_{IL}	–	–	V_{SS} + 0.8	V
Courant de fuite en entrée (Tx Clk, Rx Clk, Rx Donnée, Reset, RS, R/$\overline{W}$, $\overline{CS}$, $\overline{DCD}$, $\overline{CTS}$) (V_I = 0 à 5.25 V)	I_{in}	–	1.0	2.5	µA
Courant d'entrée dans l'état haute impédance (D0 – D7) (V_I = 0,4 à 2,4 V, V_{CC} = 5,25 V)	I_{TSI}	–	2.0	10	µA
Tension de sortie à l'état haut (I_{charge} = −205 µA, largeur de l'impulsion d'activat. < 25µs) D0 – D7 (I_{charge} = −100 µA, largeur de l'impulsion d'activat. < 25µs) Tx Donnée, $\overline{DRT}$, TUF	V_{OH}	 V_{SS} + 2.4 V_{SS} + 2.4	 – –	 – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6mA, largeur de l'impulsion d'activ. < 25µs)	V_{OL}	–	–	V_{SS} + 0.4	V
Courant de fuite en sortie dans l'état haute impédance $\overline{IRQ}$ (V_{OH} = 2,4 V)	I_{LOH}	–	1.0	10	µA
Puissance dissipée	P_D	–	300	525	mW
Capacité d'entrée (V_I = 0, T_A = 25° C, f = 1 MHz) D0 – D7 Toutes les autres entrées	C_{in}	 – –	 – –	 12.5 7.5	pF
Capacité de sortie (V_I = 0, T_A = 25° C, f = 1 MHz) Tx Donnée, SM/$\overline{DTR}$, TUF $\overline{IRQ}$	C_{out}	–	–	10 5.0	pF

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5.0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	EF6852		EF68A52		EF68B52		Unités
		Min	Max	Min	Max	Min	Max	
Largeur minimale de l'impulsion d'horloge, état bas (fig.1)	PW_{CL}	700	–	400	–	280	–	ns
Largeur minimale de l'impulsion d'horloge, état haut (fig.2)	PW_{CH}	700	–	400	–	280	–	ns
Fréquence d'horloge	f_C	–	600	–	1000	–	1500	kHz
Temps de pré-établissement des données reçues (fig.3 et 7)	t_{RDSU}	350	–	200	–	160	–	ns
Temps de maintien des données reçues (figure 3)	t_{RDH}	350	–	200	–	160	–	ns
Temps de retard de la sortie SM (figure 3)	t_{SM}	–	1.0	–	0.666	–	0.500	µs
Temps de retard des données par rapport à l'horloge en réception (figure 4)	t_{TDD}	–	1.0	–	0.666	–	0.500	µs
Temps de retard de la sortie TUF (figure 4)	t_{TUF}	–	1.0	–	0.666	–	0.500	µs
Temps de retard de la sortie $\overline{DTR}$ (figure 5)	t_{DTR}	–	1.0	–	0.666	–	0.500	µs
Temps de rétention de $\overline{IRQ}$ (figure 5)	t_{IR}	–	1.2	–	0.800	–	0.600	µs
Largeur minimale de l'impulsion $\overline{Reset}$	t_{Res}	1.0	–	0.666	–	0.500	–	µs
Temps de pré-établissement de $\overline{CTS}$ (figure 6)	t_{CTS}	200	–	150	–	120	–	ns
Temps de pré-établissement de $\overline{DCD}$ (figure 7)	t_{DCD}	500	–	350	–	250	–	ns
Temps de montée et de descente des entrées (sauf E) (0,8 V à 2 V)	t_r, t_f	–	1.0*	–	1.0*	–	1.0*	µs

*1.0 µs ou 10% de la largeur d'impulsion, ce qui est plus faible.

FIGURE 1 – LARGEUR DE L'IMPULSION D'HORLOGE A L'ETAT BAS

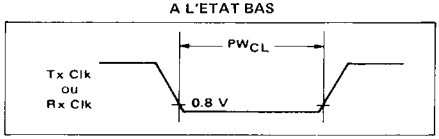
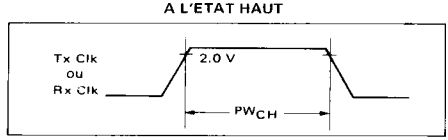


FIGURE 2 – LARGEUR DE L'IMPULSION D'HORLOGE A L'ETAT HAUT



CARACTERISTIQUES DYNAMIQUES DU BUS

LECTURE (figures 8 et 10)

Paramètres	Symboles	EF6852		EF68A52		EF68B52		Unités
		Min	Max	Min	Max	Min	Max	
Temps de cycle du signal d'activation E	t_{cycE}	1.0	–	0.666	–	0.5	–	µs
Largeur à l'état haut de l'impulsion d'activation E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur à l'état bas de l'impulsion d'activation E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps de pré-établissement de l'adresse et de R/$\overline{W}$ par rapport à la transition positive de l'activation E	t_{AS}	160	–	140	–	70	–	ns
Temps de retard des données	t_{DDR}	–	320	–	220	–	180	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente du signal d'activation E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns
ECRITURE (figures 9 et 10)								
Temps de cycle du signal d'activation E	t_{cycE}	1.0	–	0.666	–	0.5	–	µs
Largeur à l'état haut de l'impulsion d'activation E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur à l'état bas de l'impulsion d'activation E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps de pré-établissement de l'adresse et R/$\overline{W}$ par rapport à la transition positive de l'activation E	t_{AS}	160	–	140	–	70	–	ns
Temps de pré-établissement des données	t_{DSW}	195	–	80	–	60	–	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente du signal d'activation E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns

FIGURE 3 – TEMPS DE MAINTIEN ET DE PRE-ETABLISSEMENT DES DONNEES RECUES ET TEMPS DE RETARD DU SIGNAL SM

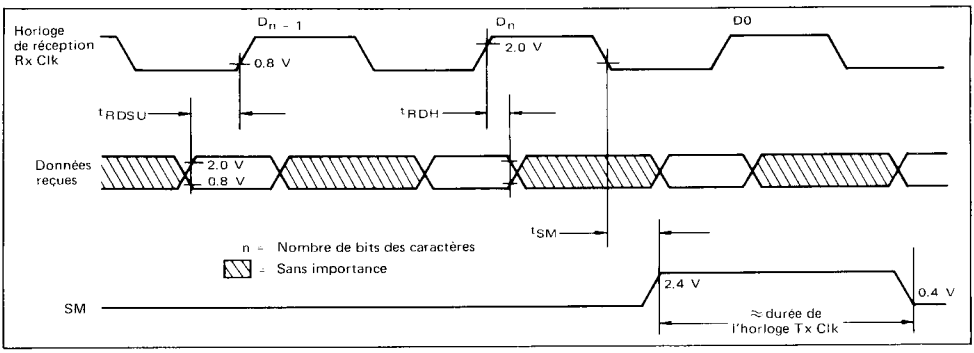


FIGURE 4 – TEMPS DE RETARD DES DONNÉES TRANSMISES ET TEMPS DE RETARD DE TUF

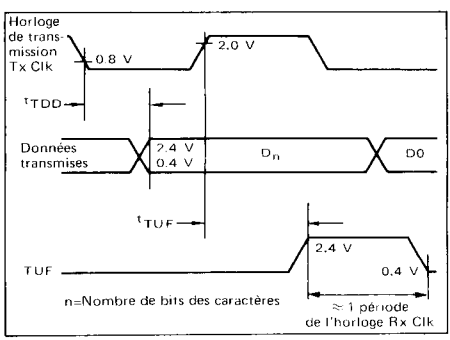


FIGURE 5 – TEMPS DE RETARD DE $\overline{DTR}$ ET TEMPS DE RETENTION DE $\overline{IRQ}$

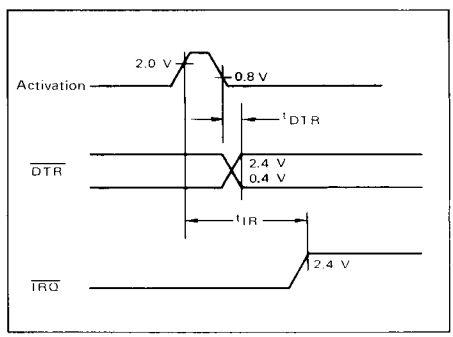


FIGURE 6 – TEMPS DE PRE-ETABLISSEMENT DE $\overline{CTS}$

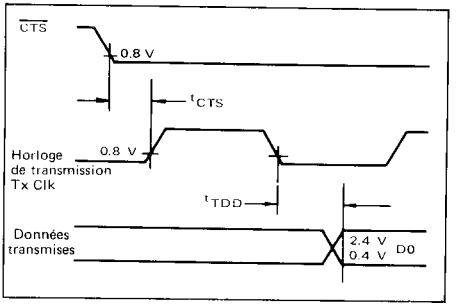


FIGURE 7 – TEMPS DE PRE-ETABLISSEMENT DE $\overline{DCD}$

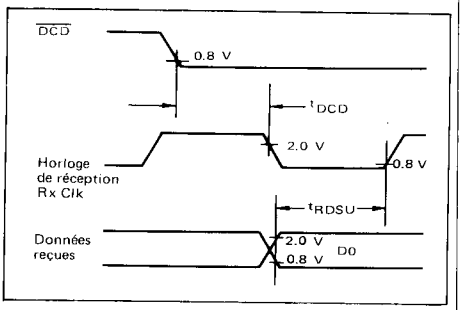


FIGURE 8 – DIAGRAMME DES TEMPS POUR LA LECTURE DU SSDA

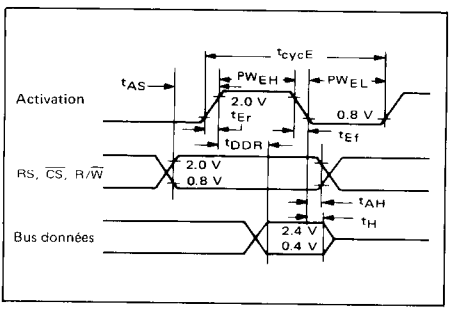


FIGURE 9 – DIAGRAMME DES TEMPS POUR L'ECRITURE DANS LE SSDA

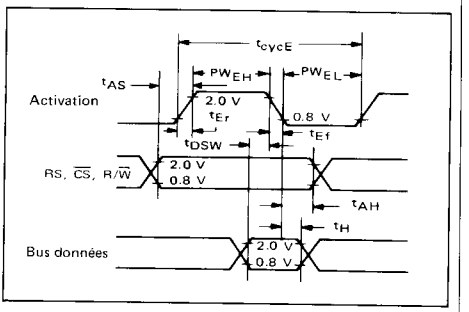
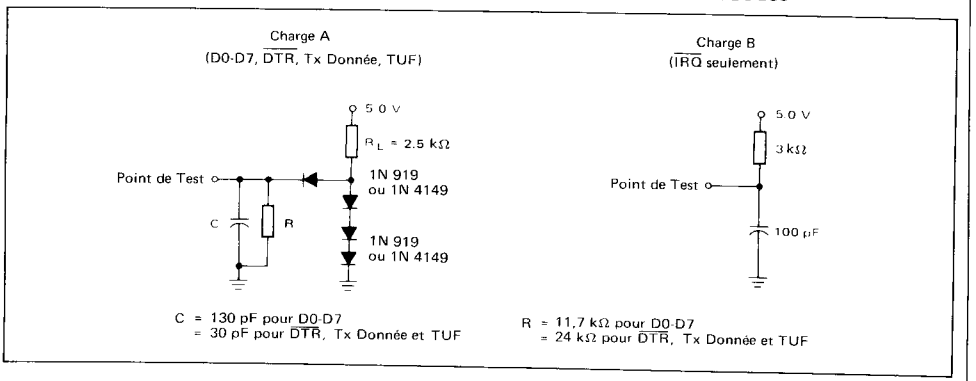
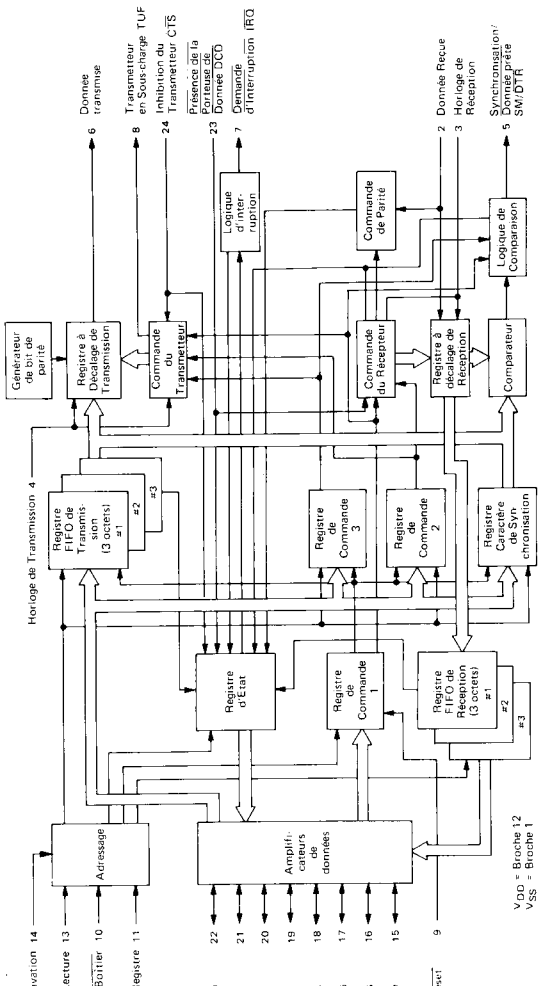


FIGURE 10 – CHARGES DE TEST DES CARACTERISTIQUES DYNAMIQUES DU BUS




Générateur de bit de parité
Registre à Décalage de Transmission
Commande du Transmetteur
Logique d'interruption
Commande de Parité
Commande du Récepteur
Registre à décalage de Réception
Logique de Comparaison
Comparateur
Horloge de Transmission 4
Registre FIFO de Transmission (3 octets) #1 #2 #3
Registre de Commande 3
Registre de Commande 2
Registre Caractère de Synchronisation
Registre d'Etat
Registre de Commande 1
Registre FIFO de Réception (3 octets) #1 #2 #3
Adressage
Amplificateurs de données
Donnée transmise 6
Transmetteur en Sous charge TUF 8
Inhibition du Transmetteur CTS 24
Présence de la Porteuse de Donnée DCD 23
Demande d'Interruption IRQ 7
Donnée Reçue 2
Horloge de Réception 3
Synchronisation/ Donnée prête SM/DTR 5
Activation 14
Ecriture/Lecture 13
Sélection de Boîtier 10
Sélection de Registre 11
D0 22
D1 21
D2 20
D3 19
D4 18
D5 17
D6 16
D7 15
Reset 9
VDD = Broche 12
VSS = Broche 1

FONCTIONNEMENT

Le SSDA est vu par le microprocesseur comme deux positions mémoire adressables. En fait, SSDA possède sept registres internes :

- deux registres accessibles en lecture seule :
  - le Registre d'Etat
  - le Registre de Réception
- cinq registres accessibles en écriture seule :
  - le Registre de Commande 1
  - le Registre de Commande 2
  - le Registre de Commande 3
  - le Registre Caractère de Synchronisation
  - le Registre de Transmission

La sélection entre ces différents registres se fait par une entrée de Sélection de Registre, l'entrée Ecriture/Lecture et deux bits du Registre de Commande 1.

L'interface série se compose d'une ligne d'entrée et d'une ligne de sortie séries avec leur horloge indépendante entre elles et de quatre lignes de Commande du Périphérique ou du Modem.

La donnée à transmettre est directement transférée du bus donnée dans le registre de Transmission de 3 octets en FIFO ("First-in – First-out" [premier entré, permier sorti]). La disponibilité du FIFO pour une entrée est indiquée par un bit du Registre d'Etat ; la donnée entrée est transférée dans la dernière position libre du FIFO. La donnée à la sortie du FIFO est transférée automatiquement du FIFO dans le Registre à Décalage de Transmission quand celui-ci est disponible pour transmettre un nouveau caractère. S'il n'y a pas de donnée disponible dans le FIFO (condition de "sous-charge"), le Registre à Décalage de Transmission est chargé soit avec un caractère de synchronisation soit avec un caractère dont tous les bits sont à "1". Le Transmetteur peut être programmé pour ajouter un bit de parité ou d'imparité au mot transmis. Une ligne de commande externe (Inhibition du Transmetteur) permet d'inhiber le transmetteur sans mettre à zéro le FIFO.

En réception, la donnée série est accumulée dans le récepteur suivant le mode de synchronisation choisi. Dans le mode de synchronisation externe, utilisé pour l'opération parallèle-série, le récepteur est synchronisé par l'entrée (Présence de la Porteuse de Données) $\overline{DCD}$ ("Data Carrier Detect") et les octets successifs de données sont transférés dans le FIFO de réception. Dans le mode de synchronisation sur un seul caractère, il doit y avoir égalité entre un caractère reçu et le contenu du registre caractère de synchronisation pour que le transfert dans le FIFO de réception commence. Dans le mode de synchronisation sur deux caractères, deux caractères de synchronisation doivent être reçus successivement pour que la synchronisation s'établisse. Après synchronisation (dans n'importe quel mode), la donnée est reçue dans le Registre à Décalage de Réception et une commande de parité est optionnellement effectuée. Chaque caractère avec son indicateur d'erreur de parité est transféré dans la dernière position libre du FIFO de Réception. La disponibilité d'un mot en sortie du FIFO est indiquée par un bit du Registre d'Etat ainsi que l'indicateur d'erreur de parité associé.

Le SSDA et ses regsitres internes sont sélectés par le bus adresse et les lignes de commande Ecriture/Lecture (R/W) et Activation (E). Les registres de commande permettent de configurer le SSDA et le Registre d'Etat donne l'état du SSDA.

Le SSDA possède d'autres lignes d'entrée/sortie (autres que $\overline{CTS}$ et $\overline{DCD}$) : "Synchronisation/Donnée prête", SM/$\overline{DTR}$ ("Sync Match/Data Terminal Ready") et Transmetteur en sous-charge TUF ("Transmitter Underflow"). Le Transmetteur et le Récepteur ont chacun une entrée d'horloge individuelle permettant un fonctionnement simultané sous une commande d'horloge séparé. Les lignes du SSDA vers le microprocesseur sont le Bus Donnée et la ligne de Demande d'Interruption $\overline{IRQ}$ ("Interrupt Request").

MISE A L'ETAT INITIAL

Pendant la mise sous tension du système, le SSDA est mis à l'état initial via l'entrée $\overline{\text{Reset}}$ et il est internement bloqué dans un mode "mise à l'état initial" pour éviter des transitions erronées en sortie. Les Registres Caractère de Synchronisation, Commande 2 et Commande 3 doivent être programmées avant la mise à zéro programmée des bits "mise à l'état initial du Transmetteur et/ou du Récepteur" ; ces bits du Registre de Commande 1 devront être mis à zéro après le passage à l'état haut de l'entrée $\overline{\text{Reset}}$.

FONCTIONNEMENT DU TRANSMETTEUR

La donnée parallèle est transférée dans le Transmetteur par l'intermédiaire du Bus Donnée et du FIFO de Transmission. Le FIFO de Transmission est un registre de 3 octets dont l'état est indiqué par le bit "Registre de Transmission Disponible TDRA " ("Transmitter Data Register Available") du Registre d'Etat. La donnée est transférée à travers le FIFO sur les impulsions d'Activation (E). Le SSDA permet deux modes de transfert de donnée : le mode de transfert de 1 octet permet l'écriture dans le Transmetteur (ou la lecture du Récepteur) d'un octet à la fois ; le mode de transfert de 2 octets permet l'écriture de deux caractères successifs.

La donnée sera automatiquement transférée de la dernière position du Registre FIFO de Transmission (quand celui-ci contient des données) dans le Registre à Décalage de Transmission pendant la Transmission de la dernière moitié du dernier bit du caractère précédent. Un caractère est transféré dans le Registre à Décalage par l'horloge de transmission. La donnée est transmise en commençant par le bit de poids faible et un bit de parité ou d'imparité peut être optionnellement rajouté. Pour les caractères courts (moins de 8 bits), les bits inutilisés du bus donnée ne sont pas pris en compte (Remarque : les positions des entrées du bus donnée peuvent être inversées dans les applications nécessitant le transfert du bit de poids fort en tête, par exemple, le format IBM pour les disques souples ; toutefois, il faudra faire attention à la programmation des registres de commande — Inversion des positions des bits de la Table 1).

Quand le Registre à Décalage devient vide et qu'il n'y a pas de donnée disponible dans le FIFO de Transmission, le Transmetteur est en "Sous-Charge" et un caractère est inséré dans la transmission des données pour maintenir la synchronisation de caractère. Le caractère transmis lors de la "Sous-Charge" est soit un "Mark" (caractère dont tous les bits sont à un) soit le contenu du Registre Caractère de Synchronisation suivant l'état du bit de commande "Transmission du Caractère de Synchronisation en Sous-Charge". La sous-charge est indiquée par une impulsion (à peu près égale à une demi-période haute de l'horloge de Transmission) sur la sortie "Transmetteur en Sous-Charge" TUF (dans le mode transmission du caractère de synchronisation en sous-charge). L'impulsion sur la sortie "Transmetteur en Sous-Charge" survient pendant le transfert de la dernière moitié du dernier bit précédent le Caractère de Synchronsiation. Le bit "Sous-Charge" du registre d'état est mis à un et sera remis à zéro par l'intermédiaire du bit "Mise à zéro de Sous-Charge du Transmetteur " CTUF ("Clear Transmitter Underflow Status") du Registre de Contrôle 3. La sortie TUF peut être utilisée dans les systèmes disque souple ("Floppy disk") pour synchroniser les opérations d'écriture et pour ajouter un CRC.

La transmission est mise à l'état initial par la mise à zéro du bit "Remise à l'état initial du Transmetteur" du Registre de Commande 1. Quand ce bit est mis à zéro, le cycle de transmission est commencé sur la première transition positive de l'Horloge de Transmission par la Transmission de Donnée ou de Caractère de Sous-Charge commençant sur le front négatif de l'impulsion de l'Horloge de Transmission qui démarre le cycle. Si le FIFO de Transmission n'était pas chargé, un Caractère de Sous-Charge est transmis (voir Figure 4).

L'entrée $\overline{\text{CTS}}$ permet la commande automatique du Transmetteur par un système matériel externe, par exemple, la sortie $\overline{\text{CTS}}$ du Modulateur EF6862 permet la commande dans un système de communication de données. L'entrée $\overline{\text{CTS}}$ met à l'état initial et inhibe le transmetteur quand elle est au niveau haut, mais ne remet pas à l'état initial le FIFO de Transmission. Le bit TDRA du registre d'état est inhibé par le niveau haut sur $\overline{\text{CTS}}$ dans les modes de synchronisation. Dans le mode de synchronisation externe, TDRA n'est pas inhibé par $\overline{\text{CTS}}$ afin de permettre les transmissions sous commande de l'entrée $\overline{\text{CTS}}$.

Quand le bit "Mise à l'état initial du Transmetteur" est mis à un, le FIFO de Transmission est mis à zéro et le bit d'état TDRA est mis à zéro. Après une impulsion sur l'entrée d'Activation E, le FIFO de Transmission devient disponible pour de nouvelles données avec TDRA inhibé.

FONCTIONNEMENT DU RECEPTEUR

Les données séries et une horloge présynchronisée sont reçues par le récepteur du SSDA par les entrées "Donnée Reçue" Rx Data ("Receive Data") et "Horloge de Réception" Rx Clk ("Receive Clock"). Les données forment un flot continu de bits de données sans qu'il soit possible d'identifier les limites des caractères dans le flot. Il est donc nécessaire d'effectuer la synchronisation de caractère au début du bloc de données séries reçues. Une fois la synchronisation de caractère effectuée, on suppose qu'elle est conservée pour tous les caractères successifs du bloc.

Les systèmes de communication séries synchrones utilisent la détection de caractères de synchronisation pendant la partie initiale du préambule pour établir la synchronisation de caractère. Ceci nécessite la détection d'un seul ou de deux caractères successifs de synchronisation. Les unités à disque souple et à cartouche utilisent 16 bits de préambule défini et les unités à cassette utilisent 8 bits de préambule, pour établir la référence du début d'enregistrement. Tous trois sont fonctionnellement équivalents à la détection de caractères de synchronisation. Les systèmes n'utilisant pas les techniques de détection de caractère de synchronisation nécessitent une logique externe au SSDA pour établir la synchronisation de caractère et l'utilisation du mode de synchronisation externe. (Remarque : le Registre à Décalage de Réception est mis à un à la mise à l'état initial).

SYNCHRONISATION

Le SSDA permet trois modes de fonctionnement pour la Synchronisation de Caractère :

- Synchronisation sur 1 caractère
- Synchronisation sur 2 caractères
- Synchronisation externe

Le mode de synchronisation externe demande une synchronisation et une commande externes du Récepteur par l'entrée Présence de la Porteuse de Données ($\overline{DCD}$) (voir Figure 7). Cette synchronisation externe peut consister en une commande de ligne directe du chaînage des données séries de détection du début du bloc. Le mode de synchronisation sur un caractère cherche, bit par bit, une correspondance entre la donnée contenue dans le Registre à Décalage de Réception et le contenu du Registre Caractère de Synchronisation. L'égalité entre les deux indiquent que la synchronisation de caractère est établie et sera conservée pour tout le bloc de données. Dans le mode de synchronisation sur deux caractères, le récepteur recherche, bit par bit, le premier caractère de synchronisation et cherche un deuxième caractère de synchronisation successif, avant d'établir la synchronisation de caractère. Si le deuxième caractère de synchronisation n'est pas reçu, la recherche bit par bit du premier caractère de synchronisation recommence.

Les caractères de synchronisation reçus avant l'établissement de la synchronisation de caractères (un ou deux caractères) ne sont pas transférés dans le FIFO de Réception. Des caractères de synchronisation redondants pendant le préambule ou des caractères de synchronisation en tant que "caractères de remplissage nuls" ("fill characters") peuvent être automatiquement supprimés quand le bit de contrôle "Strip Sync" (bit 2 de C1) est à un, pour diminuer la charge du système. La synchronisation de caractère sera conservée jusqu'à ce qu'elle soit supprimée par le bit "RAZ Sync" (bit 3 de C1), qui inhibe, également, la recherche de synchronisation.

RECEPTION DE DONNEES

Après synchronisation, les caractères successifs sont automatiquement transférés dans le FIFO de Réception et sont transférés dans le dernier octet libre du FIFO sur les impulsions d'Activation E (généralement phase $\varphi 2$ du système). Le bit "Donnée Reçue Disponible" (RDA) indique, dans le mode de transfert

NGUYEN Quat My Michel

de 1 octet, qu'une donnée est disponible à la lecture dans la dernière position du FIFO de Réception (#3). Dans le mode de transfert de 2 octets, le bit RDA indique que les deux dernières positions du FIFO de Réception sont pleines. Une Donnée disponible dans le FIFO de Réception provoque une demande d'interruption $\overline{IRQ}$ si le bit "Autorisation des Interruptions du Récepteur" (RIE) est à un. Généralement, le MPU lit alors le Registre d'Etat du SSDA qui indique (par le bit RDA) qu'une donnée est disponible dans le FIFO de Réception. Les bits d'état IRQ et RDA sont remis à zéro par une lecture du FIFO de Réception. Si plus d'un caractère a été reçu et qu'il est dans le FIFO de Réception, les impulsions d'Activation E mettent à jour le FIFO et les bits RDA et IRQ sont de nouveau mis à un. Dans le mode de transfert de 2 octets, il faut une impulsion E entre les lectures pour permettre le transfert de données dans le FIFO. Une parité (paire ou impaire) optionnelle est contrôlée automatiquement à la réception des données et l'indication d'erreur de parité est conservée avec chaque caractère jusqu'à sa lecture par le MPU. Les erreurs de parité provoquent une demande d'interruption si le bit "Autorisation des Interruptions sur Erreur" (EIE) est à un. Le bit de parité n'est pas transféré sur le Bus Données mais doit être testé dans le Registre d'Etat. REMARQUE : dans le mode de transfert de 2 octets, la présence d'erreur de parité doit être testée avant la lecture du deuxième octet, la lecture du FIFO remettant à zéro ce bit d'erreur.

Les autres bits du Registre d'Etat relatifs au Récepteur sont les bits "Récepteur en Sur-Charge" (Rx Ovrn) et "Présence de la Porteuse de Donnée" ($\overline{DCD}$). Le bit Rx Ovrn est automatiquement mis à un (indiquant ainsi une condition de "Sur-Charge") quand un caractère est reçu tandis que le FIFO de Réception est plein. Ceci génère une interruption si le bit EIE est à un. Le transfert du caractère de sur-charge du Registre à Décalage dans le FIFO de Réception entraîne la perte du caractère précédent. Lors d'une condition de "Sur-Charge", le bit Rx Ovrn est remis à zéro par une lecture du Registre d'Etat, suivie d'une lecture du FIFO de Réception. La condition de "Sur-Charge" ne peut être supprimée sans la détection de sa présence via le Registre d'Etat.

Une transition positive de l'entrée $\overline{DCD}$ génère une interruption si le bit EIE est à "1". L'interruption générée par $\overline{DCD}$ est effacée par une lecture du Registre d'Etat, quand le bit DCD est à un, suivie par une lecture du FIFO de Réception. Le bit $\overline{DCD}$ suivra alors l'état de l'entrée DCD quand elle passe au niveau bas.

LIGNES D'ENTREE/SORTIE

SIGNAUX D'INTERFACE DU SSDA AVEC LE MPU

Les lignes d'interface du SSDA avec le MPU EF6800 comprend : le Bus Données bi-directionnel, une entrée de Sélection du Boîtier, une entrée de Sélection de Registre, une ligne d'Activation et une ligne de mise à l'état initial. Ces signaux, associés à la sortie VMA du EF6800, permettent la commande complète du SSDA par le MPU.

Bus Données (D0-D7)

Le Bus Données permet le transfert de données entre le MPU et SSDA. Les sorties sont à trois états et restent dans l'état haute impédance sauf quand le MPU fait une lecture du SSDA.

Activation E (Enable)

L'entrée d'Activation E est une entrée à haute impédance compatible TTL qui active les amplificateurs d'entrée/sortie du Bus Données, qui sert d'horloge pour les transferts de données avec le SSDA et qui assure les transferts de données au travers des Registres FIFO. Ce signal est généralement la phase $\varphi 2$ d'horloge du système EF6800.

Lecture/Ecriture R/$\overline{W}$ ("Read/Write")

La ligne d'Ecriture/Lecture est une entrée à haute impédance compatible TTL et qui est utilisé pour commander le sens des transferts entre le MPU et le SSDA. Quand R/$\overline{W}$ est à l'état haut (Lecture par le MPU), les amplificateurs de sortie du SSDA sont activés si le boîtier est sélecté et le registre sélecté est lu. Quand R/$\overline{W}$ est à l'état bas (Ecriture par le MPU), les amplificateurs de sortie sont désactivés et le MPU écrit dans le Registre sélecté. Le signal d'Ecriture/Lecture est aussi utilisé pour sélecter les registres internes du SSDA à lecture seule ou à écriture seule.

Entrée de Sélection du Boîtier $\overline{CS}$ ("Chip Select")

Cette entrée à haute impédance compatible TTL est utilisée pour adresser le SSDA. Le SSDA est adressé quand $\overline{CS}$ est à l'état bas. VMA devra être utilisé pour générer le signal $\overline{CS}$ pour éviter les sélections intempestives du SSDA. Les transferts de données entre le MPU et le SSDA sont alors réalisés sous le contrôle de l'entrée d'Activation, la ligne d'Ecriture/Lecture et la ligne de Sélection de Registre.

Entrée de Sélection de Registre RS ("Register Select")

L'entrée de Sélection de Registre est une entrée à haute impédance, compatible TTL. Un niveau haut est utilisé pour adresser les Registres de commande C2 et C3, le Registre Caractère de Synchronisation et les Registres de Transmission et de Réception. Un niveau bas est utilisé pour adresser le Registre de commande 1 et le Registre d'Etat (Voir Table 1).

Demande d'Interruption $\overline{IRQ}$ ("Interrupt Request")

La ligne $\overline{IRQ}$ est une sortie à drain ouvert (pas de charge interne), compatible TTL et de niveau actif sur le niveau bas. Elle est utilisée pour interrompre le MPU. $\overline{IRQ}$ reste à l'état bas jusqu'à ce que l'interruption soit "traitée" par le MPU.

Entrée de Mise à l'état initial $\overline{RESET}$

L'entrée de mise à l'état initial $\overline{Reset}$ permet la mise à l'état initial du SSDA par une source externe. Un niveau bas sur l'entrée $\overline{Reset}$ a les effets suivants :

1 — Les bits Rx Reset et Tx Reset (mise à l'état initial du Récepteur et mise à l'état initial du Transmetteur) sont mis à un pour conserver le Récepteur et le Transmetteur dans un état initial.

2 — Les bits de Commande de la Périphérie (PC1 et PC2) sont mis à zéro mettant ainsi la sortie SM/$\overline{DTR}$ à l'état haut.

3 — Le bit d'Autorisation des Interruptions sur Erreurs (EIE) est mis à zéro.

4 — Un mode de synchronisation interne est sélecté.

5 — Le bit Registre de Transmission Disponible (TDRA) est mis à zéro et inhibé.

Quand l'entrée $\overline{Reset}$ passe au niveau haut (état inactif), le Transmetteur et le Récepteur restent dans l'état de mise à l'état initial jusqu'à ce que les bits Tx Reset et Rx Reset soient mis à zéro par programme. Les bits des Registres de Commande affectés par $\overline{Reset}$ (Rx Reset, Tx Reset, PC1, PC2, EIE et E/I, Sync) ne peuvent être modifiés tant que $\overline{Reset}$ est à l'état bas.

ENTREES D'HORLOGE

Le transmetteur et le Récepteur ont chacun une entrée d'horloge à haute impédance et compatible TTL.

Horloge de Transmission Tx Clk ("Transmit Clock")

L'horloge de Transmission est utilisée pour la transmission série des données. Le Transmetteur décale les données sur le front négatif de l'horloge.

Horloge de Réception Rx Clk ("Receive Clock")

L'horloge de Réception est utilisée pour la réception série des données. L'horloge et les données doivent être synchronisés extérieurement. Le Récepteur prend en compte les données sur le front montant de l'horloge.

LIGNES D'ENTREE/SORTIE SERIES

Réception des données Rx Donnée ("Receive Data")

La ligne Donnée reçue est une entrée à haute impédance, compatible TTL utilisée pour recevoir les données sous forme série. Les vitesses limites de transfert sont de 0 à 600 kbps.

Transmission des données Tx Donnée ("Transmit Data")

La ligne Donnée Transmise est une sortie utilisée pour la transmission série de données vers un modem ou un périphérique. Les vitesses limites de transfert sont 0 et 600 kbps.

TABLE 1 – REGISTRES PROGRAMMABLES DU SSDA

Registre	Entrées de commande		Commande d'Adresse		Contenu du Registre							
	RS	R/W	AC2	AC1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Etat (S)	0	1	X	X	Demande d'Interruption (IRQ)	Erreur de Parité (PE)	Récepteur en Sur-Charge (Rx Ovrn)	Transmetteur en Sous-Charge (TUF)	Inhibition du Transmetteur	Présence en Porteuse de Données ($\overline{DCD}$)	Registre de Transmission disponible (TDRA)	Donnée Reçue Disponible (RDA)
Commande 1 (C1)	0	0	X	X	Commande d'Adresse 2 (AC2)	Commande d'Adresse 1 (AC1)	Autorisation Interruptions du Récepteur (RIE)	Autorisation Interruptions du Transmetteur (TIE)	RAZ Sync	Suppression des caractères de Synchronis. Strip Sync	Mise à l'état initial du Transmetteur (Tx Reset)	Mise à l'état initial du Récepteur (Rx Reset)
FIFO de Réception	1	1	X	X	D7	D6	D5	D4	D3	D2	D1	D0
Commande 2 (C2)	1	0	0	0	Autorisation Interruption sur erreur (EIE)	Transmission de Caractères de Synchronisat. en Sous Charge (Tx Sync)	Longueur des Mots 3 (WS3)	Longueur des Mots 2 (WS2)	Longueur de Mot 1 (WS1)	Transferts par 1 octet ou 2 octets (1 octet)	Commande Périphérique 2 (PC2) (2 octets)	Commande Périphérique 1 (PC1)
Commande 3	1	0	0	1	Inutilisé	Inutilisé	Inutilisé	Inutilisé	RAZ Etat de Sous-Charge du Transmetteur (CTUF)	$\overline{RAZ}$ $\overline{CTS}$	Synchronisation sur 1 ou 2 caractères (1 Sync/ 2 Sync)	Synchronisation Externe/Interne (E/I Sync)
Caractéres de Synchro.	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0
FIFO de Transmission	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0

X = Sans importance

REGISTRE D'ETAT

IRQ Bit 7 L'indicateur IRQ est remis à zéro quand la source de l'interruption est remise à zéro. La source est déterminée par les bits d'autorisation TIE, RIE, EIE.

Bits 6, 0 Indiquent l'état du SSDA à un instant donné et peuvent être mis à l'état initial comme suit.

PE Bit 6 Lecture du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).

Rx Ovrn Bit 5 Lecture du Registre d'Etat puis du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).

TUF	Bit 4	Un "1" dans CTUF (bit 3 de C3) ou dans Tx Reset (bit 1 de C1).
$\overline{CTS}$	Bit 3	Un "1" dans RAZ $\overline{CTS}$ (bit 2 de C3) ou dans Tx Reset (bit 1 de C1).
$\overline{DCD}$	Bit 2	Lecture du Registre d'Etat puis du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).
TDRA	Bit 1	Ecriture dans le FIFO de Transmission
RDA	Bit 0	Lecture dans le FIFO de Réception.

REGISTRE DE COMMANDE 1

AC2, AC1	Bits 7, 6	Commande d'accès aux autres Registres
RIE	Bit 5	A "1", autorise les interruptions sur RDA (bit 0 du Registre d'Etat)
TIE	Bit 4	A "1", autorise les interruptions sur TDRA (bit 1 du Registre d'Etat)
RAZ Sync	Bit 3	A "1", autorise la synchronisation de caractère du Récepteur
Strip Sync	Bit 2	A "1", supprime tous les caractères de synchronisation du flot des données reçues
Tx Reset	Bit 1	A "1", met à l'état initial et inhibe le transmetteur
Rx Reset	Bit 0	A "1", met à l'état initial et inhibe le récepteur

REGISTRE DE COMMANDE 3

CTUF	Bit 3	A "1", remet à zéro TUF (bit 4 du Registre d'Etat) et IRQ si autorisée.
RAZ $\overline{CTS}$	Bit 2	A "1", remet à zéro $\overline{CTS}$ (bit 3 du Registre d'Etat) et IRQ si autorisée.
1 Sync/2 Sync	Bit 1	A "1", synchronisation sur 1 caractère à "0", synchronisation sur 2 caractères.
E/I Sync	Bit 0	A "1", synchronisation externe ; à "0", synchronisation interne.

REGISTRE DE COMMANDE 2

EIE	Bit 7	A "1", autorise les interruptions PE, Rx Ovrn, TUF, $\overline{CTS}$ et $\overline{DCD}$ (bits 6 à 2 du Registre d'Etat)
Tx Sync	Bit 6	A "1", transmission du caractère de Synchronisation en sous-charge et autorise la sortie et le bit TUF ; à "0", transmission du caractère "mark" (tous les bits à "1") en sous-charge.
WS3, 2, 1	Bits 5, 3	Choix de la longueur des mots

Bit 5 WS3	Bit 4 WS2	Bit 3 WS1	Longueur des mots
0	0	0	6 Bits + bit de parité
0	0	1	6 Bits + bit d'imparité
0	1	0	7 Bits
0	1	1	8 Bits
1	0	0	7 Bits + bit de parité
1	0	1	7 Bits + bit d'imparité
1	1	0	8 Bits + bit de parité
1	1	1	8 Bits + bit d'imparité

1-Byte/2-Byte	Bit 2	A "1", les bits TDRA et RDA indiquent quand un transfert de 1 octet peut se produire ; à "0", les bits TDRA et RDA indiquent quand un transfert de 2 octets peut se produire.
PC2, PC1	Bits 1, 0	Commande de la sortie SM/$\overline{DTR}$

Bit 1 PC2	Bit 0 PC1	Sortie SM/$\overline{DTR}$ (Broche 5)
0	0	1
0	1	Impulsion ⎍ Largeur 1 bit, sur SM
1	0	0
1	1	SM inhibé, 0

NOTE : Quand le SSDA est utilisé dans une application nécessitant la réception et la transmission du bit de poids fort en tête, les entrées du Bus Données peuvent être inversées (D0 à la place de D7, etc.....). Il faut alors faire attention car les positions des bits de cette table seront inversés et la parité ne pourra pas être utilisée.

LIGNES DE CONTROLE DE LA PERIPHERIE

Le SSDA comprend quelques lignes permettant une commande limitée d'un périphérique ou d'un Modem.

Inhibition du Transmetteur $\overline{CTS}$ ("$\overline{Clear\ to\ Send}$")

L'entrée $\overline{CTS}$ permet une inhibition en temps réel du Transmetteur (le FIFO de Transmission n'est pas affecté). Une transition positive de $\overline{CTS}$ met à l'état initial le Registre à Décalage de Transmission et inhibe le bit d'état TDRA et son interruption associée dans des modes de synchronisation sur un caractère et sur 2 caractères. Dans le mode de synchronisation externe, TDRA n'est pas affecté par l'entrée $\overline{CTS}$.

La transition positive de $\overline{CTS}$ est conservée dans le SSDA pour assurer que son occurence sera reconnue par le système. L'information $\overline{CTS}$ stockée et son interruption $\overline{IRQ}$ associée (si elle est autorisée) sont remises à zéro par l'écriture d'un "1" dans le bit RAZ $\overline{CTS}$ (bit 2 de C3) ou dans le bit de mise à l'état intitial du Transmetteur (Tx Reset). Le bit $\overline{CTS}$ du Registre d'Etat suivra alors le passage à zéro de l'entrée $\overline{CTS}$.

L'entrée $\overline{CTS}$ permet une commande du Transmetteur dans le mode de synchronisation externe. La transmission commence sur le front descendant de la première impulsion complète positive de l'horloge de Transmission après le passage à l'état bas de $\overline{CTS}$ (Voir Figure 6).

Présence de la Porteuse de Donnée $\overline{DCD}$ ("$\overline{Data\ Carrier\ Detect}$")

L'entrée $\overline{DCD}$ permet une inhibition en temps réel du Récepteur (le FIFO de Réception n'est pas affecté). Une transition positive de $\overline{DCD}$ met à l'état intitial et inhibe le Récepteur sauf le FIFO de Réception, le bit d'état RDA et son interruption associée.

La transition positive de $\overline{DCD}$ est conservée dans le SSDA pour assurer que son arrivée sera reconnue par le système. L'information $\overline{DCD}$ stockée et son interruption $\overline{IRQ}$ associée (si elle est autorisée) sont remises à zéro par la lecture du Registre d'Etat suivie de la lecture du FIFO de Réception ou par l'écriture d'un "1" dans le bit de mise à l'état initial du Récepteur (Rx Reset). Le bit $\overline{DCD}$ du Registre d'Etat suivra alors le passage à zéro de l'entrée $\overline{DCD}$.

L'entrée $\overline{DCD}$ permet une synchronisation de caractère pour le Récepteur dans le mode de synchronisation externe. Le Récepteur sera mis à l'état initial et la donnée sera échantillonnée sur le front montant du premier cycle complet de l'horloge de Réception après passage à l'état haut de $\overline{DCD}$ (Voir Figure 7).

Synchronisation/$\overline{Donnée\ prête}$ SM/$\overline{DTR}$ ("Sync Match/Data $\overline{Terminal\ Ready}$")

La sortie SM/$\overline{DTR}$ à quatre fonctions (voir Table 1) suivant l'état des bits PC1 et PC2 du Registre de commande 2. Quand le mode Synchronisation ("Sync Match") est sélecté (PC1 = "1", PC2 = "0"), la détection d'un caractère de synchronisation donne une impulsion de largeur 1 bit sur la sortie SM/$\overline{DTR}$. La sortie SM est inhibée quand PC2 = "1". Le mode $\overline{DTR}$ (PC1 = "0") donne en sortie un niveau correspondant au complément de PC2 ($\overline{DTR}$ = "0" quand PC2 = "1"). (Voir Table 1).

Transmetteur en Sous-Charge TUF ("Transmitter Underflow")

La sortie TUF indique l'occurence d'un transfert d'un caractère de remplissage nul ("fill character") dans le Registre à Décalage de Transmission qui se produit quand la dernière position (#3) du FIFO de Transmission est vide. La largeur de l'impulsion TUF est à peu près égale à une période à l'état haut de l'Horloge de Transmission et elle se produit pendant le transfert de la dernière moitié du dernier bit du caractère précédent la condition de "Sous-Charge" (Voir Figure 4). La sortie TUF n'est pas affectée par les conditions de "Sous-Charge") quand le bit Tx Sync est à zéro.

REGISTRES DU SSDA

Le SSDA possède sept registres accessibles au MPU par le Bus Données. Les registres sont définis comme étant à lecture seule ou à écriture seule suivant le sens de transfert des informations. L'entrée de Sélection de Registre (RS) choisit deux registres dans chaque état, un à lecture seule, l'autre à écriture seule. L'entrée d'Ecriture/Lecture R/$\overline{W}$) défini le registre adressé. Quatre registres (deux à lecture seule et deux à écriture seule) peuvent être adressés à tout moment. Ces registres et l'adressage nécessaire sont définis dans la Table 1.

REGISTRE DE COMMANDE 1 (C1)

Le Registre de Commande 1 est un registre 8 bits à écriture seule qui peut être directement accédé quand RS = "0" et R/$\overline{W}$ = "0".

Mise à l'état initial du Récepteur Rx Reset ("Receiver Reset"), Bit 0

Ce bit permet une mise au point initial et une inhibition du Récepteur. Quand le bit Rx Reset est à un, il remet à zéro la logique de commande du Récepteur ainsi que la logique de synchronisation, la logique de détection d'erreur, le FIFO de Réception, le bit "Erreur de Parité" et l'interruption $\overline{DCD}$. Le Registre à Décalage de Réception est mis à un (tous les bits à un). Le bit Rx Reset doit être mis à zéro après un niveau bas sur l'entrée $\overline{Reset}$ pour activer le Récepteur.

Mise à l'état initial du Transmetteur Tx Reset ("Transmitter Reset"), Bit 1

Ce bit permet une mise à l'état initial et une inhibition du Transmetteur. Quand Tx Reset est à un, il remet à zéro la logique de commande du Transmetteur, le Registre à Décalage de Transmission, le FIFO de Transmission (qui peut être chargé après une impulsion E), le bit "Transmetteur en Sous-Charge" et l'interruption $\overline{CTS}$. Il inhibe aussi le bit TDRA (dans les modes de synchronisation sur 1 et sur 2 caractères). Le bit Tx Reset doit être mis à zéro après un niveau bas sur l'entrée $\overline{Reset}$ afin d'activer le Transmetteur.

Suppression des Caractères de Syncrhonisation Strip Sync ("Strip Synchronisation Characters"), Bit 2

Quand ce bit est à un, le SSDA supprime automatiquement tous les caractères reçus correspondants au contenu du Registre Caractère de Synchronisation. Les caractères utilisés pour la synchronisation (un ou deux caractères) sont alors toujours supprimés du flot des données reçues.

RAZ Synchronisation, RAZ Sync, Bit 3

Ce bit permet de supprimer la synchronisation de caractère et d'inhiber la synchronisation. Le bit RAZ Sync est mis à un pour inhiber la synchronisation du Récepteur dans tous les modes. Il doit être remis à zéro pour autoriser la resynchronisation.

Autorisation des Interruptions du Transmetteur TIE ("Transmitter Interrupt Enable") Bit 4

Le bit TIE autorise les interruptions du Transmetteur qui seront indiquées par la sortie $\overline{IRQ}$ et le bit IRQ du Registre d'Etat. Quand TIE et le bit TDRA du Registre d'Etat sont à un, la sortie $\overline{IRQ}$ passe à l'état bas (état actif) et le bit IRQ passe à un.

Autorisation des Interruptions du Récepteur RIE ("Receiver Interrupt Enable") Bit 5

Le bit RIE autorise les interruptions du Récepteur qui seront indiquées par la sortie $\overline{IRQ}$ et le bit IRQ du Registre d'Etat. Quand RIE et le bit RDA sont à un, la sortie $\overline{IRQ}$ passe à l'état bas (état actif) et le bit IRQ passe à un.

Commande d'Accès 1 (AC1) et Commande d'Accès 2 (AC2), Bits 6 et 7

AC1 et AC2 permettent de choisir un des registres à écriture seule suivants : Commande 2, commande 2, Caractère de Syncrhonisation et FIFO de Transmission (comme le montre la Table 1), quand RS = "1" et R/$\overline{W}$ = "0".

REGISTRE DE COMMANDE 2 (C2)

Le Registre de Commande 2 est un registre 8 bits à écriture seule qui est accédé par le bus quand les bits "Commande d'Accès" du Registre de Commande 1 (AC1 et AC2) sont à zéro, RS = "1", et R/$\overline{W}$ = "0"

Commande de la périphérie 1 (PC 1) et Commande de la périphérie 2 (PC 2), Bits 0 et 1.

Les deux bits de commande, PC 1 et PC 2 déterminent le fonctionnement de la sortie SM/$\overline{DTR}$. Quand PC 1 est à un, le mode SM ("Sync. Match") est sélecté. Le bit PC 2 est alors un bit d'inhibition/activation pour la sortie SM/$\overline{DTR}$. Une impulsion d'une largeur de 1 bit est générée sur cette sortie quand PC 2 est à "0" et que le caractère reçu correspond à un caractère de synchronisation, même si la synchronisation est inhibée (bit "RA 7 Sync." à un). Cette impulsion est synchronisée par rapport au front descendant de l'Horloge de Réception (voir figure 3).

Quand PC 1 est à zéro, le mode $\overline{DTR}$ est sélecté. Alors, quand PC 2 = "1" la sortie SM/$\overline{DTR}$ = "0" et vice versa. Le fonctionnement de la sortie SM/$\overline{DTR}$ en fonction de PC 1 et PC 2 est résumé dans la table 1.

Transfert sur 1 octet/2 octets (1 byte/2 byte), bit 2

Quand ce bit est à un, les transferts se font octets par octets : les bits TDRA et RDA indiquent la disponibilité de leur registre FIFO respectif pour le transfert d'un seul octet. Quand ce bit est à zéro, les transferts se font 2 octets par 2 octets : les bits TDRA et RDA indiquent la disponibilité de leur registre FIFO respectif pour les transferts successifs de deux octets sans deuxième lecture du Registre d'Etat. Cependant une impulsion d'Activation E doit se produire entre les transferts.

Sélection de la longueur des Mots, WS1, WS2, WS3 ("Word Length Selects"), bits 3, 4 et 5

Les bits WS1, WS2, WS3 permettent d'indiquer la longueur des mots transmis et reçus. Cette longueur peut être de 7, 8 ou 9 bits comprenant un bit de parité (paire ou impaire). Voir table 1.

Transmission de Caractères de Synchronisation en sous-charge (T x Sync), bit 6

Quand ce bit est à un, le Transmetteur émettra automatiquement le caractère de synchronisation quand le FIFO de transmission est vide (condition de "sous-charge"). Si le bit T x Sync est à zéro, le transmetteur émettra le caractère "Mark" (tous les bits à un y compris le bit de parité) en présence de "sous-charge". Quand la "sous-charge" est détectée, une impulsion, d'une longueur à peu près égale à une période à l'état haut de l'Horloge de Transmission, est générée sur la sortie TUF si le bit T x Sync est à un. Pendant la "sous-charge", la génération de bit de parité est inhibée sauf pour la transmission de caractères de synchronisation d'une longueur de 8 bits plus un bit de parité.

Autorisation des Interruptions sur Erreurs, EIE ("Error Interrupt Enable"), bit 7.

Quand ce bit est à un, une interruption est générée (bit IRQ à un et sortie $\overline{IRQ}$ au niveau bas) si :

1 — Une "sur-charge" du Récepteur se produit. L'interruption est "effacée" par une lecture du Registre d'Etat suivie d'une lecture du FIFO de Réception.

2 — L'entrée $\overline{DCD}$ passe à l'état haut. L'interruption est "effacée" par une lecture du Registre d'Etat suivie d'une lecture du FIFO de Réception.

3 — Il y a une erreur de parité pour le caractère situé dans la dernière position (# 3) du FIFO de Réception, position accessible par le MPU. L'interruption est "effacée" par une lecture du FIFO de Réception.

4 – L'entrée $\overline{CTS}$ passe à l'état haut. L'interruption est "effacée" par l'écriture d'un "1" dans le bit "RAZ $\overline{CTS}$" ou dans le bit "T x Reset".

5 – Une "sous-charge" du Transmetteur se produit (dans le mode Transmission du caractère de synchronisation en sous-charge). L'interruption est effacée par l'écriture d'un "1" dans le bit CTUF (bit 3 de C3) ou dans le bit "T x Reset".

Quand EIE est à zéro, le bit IRQ et la sortie $\overline{IRQ}$ sont inhibés pour les conditions ci-dessus. Un niveau bas sur l'entrée $\overline{Reset}$ met le bit EIE à zéro.

REGISTRE DE COMMANDE 3 (C3)

Le Registre de Commande 3 est un registre 4 bits à écriture seule qui est accédé quand RS = "1", R/$\overline{W}$ = "0", AC1 = "1" et AC2 = "0".

Synchronisation externe/interne (E/I Sync), bit 0

Quand ce bit est à un, le SSDA est dans le mode de synchronisation externe et la logique de synchronisation du Récepteur est désactivée. La synchronisation peut être réalisée par l'intermédiaire de l'entrée $\overline{DCD}$ ou par le démarrage de l'Horloge de Réception au milieu du bit 0 d'un caractère (avec $\overline{DCD}$ à zéro). Dans le mode de synchronisation externe, le Transmetteur et le Récepteur fonctionnent comme des convertisseurs parallèle-série ou série-parallèle. Le bit "RAZ Sync" du Registre de Commande 1 permet une inhibition de la synchronisation du Récepteur. Le registre caractère de synchronisation peut être utilisé à l'émission de caractères de "remplissage" ou comme caractère de référence pour la réception. Un niveau bas sur l'entrée $\overline{Reset}$ remet le bit E/I Sync à zéro mettant ainsi le SSDA dans un mode de synchronisation interne.

Synchronisation sur 1 ou 2 caractères (1 sync/2 sync), bit 1

Quand ce bit est à un, le Récepteur est synchronisé quand un seul caractère de synchronisation est reçu. Quand ce bit est à zéro, deux caractères de synchronisation successifs devront être reçus pour établir la synchronisation du Récepteur. Si, le deuxième caractère de synchronisation n'est pas détecté, la recherche bit par bit de caractère de synchronisation recommence à partir du premier bit du deuxième caractère (Voir la description du Registre Caractère de synchronisation pour plus de détails).

Remise à zéro de l'Etat $\overline{CTS}$ (RAZ $\overline{CTS}$), bit 2

Quand un "1" est écrit dans ce bit, l'état stocké de $\overline{CTS}$ et l'interruption associée sont remis à zéro. Par la suite, le bit $\overline{CTS}$ indique l'état de l'entrée $\overline{CTS}$. Le bit "RAZ $\overline{CTS}$" n'affecte pas l'entrée $\overline{CTS}$ ni l'inhibition du Transmetteur. La remise à zéro du bit "RAZ $\overline{CTS}$" est automatique et l'écriture d'un "0" dans ce bit est une opération non fonctionnelle.

RAZ de l'Etat de sous-charge du Transmetteur (CTUF), bit 3

L'écriture d'un "1" dans le bit CTUF remet à zéro le bit TUF et "efface" l'interruption associée à la sous-charge. La remise à zéro du bit CTUF est automatique et l'écriture d'un "0" dans ce bit est une opération non fonctionnelle.

REGISTRE CARACTERE DE SYNCHRONISATION

Le Registre Caractère de Synchronisation est un registre 8 bits utilisé pour contenir le caractère de synchronisation programmable nécessaire à la synchronisation de caractère des données reçues dans les deux modes de synchronisation interne. Le Registre Caractère de Synchronisation permet aussi la suppression de caractères de "remplissage" du flot de données reçues (option programmable) ainsi que l'insertion de caractères de "remplissage" dans le flot des données transmises. Dans le mode de synchronisation

externe, le Registre Caractère de Synchronisation n'est pas utilisé pour la synchronisation de caractère du Récepteur ; toutefois, il peut être utilisé pour la transmission de caractères de "remplissage" ainsi que comme référence pour le Récepteur ("Match").

Le Registre Caractère de Synchronisation est accédé par le MPU quand AC1 et AC2 sont à "1" et R/$\overline{W}$ = "0" et RS = "1" (voir table 1).

Le Registre Caractère de Synchronisation peut être modifié, après la détection d'un caractère de synchronisation par le Récepteur, pour assurer la synchronisation du Récepteur sur deux caractères. Cette modification doit être faite avant la fin de la réception du deuxième caractère. Dans ce cas, la sortie SM peut être utilisée pour interrompre le MPU et indiquer que le premier caractère a été reçu. Le programme de traitement de l'interruption changera, alors, le Registre Caractère de Synchronisation pour le deuxième caractère. D'une autre manière, le mode de synchronisation sur un seul caractère peut être utilisé pour une synchronisation sur deux caractères ou plus en vérifiant, par programme, les octets suivants après leur lecture dans le FIFO de Réception.

La détection d'un Caractère de Synchronisation peut être programmée pour être signalée sur la sortie SM/$\overline{DTR}$, en mettant PC1 à "1" et PC2 à "0". La sortie SM/$\overline{DTR}$ passe à l'état haut, pour une largeur de bit, entre le caractère de synchronisation et le caractère suivant (voir figure 3).

REGISTRE FIFO DE RECEPTION

Le Registre FIFO de Réception ("First-In, First-Out", premier entré premier sorti) est constitué de trois registres 8 bits et est utilisé pour la mémorisation des données reçues. A chaque registre de 8 bits est associé un bit d'état associé indiquant si le registre est vide ou plein. Une donnée reçue est toujours transférée jusqu'au dernier registre vide. Les transferts de registre à registre sont faits sur les impulsions d'Activation E. Le bit RDA passe "1" quand une donnée est disponible dans le dernier registre (# 3) du FIFO de Réception, Registre accessible par le MPU.

Quand le Récepteur est en "sur-charge", le caractère de sur-charge est transféré dans le premier registre plein du FIFO ce qui entraine la perte de ce caractère. Des "sur-charges" successives entrainent la réécriture du premier registre du FIFO. Cette destruction de données est indiquée par le bit "R x OVRN" du Registre d'Etat (mis à "1" au moment de la sur-charge). Ce bit est remis à zéro par une lecture du Regis- d'Etat suivie par une lecture du FIFO de Réception.

Les bits de données inutilisés pour des longueurs de mots courtes apparaitront comme des "0" sur le Bus Données à la lecture du FIFO de Réception.

REGISTRE FIFO DE TRANSMISSION

Le Registre FIFO de Transmission ("First-In, First-Out", premier entré premier sorti) est constitué de trois registres 8 bits et est utilisé pour la mémorisation des données à transmettre. A chaque registre de 8 bits est associé un bit d'état indiquant si le registre est vide ou plein. Une donnée à transmettre est toujours transférée jusqu'au dernier registre vide. Les transferts de registre à registre sont faits sur les impulsions d'Activation E.

Le bit TDRA passe à "1" quand le FIFO de Transmission est disponible pour un transfert de donnée (premier registre vide).

Les bits de données inutilisés pour des longueurs de mots courtes sont sans importance pour l'écriture dans le FIFO. Le bit de parité n'est pas transféré par le Bus Données car il est généré par le SSDA.

Quand une "sous-charge" se produit, un caractère de sous-charge est transmis pour ne pas perdre la synchronisation de caractère. Ce caractère (ou caractère de "remplissage") est soit le contenu du Registre Caractère de Synchronisation soit un "mark" (caractère dont tous les bits sont à un). La condition de "sous-charge" est indiquée par le bit TUF du Registre d'Etat, et est indiquée sur la sortie TUF par une impulsion d'une largeur à peu près égale à une période au niveau haut de l'Horloge de Transmission.

REGISTRE D'ETAT

Le Registre d'Etat est un registre 8 bits à lecture seule qui permet d'examiner l'état du SSDA et celui de la communication série. La lecture du Registre d'Etat est non destructive. La manière de remettre à zéro les bits du Registre d'Etat dépend de chaque bit et est présentée ci-après.

Donnée reçue disponible, RDA ("Receiver Data Available"), bit 0

Le bit RDA indique quand le FIFO de Réception peut être lu (RDA = "1"). Dans le mode de transfert caractère par caractère, le bit RDA indique la présence d'une donnée reçue dans le dernier registre (# 3) du FIFO de Réception (RDA = "1"). Dans le mode de transfert 2 caractères par 2 caractères, le bit RDA indique la présence de données reçues dans les deux derniers registres (# 2 et # 3) du FIFO de Réception. Dans ce dernier mode, le deuxième caractère peut être lu sans une deuxième lecture du Registre d'Etat (afin de déterminer si le caractère est disponible). Une impulsion d'Activation E doit se produire entre les lectures du FIFO de Réception afin de permettre les transferts dans le FIFO. Le Registre d'Etat doit être lu pour chaque caractère si la vérification des erreurs sur les données reçues est importante. Le bit RDA est remis à zéro automatiquement quand aucune donnée n'est disponible dans le FIFO de Réception.

Registre de Transmission disponible, TDRA ("Transmitter Data Register Available"), bit 1

Le bit TDRA indique (si TDRA = "1") qu'une donnée peut être chargée dans le FIFO de Transmission. Dans le mode de transfert caractère par caractère, le bit TDRA (= "1") indique que le premier registre (# 1) du FIFO de Transmission est vide. Dans le mode de transfert 2 caractères par 2 caractères, le bit TDRA (="1") indique que les deux premiers registres (# 1 et # 2) du FIFO de Transmission sont vides. Dans ce dernier mode, le deuxième caractère peut être écrit sans une deuxième lecture du Registre d'Etat ; toutefois, une impulsion d'activation E doit se produire entre les deux écritures. Le bit TDRA est inhibé par un niveau bas sur l'entrée $\overline{\text{Reset}}$ ou par un "1" dans le bit T x Reset. Quand le bit T x Reset est mis à un le FIFO de Transmission est mis à l'état initial et, sur l'impulsion d'Activation E suivante, il est rendu disponible. Le FIFO de Transmission peut alors être chargé avec trois caractères, bien que le bit TDRA reste inhibé. Ceci permet un préchargement de données avant le redémarrage (remise à zéro du bit T x Reset). Un niveau haut sur l'entrée $\overline{\text{CTS}}$ inhibe le bit TDRA dans les deux modes de synchronisation interne (synchronisation sur un seul caractère et synchronisation sur deux caractères). Dans le mode de synchronisation externe, le bit TDRA n'est pas affecté par l'entrée $\overline{\text{CTS}}$. Ceci permet au SSDA de fonctionner sous le contrôle de l'entrée $\overline{\text{CTS}}$, le bit TDRA indiquant l'état du FIFO de Transmission. L'entrée $\overline{\text{CTS}}$ ne met à l'état initial en aucun cas le FIFO de Transmission. Le bit TDRA est remis à zéro automatiquement quand le FIFO de Transmission est plein.

Présence de la porteuse de Données, $\overline{\text{DCD}}$ ("Data Carrier Detect"), bit 2

Une transition positive de l'entrée $\overline{\text{DCD}}$ est automatiquement mémorisée dans le SSDA. La mémorisation de la transition positive est remise à zéro par une lecture du Registre d'Etat suivie de la lecture du FIFO de Réception ou par l'écriture d'un "1" dans le bit "R x Reset". Le bit $\overline{\text{DCD}}$ du Registre d'Etat indique, quand il est à "1", que l'entrée $\overline{\text{DCD}}$ est passée à l'état haut. Après une lecture du Registre d'Etat suivie de la lecture du FIFO de Réception, ce bit indique l'état de l'entrée $\overline{\text{DCD}}$, jusqu'à la transition positive suivante.

Inhibition du Transmetteur, $\overline{\text{CTS}}$ ("Clear to send"), bit 3

Une transition positive de l'entrée $\overline{\text{CTS}}$ est automatiquement mémorisée dans le SSDA. La mémorisation de la transition positive est remise à zéro par l'écriture d'un "1" dans le bit "RAZ $\overline{\text{CTS}}$" ou "T x Reset". Le bit $\overline{\text{CTS}}$ du Registre d'Etat indique, quand il est à "1", que l'entrée $\overline{\text{CTS}}$ est passée à l'état haut. Après l'écriture d'un "1" dans le bit "RAZ $\overline{\text{CTS}}$", le bit $\overline{\text{CTS}}$ indique l'état de l'entrée $\overline{\text{CTS}}$, jusqu'à la transition positive suivante.

Transmetteur en sous-charge, TUF ("Transmitter underflow"), bit 4

Une condition de "sous-charge" du Transmetteur (absence de donnée dans le dernier registre du FIFO de Transmission) met à un le bit TUF (dans le mode "Transfert du caractère de synchronisation en sous-charge", bit T x Sync = "1").

Le bit TUF est remis à zéro en écrivant un "1" dans le bit CTUF ou dans le bit "T x Reset". Le bit TUF indique qu'un caractère de synchronisation est transmis. La sortie TUF n'est activée en "sous-charge" que dans le mode "Transmission du Caractère de Synchronisation en sous-charge" (bit T x Sync = "1").

Récepteur en sur-charge, R x OVRN ("Receiver Overrun"), bit 5

Une condition de "sur-charge" du Récepteur (FIFO de Réception plein et perte de donnée) met à un le bit "R x OVRN". Ce bit est remis à zéro par une lecture du Registre d'Etat suivie de la lecture du de Réception ou par l'écriture d'un "1" dans le bit "R x Reset".

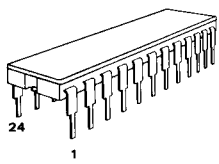
Erreur de parité, PE ("Receiver Parity Error"), bit 6

Quand ce bit est à un, il indique que, pour le caractère contenu dans le dernier registre du FIFO de Réception, le bit de parité reçu ne correspond pas avec le bit de parité calculé par le Récepteur. Le bit PE est remis à zéro quand le caractère associé est lu dans le FIFO de Réception ou quand un "1" est écrit dans le bit "R x Reset". L'entrée $\overline{DCD}$ n'affecte pas le bit PE ni les bits d'état associés au FIFO de Réception.

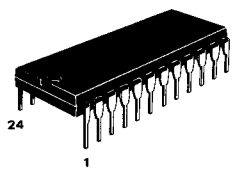
Demande d'Interruption, IRQ ("Interrupt Request"), bit 7

Le bit IRQ indique l'état de la sortie $\overline{IRQ}$: quand la sortie $\overline{IRQ}$ est à l'état bas alors IRQ = "1" et quand la sortie $\overline{IRQ}$ est à l'état haut alors IRQ = "0". Le bit IRQ a les mêmes bits d'autorisation (EIE, TIE et RIE) que la sortie $\overline{IRQ}$. Le bit IRQ simplifie les séquences de commande pour les systèmes fonctionnant par boucle de commande ("Polling Systems").

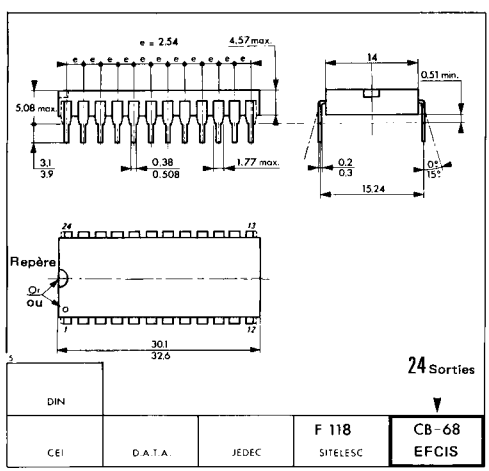
BOITIER CB-68



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.