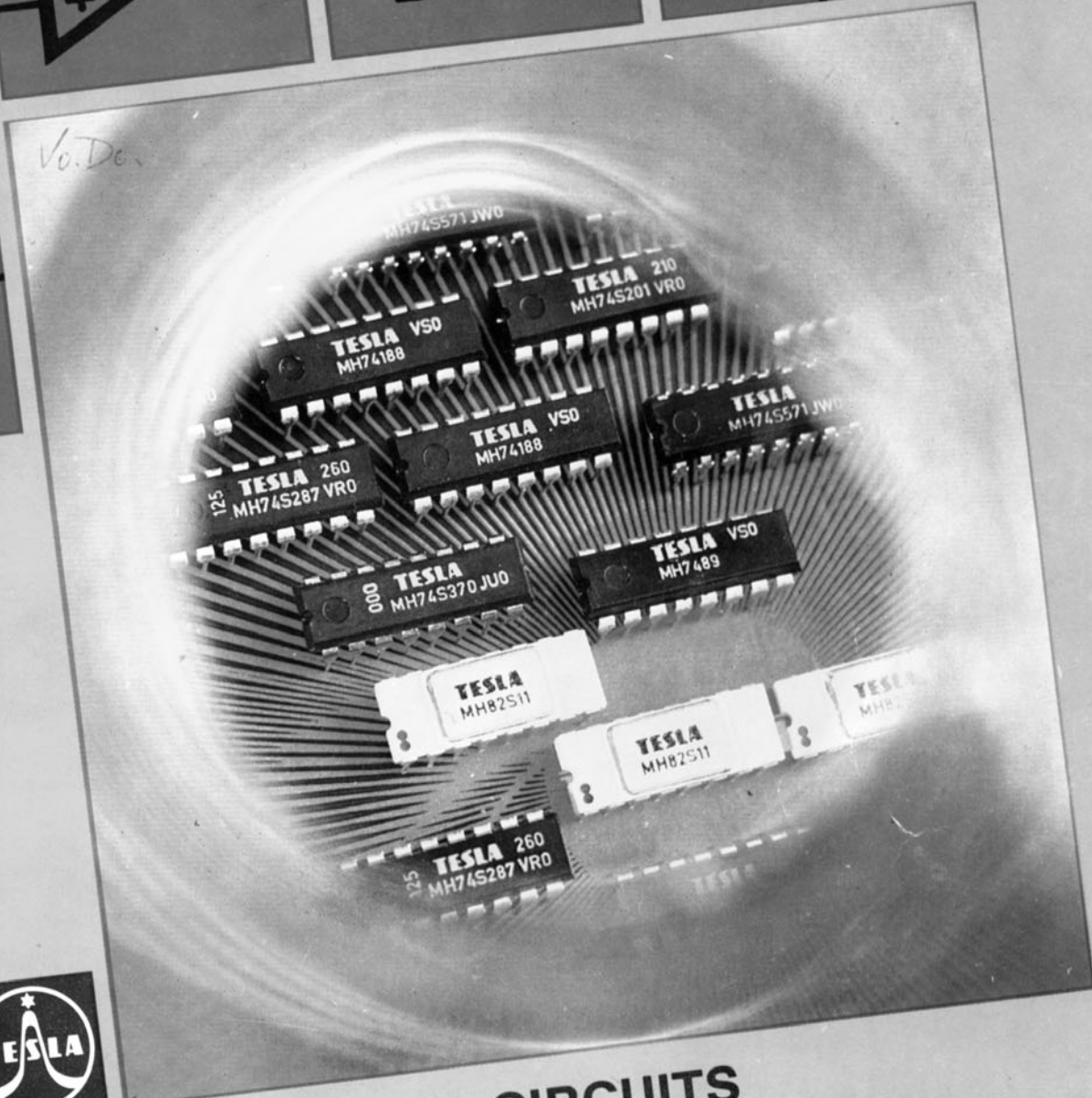


Vo. De.



**INTEGRATED CIRCUITS
INTEGRIERTE SCHALTKREISE**

**ANALOG
DIGITAL**

**EXPORT
IMPORT
KOVO**
PRAHA
CZECHOSLOVAKIA

INTEGRATED CIRCUITS INTEGRIERTE SCHALTKREISE

1984-85

CONTENTS

1. LINEAR INTEGRATED CIRCUITS

Integrated circuits for consumer electronics and general use

Operational amplifiers

Comparators

Analog logical circuits for D/A and A/D converters

Precision voltage regulators

2. BIPOLAR LOGIC INTEGRATED CIRCUITS

TTL SSI, MSI circuits

Schottky TTL circuits

High noise immunity circuits DTL

Schottky TTL microprocessor system MH3000

Periphery circuits for microprocessor system MH3000, MHB8080A

Bipolar memory RAM, ROM, PROM

Logic integrated circuits I²L

Piezoresistive pressure transducers

3. UNIPOLAR INTEGRATED CIRCUITS

Logic integrated circuits CMOS

Counters, registers, UART

Unipolar memory RAM, ROM, PROM

Microprocessor system MHB8080A

Integrated circuits for telephony use

4. OUTLINES

Glossary of used abbreviations

INHALT

LINEARE INTEGRIERTE SCHALTKREISE

Integrierte Schaltkreise für Unterhaltungselektronik und allgemeine Anwendung 5

Operationsverstärker 28

Komparatoren 37

Analog-Logische Schaltkreise für D/A- und A/D-Wandler 38

Präzise Spannungstabilisatoren 44

BIPOLARE LOGISCHE INTEGRIERTE SCHALTKREISE

TTL SSI- und MSI-Schaltkreise 52

Schottky-TTL-Schaltkreise 64

Langsame störsichere Logik TTL 70

Schottky-TTL-Mikroprozessorsystem MH3000 74

Peripherieschaltkreise für Mikroprozessorsysteme MH3000, MHB8080A 78

Bipolare Speicher RAM, ROM, PROM 87

Logische integrierte Schaltkreise I²L 96

Piezoresistive Druckaufnehmer 104

UNIPOLARE INTEGRIERTE SCHALTKREISE

Logische integrierte Schaltkreise CMOS 106

Teiler, Schieberegister, UART 110

Unipolare Speicher RAM, ROM, PROM 117

Mikroprozessorsystem MHB8080A 129

Integrierte Schaltkreise für Fernsprechanwendung 136

GEHÄUSE 141

Erläuterungen der angewendeten Bezeichnungen 146

TESLA ROŽNOV

koncernový podnik

756 61 ROŽNOV POD RADHOŠTĚM

TESLA PIEŠŤANY

koncernový podnik

921 72 PIEŠŤANY

EXPORT:

KOVO EXPORT – IMPORT

Jankovcova 2

170 88 PRAHA 2

CZECHOSLOVAKIA

TESLA ELEKTRONICKÉ SOUČÁSTKY, koncern 756 61 ROŽNOV POD RADHOŠTĚM, CZECHOSLOVAKIA

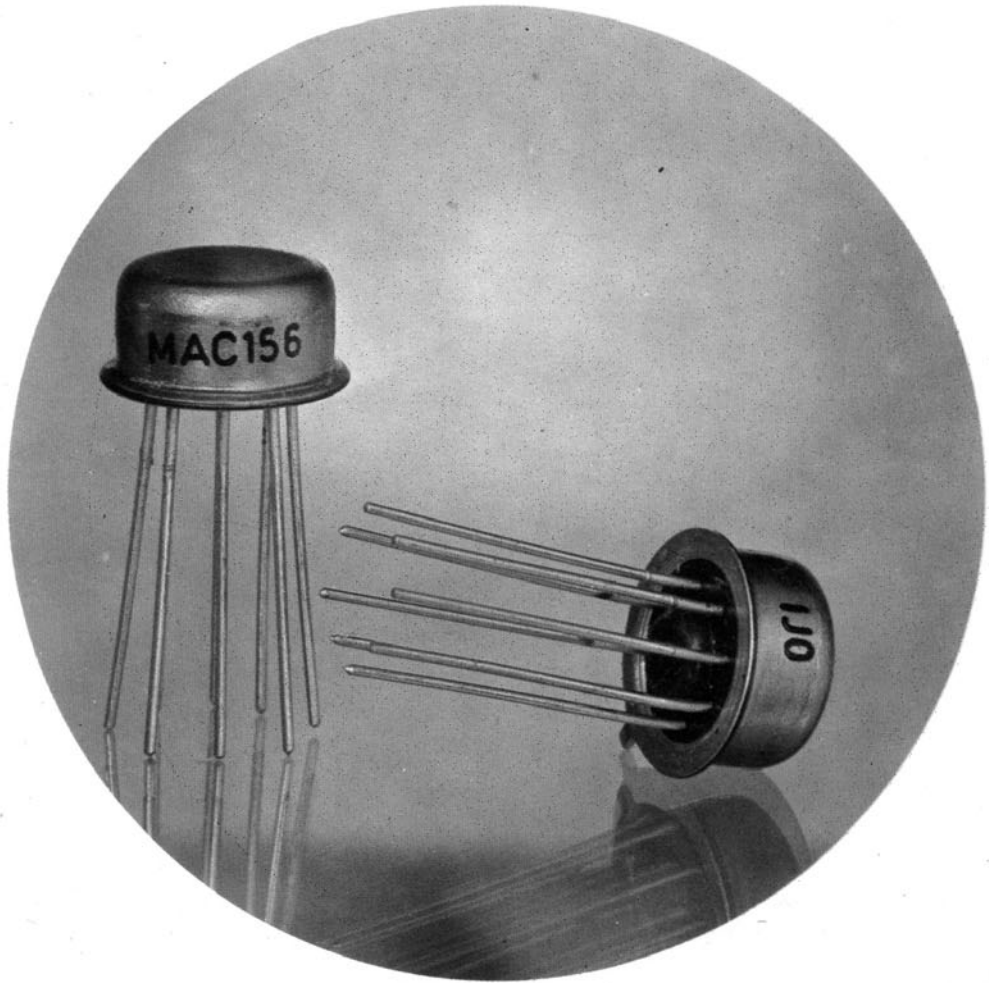
CONTENTS ● INHALT

Type	Page Seite	Type	Page Seite	Type	Page Seite	Type	Page Seite
MA1458	36	MAA504	28—29	MAB08G	38—39	MAC155	34—35
MA3000	9	MAA525	7	MAB16E	40—41	MAC156	34—35
MA3005	10	MAA550	10	MAB16F	40—41	MAC157	34—35
MA3006	10	MAA661	11	MAB16G	40—41	MAF100	103
MA7805	48—49	MAA723	45	MAB24E	38—39	MAS560A	12
MA7812	48—49	MAA723H	45	MAB24F	38—39	MAS562	13
MA7815	48—49	MAA725	30—31	MAB24G	38—39	MAS601	26—27
MA7824	48—49	MAA725B	30—31	MAB28E	40—41	MAS602	26—27
MAA115	6	MAA725C	30—31	MAB28F	40—41	MAS603	26—27
MAA125	6	MAA725H	30—31	MAB28G	40—41	MAS1008	14
MAA145	6	MAA725J	30—31	MAB311	37	MBA125	8
MAA225	6	MAA725K	30—31	MAB355	34—35	MBA145	8
MAA245	6	MAA741	32—33	MAB356	34—35	MBA225	8
MAA325	7	MAA741C	32—33	MAB357	34—35	MBA245	8
MAA345	7	MAA748	32—33	MAC01	44	MBA530	15
MAA435	7	MAA748C	32—33	MAC08A	38—39	MBA540	16
MAA436	25	MAB01	44	MAC16A	40—41	MBA810AS	22
MAA501	28—29	MAB01D	44	MAC24A	38—39	MBA810S	22
MAA502	28—29	MAB08E	38—39	MAC28A	40—41	MBA810DAS	23
MAA503	28—29	MAB08F	38—39	MAC111	37	MBA810DS	23

CONTENTS ● INHALT

Type	Page Seite	Type	Page Seite	Type	Page Seite	Type	Page Seite
MCA640	17	MH54S10	64	MH8400	52	MHB4011	106
MCA650	18	MH54S20	64	MH8403	52	MHB4012	106
MCA660	19	MH54S37	64	MH8404	52	MHB4013	106
MDA1044	20	MH54S38	64	MH8405	52	MHB4015	106
MDA1044E	21	MH54S40	64	MH8410	52	MHB4020	106
MDA2010	24	MH54S51	64	MH8420	52	MHB4024	106
MDA2020	24	MH54S64	64	MH8430	52	MHB4029	106
MDAC08C	42—43	MH54S74	64	MH8437	52	MHB4030	106
MDAC08CC	42—43	MH7400	52	MH8438	52	MHB4032	114
MDAC08EC	42—43	MH7403	52	MH8440	52	MHB4046	106
MH1KK1	96	MH7404	52	MH8442	54	MHB4049	106
MH1SD1	101	MH7405	52	MH8450	52	MHB4050	107
MH1SS1	101	MH7410	52	MH8451	52	MHB4051	106
MH3SD2	102	MH7420	52	MH8453	52	MHB4052	106
MH3SS2	102	MH7430	52	MH8454	52	MHB4053	107
MH3ST2	103	MH7437	52	MH8460	52	MHB4066	107
MH100	96	MH7438	52	MH8472	52	MHB4068	107
MH101	96	MH7440	52	MH8474	52	MHB4076	107
MH102	96	MH7442	54	MH8490A	54	MHB4081	107
MH1082	63	MH7450	52	MH8493A	54	MHB4099	107
MH2009	110	MH7451	52	MH8496	54	MHB4116	126
MH2009A	110	MH7453	52	MH84150	54	MHB4116C	126
MH3001	74	MH7454	52	MH84151	54	MHB4311	107
MH3002	74	MH7460	52	MH84154	54	MHB4503	107
MH3003	74	MH7472	52	MH84164	54	MHB4518	107
MH3205	78	MH7474	52	MH84192	54	MHB4543	107
MH3212	78	MH7475	54	MH84193	54	MHB4555	107
MH3214	78	MH7489	87	MH8641	83	MHB5085	136
MH3216	78	MH7490A	54	MH84S00	64	MHB5085A	136
MH3226	78	MH7493A	54	MH84S03	64	MHB8080A	130—131
MH5400	52	MH7496	54	MH84S04	64	MHB8080AC	130—131
MH5403	52	MH74141	54	MH84S10	64	MHB8251	132—133
MH5404	52	MH74150	54	MH84S20	64	MHB8251C	132—133
MH5405	52	MH74151	54	MH84S37	64	MHB8255A	134—135
MH5410	52	MH74154	54	MH84S38	64	MHB8255AC	134—135
MH5420	52	MH74164	54	MH84S40	64	MHB8608	127
MH5430	52	MH74188	87	MH84S51	64	MHB8708C	128
MH5437	52	MH74192	54	MH84S64	64	MHB8804	116—117
MH5438	52	MH74193	54	MH84S74	64	MHB9110	137
MH5440	52	MH74S00	64	MH84S112	64	MHB9200	138
MH5442	54	MH74S03	64	MHB108	111	MHB9500	139
MH5450	52	MH74S04	64	MHB1012	115	MHC1502	46—47
MH5451	52	MH74S10	64	MHB1012C	115	MHC1504	46—47
MH5453	52	MH74S20	64	MHB1032	112	MZH115	70
MH5454	52	MH74S37	64	MHB1502	46—47	MZH145	70
MH5460	52	MH74S38	64	MHB1504	46—47	MZH165	70
MH5472	52	MH74S40	64	MHB1902	119	MZH185	70
MH5474	52	MH74S51	64	MHB1902C	119	MZJ115	70
MH5490A	54	MH74S64	64	MHB2100	113	MZK105	70
MH5493A	54	MH74S74	64	MHB2102	120	TM410/01	104
MH5496	54	MH74S112	64	MHB2102/2	120	TM440	104
MH54150	54	MH74S187	87	MHB2114	121	TM510/01	104
MH54151	54	MH74S201	87	MHB2501	122—123	TM510/02	104
MH54154	54	MH74S201E	87	MHB2501A	122—123	TM511	104
MH54164	54	MH74S287	87	MHB2502	122—123	TM520	104
MH54192	54	MH74S370	87	MHB2502A	122—123	TM530	104
MH54193	54	MH74S571	87	MHB2503	122—125	TM610/01	104
MH54S00	64	MH82S11	87	MHB2503A	122—125	TM611	104
MH54S03	64	MH8224	83	MHB4001	106	TM630	104
MH54S04	64	MH8228	83	MHB4002	106		

1

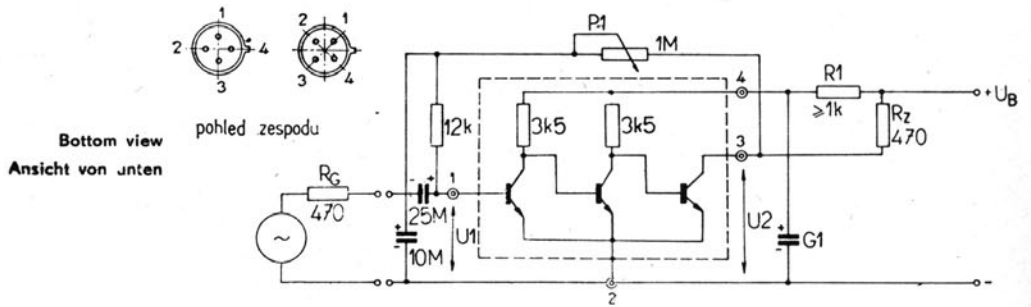


LINEAR INTEGRATED CIRCUITS

LINEARE INTEGRIERTE SCHALTKREISE

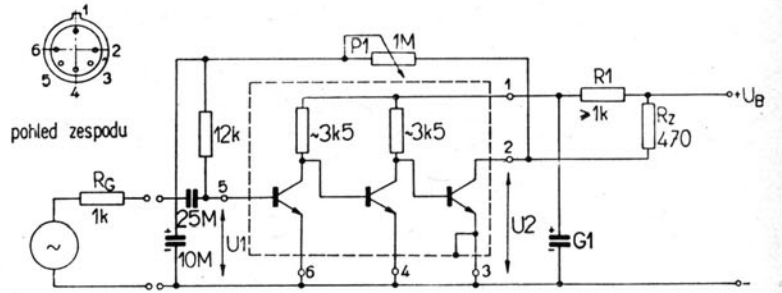
Outlines ● Abmessungen IO1

MAA115
 MAA125
 MAA145



Outlines ● Abmessungen IO2

MAA225
 MAA245



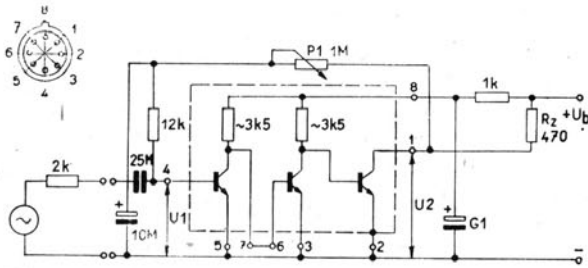
Characteristic data:
 Kenndaten:

Type Typ		MAA115	MAA125	MAA145	MAA225	MAA245	Measured at: Gemessen bei:
Voltage gain Spannungsverstärkung	A_U	> 50	—	—	—	—	dB $U_B = 1,3 \text{ V}, U_{2 \text{ eff}} = 0,3 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	A_U	—	75 > 70	—	84 > 78	—	dB $U_B = 7 \text{ V}, U_{2 \text{ eff}} = 2,1 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	A_U	—	—	75 > 70	—	90 > 80	dB $U_B = 12 \text{ V}, U_{2 \text{ eff}} = 3,6 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	A_U	—	59 > 54	59 > 54	—	—	dB $U_B = 7 \text{ V}, U_{2 \text{ eff}} = 1,7 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
Input resistance Eingangswiderstand	R_i	—	> 3	—	—	—	kΩ $U_B = 7 \text{ V}, U_{2 \text{ eff}} = 2,1 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	R_i	—	—	> 2	—	—	kΩ $U_B = 12 \text{ V}, U_{2 \text{ eff}} = 3,6 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
Distortion Klirrfaktor	K	< 10	—	—	—	—	% $U_B = 1,3 \text{ V}, U_{2 \text{ eff}} = 0,3 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	K	—	< 1,5	—	< 10	—	% $U_B = 7 \text{ V}, U_{2 \text{ eff}} = 2,1 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
	K	—	—	< 1,5	—	< 10	% $U_B = 12 \text{ V}, U_{2 \text{ eff}} = 3,6 \text{ V},$ $f = 1 \text{ kHz}, R_L = 470 \Omega$
Noise voltage Rauschspannung	U_N	< 5	—	—	—	—	μV $U_B = 1,3 \text{ V}, R_L = 470 \Omega, R_G = 470 \Omega$
	U_N	—	2 < 5	2 < 5	—	—	μV $U_B = 4,5 \text{ V}, R_L = 470 \Omega, R_G = 470 \Omega$ $f = 40 \text{ Hz} \dots 15 \text{ kHz}$

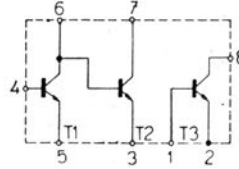
Maximum ratings:	Grenzwerte:		MAA115	MAA125	MAA145	
Supply voltage	Betriebsspannung	U_B max	4	7	12	V
Peak voltage	Spitzenspannung	$U_{3/2M}$ max	4	7	12	V
Total current	Gesamtstrom	I_2 max		50		mA
Total dissipation	Verlustleistung ($\vartheta_a \leq 45^\circ\text{C}$)	P_{tot} max		300		mW
Thermal resistance	Wärmewiderstand	R_{thja} max		330		K/W
Junction temperature	Sperrschichttemperatur	ϑ_j max		150		°C
Ambient temperature	Umgebungstemperatur	ϑ_a max		-55 ... +125		°C
			MAA225		MAA245	
Supply voltage	Betriebsspannung	U_B max	7		12	V
Peak voltage	Spitzenspannung	$U_{2/3M}$ max	7		12	V
Current I_2, I_3	Strom I_2, I_3	I_2, I_3 max		40		mA
Current I_4	Strom I_4	I_4 max		5		mA
Current I_6	Strom I_6	I_6 max		5		mA
Total dissipation	Verlustleistung ($\vartheta_a \leq 45^\circ\text{C}$)	P_{tot} max		300		mW
Thermal resistance	Wärmewiderstand	R_{thja} max		300		K/W
Junction temperature	Sperrschichttemperatur	ϑ_j max		150		°C
Ambient temperature	Umgebungstemperatur	ϑ_a max		-55 ... +125		°C

MAA325 MAA435 LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTkreISE
 MAA345 MAA525 THREE STAGE AMPLIFIERS ● DREISTUFIGE VERSTÄRKER

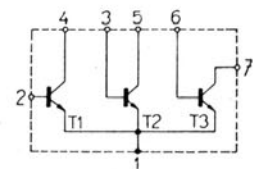
Bottom view
 Ansicht von unten



MAA325
 MAA345



MAA435



MAA525

Outlines ● Abmessungen IO3

Characteristic data:
 Charakteristische Daten:

Measured at
 Gemessen bei

Model	Parameter	Value	Unit	Conditions
MAA325 MAA345	A_U	> 70	dB	$U_B = 7\text{ V}$, $U_{2\text{ eff}} = 2,1\text{ V}$, $f = 1\text{ kHz}$, $R_G = 2\text{ k}\Omega$, $R_L = 470\ \Omega$
	A_U	> 60	dB	$U_B = 7\text{ V}$, $U_{2\text{ eff}} = 1,7\text{ V}$, $f = 1\text{ MHz}$, $R_G = 2\text{ k}\Omega$
	K	< 10	%	$U_B = 7\text{ V}$, $U_{2\text{ eff}} = 2,1\text{ V}$, $f = 1\text{ kHz}$, $R_G = 2\text{ k}\Omega$, $R_L = 470\ \Omega$
	$F^{1)}$	< 8	dB	$U_{7/5} = 6\text{ V}$, $I_5 = 100\ \mu\text{A}$, $f = 1\text{ kHz}$, $R_G = 2\text{ k}\Omega$, $\Delta f = 30\text{ Hz} \dots 15\text{ kHz}$
	$h_{21E}^{1)}$	> 30		$U_{7/5} = 1\text{ V}$, $I_5 = 1\text{ mA}$
MAA435	$U_{7/5\text{ sat}^{1)}$	< 0,2	V	$U_{8/5} = 6\text{ V}$, $I_C = 10 \cdot I_B$
	$U_{1/2\text{ sat}^{2)}$	< 0,6	V	$U_{8/2} = 6\text{ V}$, $U_{6/3} = 0\text{ V}$, $R_L = 470\text{ k}\Omega$
	h_{21E1}	> 40		$U_{6/4} = 6\text{ V}$, $I_5 = 0,2\text{ mA}$
	h_{21E2}	> 40		$U_{7/6} = 6\text{ V}$, $I_3 = 0,2\text{ mA}$
	h_{21E3}	> 40		$U_{8/1} = 3,5\text{ V}$, $I_2 = 15\text{ mA}$
	U_{BE}	0,55 ... 0,8	V	$I_5 = 0,2\text{ mA}$, $U_{4/5} = 6\text{ V}$
	$U_{8/2S}$	< 0,7	V	$I_1 = 0,5\text{ mA}$, $I_8 = 20\text{ mA}$
	$U_{7/3S}$	< 0,9	V	$I_6 = 0,2\text{ mA}$, $I_7 = 8\text{ mA}$
F	< 8	dB	$U_{6/5} = 6\text{ V}$, $I_6 = 100\ \mu\text{A}$, $R_G = 2\text{ k}\Omega$, $f = 1\text{ kHz}$, $\Delta f = 30\text{ Hz} \dots 15\text{ kHz}$	
MAA525	$ h_{21e} $ (T1, T2, T3)	≥ 1		$U_{CE} = 6\text{ V}$, $I_E = 2\text{ mA}$, $f = 100\text{ MHz}$
	h_{21E}	> 20		$U_{CB} = 6\text{ V}$, $I_E = 2\text{ mA}$ (T1, T2, T3)
	U_{BE}	0,5 < 0,75 < 0,8	V	$U_{CB} = 6\text{ V}$, $I_E = 200\ \mu\text{A}$ (T1, T2, T3)
	U_{CES}	< 0,4	V	$I_C = 8\text{ mA}$, $I_B = 0,4\text{ mA}$ (T1, T2, T3)
	F (T1)	≤ 10	dB	$U_{CB} = 6\text{ V}$, $I_B = 2\text{ mA}$, $f = 100\text{ MHz}$ (T1, T2, T3)

¹⁾ Of first transistor
 Des ersten Transistors

²⁾ Of third transistor
 Des dritten Transistors

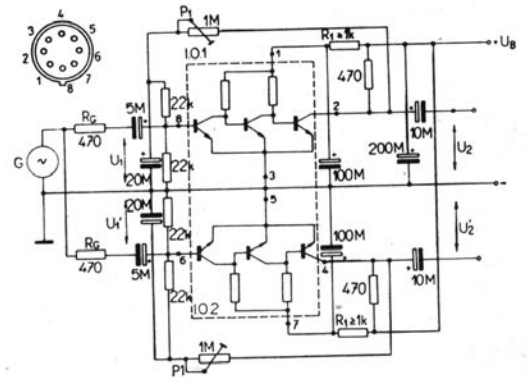
Maximum ratings:
 Grenzdaten:

Parameter	MAA325	MAA345	MAA435	MAA525 (T1, T2, T3)
U_B	max 7	12	7	max 7
$U_{8/3}$	max 7	7	7	max 5
$U_{1/2}$	max 7	12	9	max 5
$U_{7/40}$	max 20		15	max 40
$U_{7/5}$	max 7		15	max 20
$U_{5/4M}$	max 6		6	max 10
$U_{3/6M}$	max 6		6	max 300
I_1	max 40		6	max 150
I_2	max 40		6	max 150
I_5	max 20		6	max -55 ... +125
I_7	max 20		6	
I_8	max 10		6	
I_3	max 5		6	
I_6	max 10		6	
$P_{tot}^{3)}$	max 300		300	
∂_j	max 150		150	
∂_a	max -55 ... +125		-55 ... +125	

³⁾ $\partial_a < 45\text{ }^\circ\text{C}$

LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTKREISE
 DUAL THREE STAGE AMPLIFIERS ● DREISTUFIGE DOPPEL-VERSTÄRKER

22 - MBA225
 30 - MBA245



Outlines ● Abmessungen IO3

Type Typ	MBA225	MBA245	Measured at Gemessen bei		
Characteristic data: Kenndaten:	A_u	>60	>60	dB	$U_B = 7\text{ V}, U_{2\text{ eff}} = 1\text{ V}, f = 1\text{ kHz}, R_L = 470\ \Omega$
	A_u	>50	>50	dB	$U_B = 7\text{ V}, U_{2\text{ eff}} = 1\text{ V}, f = 1\text{ MHz}, R_L = 470\ \Omega$
	A_{ud}	<5	<5	dB	$U_B = 7\text{ V}, f = 1\text{ kHz}, R_L = 470\ \Omega$
	R_I	>3	>3	k Ω	$U_B = 7\text{ V}, f = 1\text{ kHz}, R_L = 470\ \Omega$
	K	<1,5	<1,5	%	$U_B = 7\text{ V}, U_{2\text{ eff}} = 2,1\text{ V}, f = 1\text{ kHz}, R_L = 470\ \Omega$
	$U_N (U_2 : A_U)$	<5	<5	μV	$U_B = 7\text{ V}, U_{2\text{ eff}} = 2,1\text{ V}, f = 1\text{ kHz}, R_L = 470\ \Omega$
	$U_{3/80}$	<6	<6	V	$U_B = 4,5\text{ V}, R_L = 470\ \Omega, f = 40\text{ Hz} \dots 15\text{ kHz}$
	$U_{3/60}$	<6	<6	V	
MBA225 MBA245					
Maximum ratings: Grenzdaten:	U_B	max	7	12	V
	$U_{2/30}$	max	7	12	V
	$U_{4/50}$	max	7	12	V
	I	max		50	mA
	P ($\vartheta_a < 45^\circ\text{C}$)	max		300	mW
	ϑ_j	max		150	$^\circ\text{C}$
	R_{thja}	max		330	K/W
	ϑ_a	max		-55 ... +125	$^\circ\text{C}$

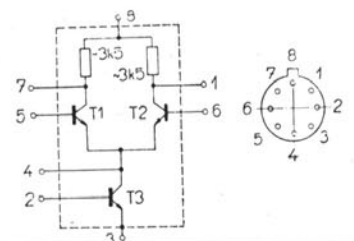
DIFFERENTIAL AMPLIFIERS ● DIFFERENTIAL-VERSTÄRKER

MBA125
 MBA145

Type Typ	MBA125	MBA145	Measured at Gemessen bei	
Characteristic data: Differential voltage gain Output amplitude Input differential voltage Input differential current Input quiet current Coefficient of adding signal suppression Input resistance Output resistance Band width	Kenndaten:			
	Differential-Spannungsverstärkung	A_{ud}	> 50	
	Ausgangs-Spitzenspannung	U_{OM}	3,5	V
	Eingangsspannungs-Unsymmetrie	U_{IO}	< 4	mV
	Eingangsstrom-Unsymmetrie	I_{IO}	< 2	μA
	Eingangs-Null-Strom	I_{IB}	< 50	μA
	Gleichtaktunterdrückung	CMR	> 60	dB
	Eingangswiderstand	R_I	2,5 > 1	k Ω
	Ausgangswiderstand	R_O	2,3 < 4	k Ω
	Bandbreite	BW	0,001 ... 5000	kHz
$U_B = \pm 7\text{ V}$				
MBA125 MBA145				

Outlines ● Abmessungen IO 3

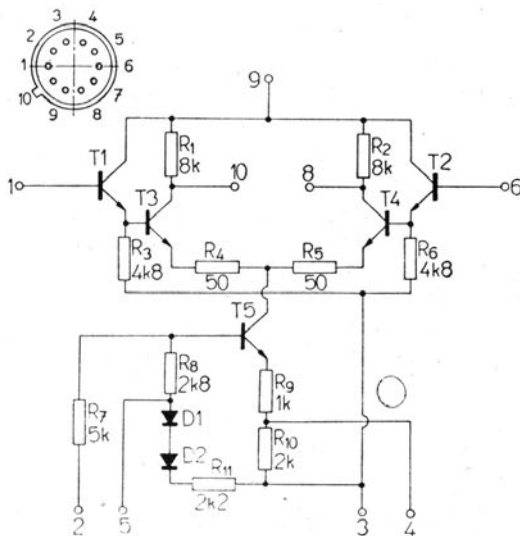
Maximum ratings: Grenzwerte:	U_B	max	± 7	± 12	V
	U_{ID}	max	± 4	± 4	V
	$U_{I/4}$	max	7	12	V
	$U_{7/4}$	max	7	12	V
	$U_{4/3}$	max	7	12	V
	$I_{8/3}$	max		20	mA
	P_{tot}	max		300	mW
	ϑ_j	max		150	$^\circ\text{C}$
	ϑ_a	max		-55 ... +125	$^\circ\text{C}$



Maximum ratings:

Grenzwerte:

U_{CC}	max	10	V
U_{EE}	max	-10	V
U_I	max	± 2	V ¹⁾
U_O	max	± 2	V ²⁾
P_{tot}	max	300	mW
θ_a	max	-55 ... +125	°C
θ_{stg}	max	-65 ... +200	°C



1. Unsymmetrical input
 2. Symmetrical input
 3. Lead 4,5 not connected
-
1. Asymmetrischer Eingang
 2. Symmetrischer Eingang
 3. Ausführung Nr. 4,5 nicht angeschlossen.

Outlines ● Abmessungen IO 8

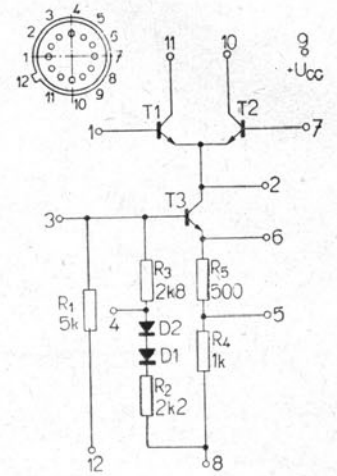
Characteristic data:	Kenndaten:	Measured at: Gemessen bei: $U_{CC} = 6\text{ V}, U_{EE} = -6\text{ V}$			
Input offset voltage	Eingangsspannung-Unsymmetrie	U_{IO}	1,4	< 5	mV
Input offset current	Eingangsstrom-Unsymmetrie	I_{IO}	1,2	< 10	μA
Input bias current	Eingangs-Null-Strom	I_{IQ}	23	< 36	μA
Quiescent operating voltage	Betriebs-Null-Spannung	$U_8, U_{IO^3)}$	2,6	1,5 ... 3,2	V
Device dissipation	Verlustleistung	$P_{tot}^3)$		25 ... 60	mW
Diff. voltage gain at unsymmetrical output symmetrical output	Diff. Spannungsverstärkung bei asymmetrischen Ausgang	A_{ud}	32	> 28	dB (f = 1 kHz)
	symmetrischen Ausgang	A_{ud}	37	> 33	dB (f = 1 kHz)
Output voltage swing maximum	Ausgangs-Spitzenspannung max.	$U_{O\ M/M}$	6,4	> 5	V (f = 1 kHz)
Bandwidth at -3 dB point	Bandbreite für -3 dB	BW	650	> 600	kHz
Common-mode rejection ratio	Gleichphasiges Signalunterdrückungs-Verhältnis	CMR	98	> 70	dB (f = 1 kHz)
Input impedance at unsym. input	Eingangs-Impedanz bei asymmetrischen Eingang	Z_I	195	> 70	k Ω (f = 1 kHz)
Output impedance at unsym. output	Ausgangs-Impedanz bei asymmetrischen Ausgang	Z_O	8	5,5 ... 10,5	k Ω (f = 1 kHz)
Total harmonic distortion	Verzerrung	K	0,2	< 5	% (f = 1 kHz)
AGC range (maximum voltage gain to complete cutoff)	AGC-Bereich (max. Spannungsverstärkung für die totale Sperrung)	AGC	90	> 80	dB (f = 1 kHz)

Maximum ratings: ● Grenzwerte:

U_{CC}	max	+12	V
U_{EE}	max	-12	V
U_I 1)	max	$\pm 3,5$	V
U_I 2)	max	-2,5 ... +3,5	V
P_{tot}	max	300	mW
ϑ_a	max	-55 ... +125	°C
ϑ_{stg}	max	-65 ... +155	°C

- Mode A: Leads 4 and 5 unconnected with lead 8
 B: Lead 4 connected to lead 8
 C: Lead 5 connected to lead 8
 D: Leads 4 and 5 connected to lead 8

- Regime A: Ausführungen 4 und 5 sind nicht verbunden mit Ausführung 8
 B: Ausführung 4 ist verbunden mit Ausführung 8
 C: Ausführung 5 ist verbunden mit Ausführung 8
 D: Ausführungen 4 und 5 sind verbunden mit Ausführung 8.



1) Unsymmetrical input – unsymmetrischer Eingang
 2) Symmetrical input – symmetrischer Eingang

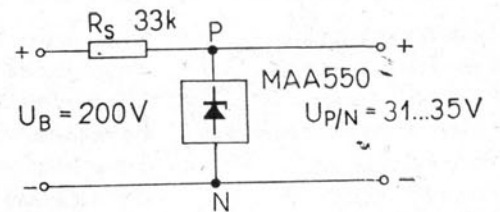
Outlines ● Abmessungen IO 9

Characteristic data:
Charakteristische Daten:

Measured at:
Gemessen bei:
 $U_{CC} = +6 V, U_{EE} = -6 V$

MA3005	U_{I0}	2,6		mV
MA3006	U_{I0}	0,8	< 1,1	mV
	I_{I0}		< 42	μA
	I_{I0}		< 2,1	μA
	I_{10}, I_{11}	1,1	0,55 ... 1,7	mA
	I_{10}, I_{11}	0,5	0,23 ... 0,8	mA
	I_{10}, I_{11}	3,0	1,5 ... 4,6	mA
	I_{10}, I_{11}	1,6	0,75 ... 2,5	mA
	I_{CC}, I_{EE}		1,2 ... 3,9	mA
	I_{CC}, I_{EE}		1,2 ... 4,4	mA
	I_{CC}, I_{EE}		1,1 ... 3,9	mA
	A_{pk}	20	> 15	dB
	A_{pd}	16	> 13	dB
	F_d	7,8	< 9,5	dB
	AGC		> 60	dB
	f		0 ... 120	MHz

Mode A	Regime A
Mode B	Regime B
Mode C	Regime C
Mode D	Regime D
Mode A, $\vartheta_a = + 25^\circ C$	Regime A
Mode A, $\vartheta_a = - 55^\circ C$	Regime A
Mode A, $\vartheta_a = - 125^\circ C$	Regime A
(f = 100 MHz)	Mode D – Regime D
(f = 100 MHz)	Mode D – Regime D
(f = 100 MHz)	Mode D – Regime D
(f = 1,75 MHz)	Mode D – Regime D



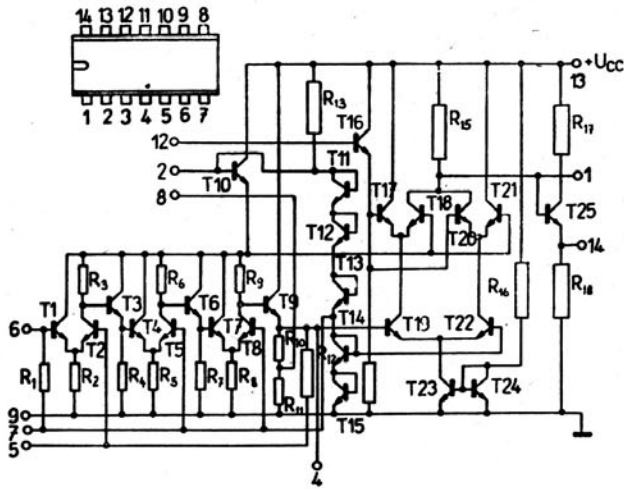
MONOLITHIC VOLTAGE STABILIZER
MONOLITISCHER SPANNUNGSSTABILISATOR

MAA550

Type Typ	$U_{P/N}$ V	$r_{P/N}$ Ω	$\Delta U_{P/N}$ mV	at bei	$I_{P/N}$ mA	Maximum ratings Grenzwerte		Outlines Abmessungen IO 10
						$I_{P/N}$ 1) mA	ϑ_j °C	
MAA550	31 ... 35	12 < 25	-125 ... +62		5	15	150	

1) $\vartheta_c \leq 75^\circ C$

Top view
Ansicht von oben



Maximum ratings:
Grenzdaten:

U_{CC}	max	+ 15	V
$U_{5/6}$	max	± 4	V
P_{tot}	max	600	mW
ϑ_a	max	0 ... +70	$^{\circ}C$
ϑ_{stg}	max	-55 ... +155	$^{\circ}C$

The negative voltage can not be used on the circuit.
Negative Spannung darf nicht an den Schaltkreis zuführen.

Outlines ● Abmessungen IO 13

CHARACTERISTIC DATA: - KENNDATEN: $\vartheta_a = 25^{\circ}C$, $U_{CC} = +12 V$

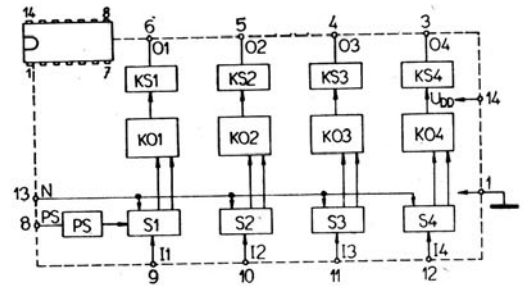
Static data:	Statische Daten:	nom.	min. - max.		
Total supply current	Total Betriebsstrom	I_{CC}	13	8 ... 18	mA
Voltage on lead 2, input of detector	Spannung an Ausführung 2, Detektoreingang	U_2	3,7		V
Voltage on lead 6, input of amplifier	Spannung an Ausführung 6, Verstärkereingang	U_6	1,45		V
Voltage on lead 4, output of amplifier, high level	Spannung an Ausführung 4, Verstärkerausgang, Grosspegel	U_4	1,5		V
Voltage on lead 8, output of amplifier, low level	Spannung an Ausführung 8, Verstärkerausgang, Kleinpegel	U_8	0,145		V
Voltage on lead 14, A. F. output	Spannung an Ausführung 14, NF-Ausgang	$U_{14 AF}$	7,00		V
Dynamic data: I. F. Amplifier	Dynamische Daten: ZF-Verstärker $f = 6,5 MHz$				
Voltage amplifier gain ($U_I = 100 \mu V$)	Spannungsverstärkung	A_u	60		dB
Input voltage for amplifier limiting ($\Delta f = \pm 50 kHz$, $f_{mod} = 1 kHz$)	Eingangsspannung für Verstärker-Begrenzung	U_{om}	70	< 350	μV
Output A. F. voltage from detector ($U_I = 10 mV$, $\Delta f = \pm 50 kHz$, $f_{mod} = 1 kHz$)	NF Detektor-Ausgangsspannung	$U_{O AF}$	1000	> 500	mV
A. M. Rejection ($U_I = 10 mV$, $\Delta f = \pm 50 kHz$, $f_{mod} = 1 kHz$, modul. 30%)	AM-Unterdrückung	AMR	50	> 40	dB
Output A. F. signal distortion ($U_I = 10 mV$, $\Delta f = \pm 25 kHz$, $f_{mod} = 1 kHz$)	NF-Ausgangssignal-Verzerrung	K	1		%
Load resistance	Belastungswiderstand	R_L		> 2	k Ω
Amplifier input resistance	Verstärker-Eingangswiderstand	R_I	3,5		k Ω
Detector input resistance (lead 12)	Detektor-Eingangswiderstand (Ausführung 12)	$R_{I 12}$	70		k Ω
Amplifier output resistance (lead 8)	Verstärker-Ausgangswiderstand (Ausführung 8)	$R_{O 8}$	60		Ω
Detector output resistance (lead 14)	Detektor-Ausgangswiderstand (Ausführung 14)	$R_{O 14}$	100		Ω

UNIPOLAR INTEGRATED CIRCUITS MNOS
UNIPOLARE INTEGRIERTE SCHALTKREISE MNOS
TV-PROGRAM SELECTION CHANNEL SWITCH ● FS-PROGRAMMWahl-KANALSCHALTER

MAS560A

Maximum ratings ● Grenzwerte

	min.	max.	
U_{DD}	+0,3 ...	-32	V
U_I	+0,3 ...	-20	V
I_O		-5	mA
ϑ_a	0 ...	+70	°C
ϑ_{stg}	-25 ...	+125	°C



Block diagram and pin connections
Blockschaltung und Anschlussbelegung

Recommended circuit for electronic touch plate four-channel-switch in tv-program selector of television sets.

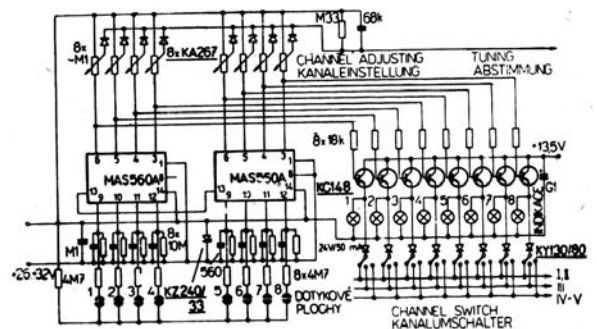
Empfohlene Schaltung des elektronischen berührungsgesteuerten, vierstelligen Sensorschalter für Fernseh-Programmwahl in Fernsehempfänger.

1) The voltage U_{DD} can be increased in a time of 1 min on value -35 V.

Die Spannung U_{DD} kann während der eine Minute-Zeitdauer auf Grenzwert -35 V erhöht sein.

2) On the pins P_S and N is not recommended to connect of external voltage.

An Ausführungen P_S und N ist nicht die Aussenspannung anschliessen zu empfehlen.



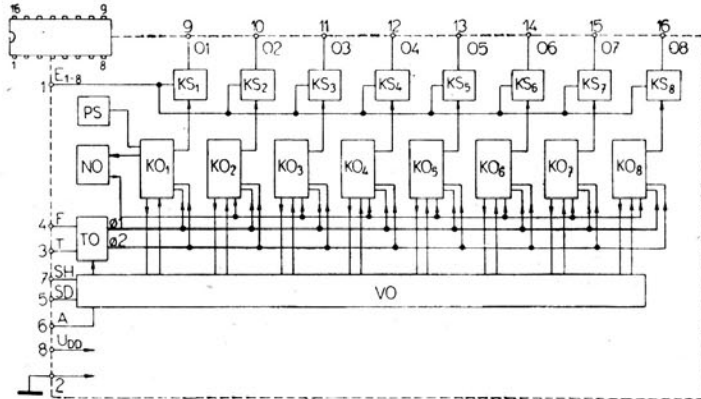
Outlines ● Abmessungen IO 13

Characteristic data	Kenndaten	$-U_{DD} = 26 \dots 32 \text{ V}, \vartheta_a = 0 \dots +70 \text{ °C}$		
Static data:	Statische Daten:			
Supply current	Versorgungsstrom	$-I_{DD}$	$\leq 3,0$	mA
Input leak current $-U_I = 20 \text{ V}$	Eingangs-Ableitstrom	$-I_{IL}$	$\leq 1,0$	μA
Input capacity $-U_I = 7 \text{ V}, f = 100 \text{ kHz}$	Eingangs-Kapazität	C_I	≤ 20	pF
Non-switching input voltage	Eingangs-Spannung für nicht geschalteten Zustand	$-U_{IL}$	$\leq 1,5$	V
Switching input voltage	Eingangs-Schaltspannung	$-U_{IH}$	$\geq 7,0$	V
Output leak current $-U_O = 32 \text{ V}$	Ausgangs-Reststrom	$-I_{OL}$	$\leq 5,0$	μA
On-state output resistance $-I_O = 1 \text{ mA}$	Ausgangs-Widerstand in geschalteten Zustand	R_{OH}	≤ 500	Ω
Temperature coefficient of output resistance R_{OH} $-I_O = 1 \text{ mA}, \vartheta_a = +10 \dots +50 \text{ °C}$	Temperatur-Koeffizient des Ausgangswiderstandes R_{OH}	$TK R_{OH}$	$\leq +1,0$	Ω/K

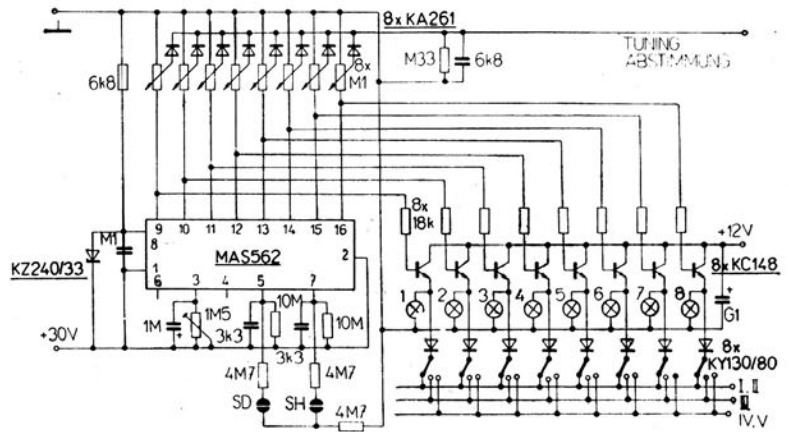
Maximum ratings ● Grenzwerte

	min.	max.	
$U_{DD}^{1)}$	+0,3 ...	-35	V
$U_I^{2)}$	+0,3 ...	-20	V
U_O	+0,3 ...	-32	V
I_O		5	mA
ϑ_a	0 ...	+70	°C
ϑ_{stg}	-25 ...	+125	°C

- KO - flip-flop circuit ● Flip-Flop-Schaltung
- KS - output stage ● Ausgangsstufe
- TO - clock circuit ● Taktkreis
- VO - link circuit - Kopplungskreis
- NO - reset circuit ● Rückstellkreis
- PS - preference switching ● Vorzugskreis



1. With pin U_{DD} is connected a serial resistor $6,8 \text{ k}\Omega \pm 20\%$.
In Ausführung U_{DD} ist ein Serienwiderstand $6,8 \text{ k}\Omega \pm 20\%$ angeschlossen.
2. Valid for pins SH, SD.
Gültig für Ausführungen SH, SD.
3. On the pins F, T, A is not recommended to connect of external voltage.
An Ausführen F, T, A ist nicht die Aussenspannung anschliessen zu empfehlen.
4. The pin E_{1-8} is connected to substrat.
Ausführung E_{1-8} ist zum Substrat angeschlossen.
5. The negative value of voltages and currents (mark minus -) valid with regard to common point - to pin No. 02.
Die negative Spannungs- und Stromwerte (Minus-Zeichen -) beziehen sich mit Rücksicht zum gemeinsamen Punkt - zur Ausführung Nr. 02.



Recommended circuit for electronic touch plate eight-channel-switch in TV and VHF program selector of television and radio sets.
Empfohlene Schaltung des elektronischen berührungsgesteuerten, achtstelligen Sensor-schalter für FS- und VHF-Programmwahl in Fernseh- und Rundfunkempfänger.

Outlines ● Abmessungen IO 14 A

Characteristic data:	Kenndaten	$-U_{DD} = 26 \dots 32 \text{ V}, \vartheta_a = 0 \dots +70 \text{ }^\circ\text{C}$		
Supply current	Stromaufnahme	$-I_{DD}$	< 3,0	mA
Input leak current inputs SH, SD $-U_I = 20 \text{ V}$	Eingangs-Ableitstrom der SH-, SD-Eingänge	$-I_{IL}$	< 1,0	μA
Input capacitance inputs SH, SD $-U_I = 7 \text{ V}, f = 100 \text{ kHz}$	Eingangs-Kapazität der SH-, SD-Eingänge	C_I	< 20	pF
Non-switching input voltage inputs SH, SD	Eingangs-Spannung für nicht geschalteten Zustand	$-U_{IL}$	< 1,5	V
Switching input voltage inputs SH, SD	Eingangs-Schaltspannung der SH-, SD-Eingänge	$-U_{IH}$	> 7,0	V
Output voltage of pin A level H	Ausgangs-Spannung der A-Ausführung, H-Zustand	$-U_{AOH}$	> 7,0	V
Output voltage of pin A level L	Ausgangs-Spannung der A-Ausführung, L-Zustand	$-U_{AOL}$	< 1,5	V
Output leak current $-U_O = 32 \text{ V}$	Ausgangs-Reststrom	$-I_{OL}$	< 5,0	μA
Output resistance - on state $-I_O = 1 \text{ mA}$	Ausgangs-Widerstand im geschalteten Zustand	R_{OH}	< 500	Ω
Temperature coefficient of output resistance R_{OH} $-I_O = 1 \text{ mA}, \vartheta_a = +10 \dots +50 \text{ }^\circ\text{C}$	Temperatur-Koeffizient des Ausgangswiderstandes R_{OH}	$TK R_{OH}$	< +1,0	Ω/K

**UNIPOLAR INTEGRATED CIRCUITS MNOS
UNIPOLARE INTEGRIERTE SCHALTKREISE MNOS
TO PICTURE OF CHANNEL NUMBER ● FÜR KANAL - NUMMERDARSTELLUNG**

MAS1008

THE INTEGRATED CIRCUIT SERVED TO PICTURE OF NUMBER 1...8 CLOSED-ON CHANNEL ON THE PICTURE TUBE OF TV-SET WITH ELECTRONIC TOUCH DRIVEN DOUBLE CONTACT CHANNEL-SWITCH WITH INTEGRATED CIRCUIT MAS560A OR MAS562

DER INTEGRIERTER SCHALTKREIS DIENT FÜR NUMMERDARSTELLUNG 1...8 DES EINGESCHALTETEN KANALS AN DEM BILDSCHIRM DES FS-EMPFANGERS MIT ELEKTRONISCHEM BERÜHRUNGSGESTEUERTEN SCHALTER MIT INTEGRIERTEM SCHALTKREIS MAS560A ODER MAS562

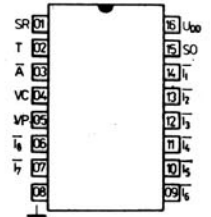
The number of closed-on channel is pictured in the left upper corner in matrix form with 7×9 points. Digit duration can be determined by duration of external signal.

Die Nummer des eingeschalteten Kanals dargestellt sich in linke obere Ecke der Bildröhre in Matrix-Form mit 7×9 Punkten. Zeitdauer des Nummerzeichen ist möglich durch Länge des Aussensignals bestimmen.

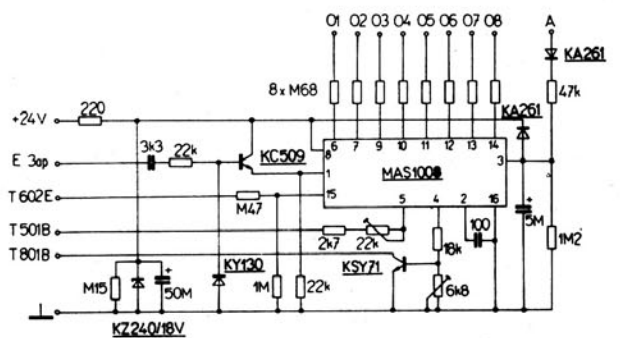
Maximum ratings ● Grenzwerte

	min.	max.	
U_{DD}	+0,3	-20	V
U_I	+0,3	-20	V
I_O		-2	mA
ϑ_a	0	+70	°C

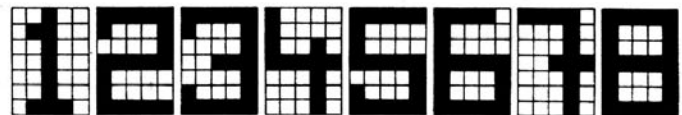
MAS1008 —
stagnant numbers ●
stehende Nummer



Base connection
(top view)
Sockelschaltung
(Ansicht von oben)



Recommended circuit with electronic touch plate switching integrated circuit MAS562 (in TESLA TV-sets of series DUKLA).



MAS1008

Outlines ● Abmessungen IO 14 A

Characteristic data	Kenndaten	$U_{DD} = -16,5 \dots -19,5 \text{ V}, \vartheta_a = 0 \dots +70 \text{ °C}$		
Supply current	Versorgungsstrom	$-I_{DD}$	≤ 8	mA
Input leak current input $I_1 \dots I_8, SO, SR, A$ $-U_I = 19,5 \text{ V}$	Eingangs-Ableitstrom Eingang $I_1 \dots I_8, SO, SR, A$	$-I_{IH}$	≤ 1	μA
Input voltage — level H input $I_1 \dots I_8, SO, SR, A$	Eingangsspannung — H-Zustand Eingang $I_1 \dots I_8, SO, SR, A$	$-U_{IH}$	$\leq 1,5$	V
Input voltage — level L input $I_1 \dots I_8, SO, SR, A$	Eingangsspannung — L-Zustand Eingang $I_1 \dots I_8, SO, SR, A$	$-U_{IL}$	$\geq 5,0$	V
Input capacity input $I_1 \dots I_8, SO, SR, A$ $-U_I = 5,0 \text{ V}, f = 100 \text{ kHz}$	Eingangskapazität Eingang $I_1 \dots I_8, SO, SR, A$	C_I	≤ 10	pF
Output leak current $U_O = 20 \text{ V}$	Ausgangs-Ableitstrom	$-I_{OH}$	≤ 1	μA
Output resistance on state $-I_O = 1 \text{ mA}$	Ausgangswiderstand im geschalteten Zustand	R_{OL}	< 1	k Ω

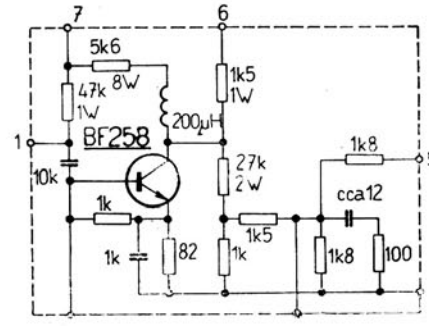
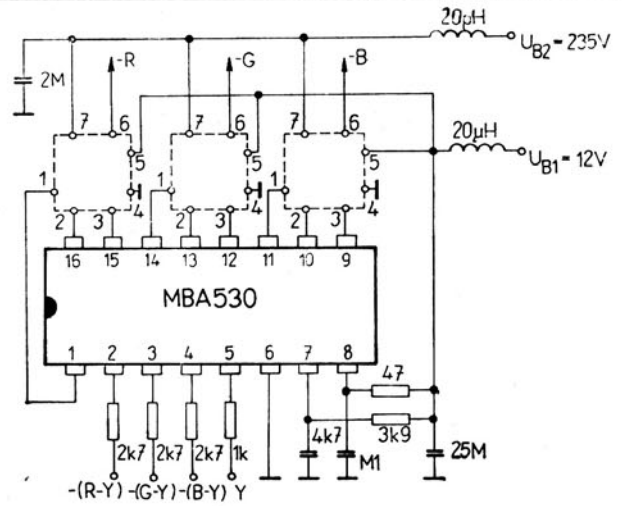
1. On the pin T is not recommended to connect of external voltage.
An Ausführung T ist nicht die Aussenspannung anschliessen zu empfehlen.

THREE-CHANNELS PRE-AMPLIFIER OF SIGNALS R-Y, B-Y AND G-Y, PRE-AMPLIFIER OF SIGNAL Y. FROM DIFFERENCE SIGNAL OF COLOURS AND LUMINANCE PRODUCES SIGNALS R. G. B.

DREIKANAL-VORVERSTÄRKER FÜR (R-Y)-, (B-Y)- UND (G-Y) - SIGNAL, VORVERSTÄRKER FÜR DAS Y-SIGNAL. AUS DER DIFFERENZ-FARBSIGNALEN UND DES LEUCHT-DICHTESIGNALS ERZEUGT DER SCHALTKREIS RGB-SIGNALE.

Maximum ratings ● Grenzwerte

$U_{8/6}$	min.	10,2	V
$U_{8/6}$	max.	13,2	V
I_1, I_{11}, I_{14}	max.	10	mA
I_{10}, I_{13}, I_{16}	max.	50	mA
P_{tot}	max.	400	mW
θ_a	min.-max.	-25 ... +70	°C
θ_{stg}	min.-max.	-25 ... +125	°C



Outlines ● Abmessungen IO 14

Characteristic data

Kenndaten

$\theta_a = +25^\circ\text{C}$, $U_{B1(8/6)} = 12\text{ V}$,
 $U_{2/6} = U_{3/6} = U_{4/6} = 7,5\text{ V}$, $U_{5/6} = 1,5\text{ V}$

Colour difference input signal	Eingangsdifferenzfarbsignal		nom.	min.-max	
R-Y		$U_{2/6} M/M$	1,4		V
G-Y		$U_{3/6} M/M$	0,82		V
B-Y		$U_{4/6} M/M$	1,78		V
Luminance input signal Y	Eingangsdifferenzfarbsignal Y	$U_5 M/M$	1,0		V
Gain of colour channels $f = 0,5\text{ MHz}$	Verstärkung der Farbkanäle	$G_{R-Y} = U_R/U_{R-Y}$ $G_{G-Y} = U_G/U_{G-Y}$ $G_{B-Y} = U_B/U_{B-Y}$	100	> 80	
Ratio of gain of luminance to colour amplifiers	Verhältnis der Verstärkung der Farbdifferenz-Kanäle zu der des Y-Kanals	G_{R-Y}/G_Y G_{G-Y}/G_Y G_{B-Y}/G_Y	1	0,9 ... 1,1	
D. C. output voltage	Ausgangsgleichspannung	U_R U_G U_B	165 165 165		V V V
Supply current consumption	Gesamt-Stromaufnahme	I_{tot}	35		mA
Information data:		Informationsdaten:			
Input resistance of colour	Eingangswiderstand der Farb- differenz-Eingänge	R_2, R_3, R_4	60		kΩ
Input capacitance of colour	Eingangskapazität der Farb- differenz-Eingänge	C_2, C_3, C_4	3		pF
Input resistance of luminance	Eingangswiderstand des Y-Kanals	R_5	20		kΩ
Input capacitance of luminance	Eingangskapazität des Y-Kanals	C_5	10		pF
Bandwidth of all channels (-3 dB)	Bandbreite von allen Kanälen (-3 dB)	BW	6		MHz

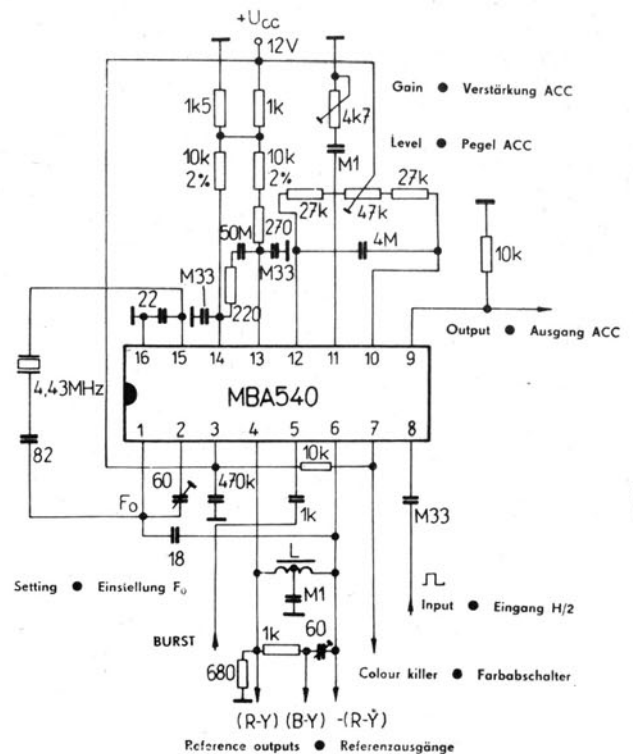
1) Gain of colour channels is defined as the ratio of signal on collector of output transistor to signal at the signal input on pins 2, 3 or 4.
Die Verstärkung der Farbkanäle ist als Signalverhältnis auf Kollektor des Ausgangstransistors zu dem Signal auf dem zugehörigen Eingang (Ausführung 2, 3 oder 4) definiert.

REFERENCE SIGNAL R-Y, B-Y SOURCE,
 VOLTAGE SOURCE FOR GAIN CONTROL OF
 COLOUR AMPLIFIER AND COLOUR KILLER,
 OSCILATOR OF AUXILIARY COLOUR CARRIER.

REGELSPANNUNGSERZEUGUNG FÜR FARBARTSIGNAL,
 ERZEUGUNG VON FARBABSCHALT- UND
 IDENTIFIKATIONS-SIGNAL,
 FARBHILFSTRÄGER-OSZILLATOR

Maximum ratings ● Grenzwerte

$U_{3/16}$	min.	10,2	V
$U_{3/16}$	max.	13,2	V
P_{tot}	max.	680	mW
ϑ_a	min.-max.	-25 ... +70	°C
ϑ_{stg}	min.-max.	-25 ... +125	°C



Outlines ● Abmessungen IO 14

Characteristic data

Kenndaten

$\vartheta_a = +25^\circ\text{C}$, $U_{3/16} = 12\text{ V}$,
 $U_{8/16 M/M} = 2,5\text{ V}$ (square wave voltage H/2 ●
 H/2-Rechteckspannung)
 $U_{5/16 M/M} = 1,4\text{ V}$ (burst signal input ● Burst-Signal)

Reference signal output voltage R-Y (peak-to-peak value)	Referenzsignal-Ausgangsspannung R-Y (Spitze-Spitze-Wert)	$U_{4/16 M/M}$	nom. 1,5	min.-max. > 1	V
Colour killer output voltage colour on colour off	Farbabschalter-Ausgangsspannung Farbe „Ein“ Farbe „Aus“	$U_{7/16}$ $U_{7/16}$	12	< 250	V mV
Colour killer output current colour on colour off	Farbabschalter-Ausgangsstrom Farbe „Ein“ Farbe „Aus“	I_7 I_7		< 10 < 1	μA mA
ACC output voltage of colour amplifier at correct phase H/2 ¹⁾ at incorrect phase H/2 ¹⁾	Farbartsignal-Regelspannung bei richtiger Phase H/2 bei falscher Phase H/2	$U_{9/16}$ $U_{9/16}$		4 ... 0,2 4 ... 11	V V
Supply current consumption	Gesamt-Stromaufnahme	I_3	38	< 50	mA
Active synchronisation range ²⁾	Aktiver Synchronisationsbereich		± 300		Hz
Information data:					
Voltage gain of oscillator section	Spannungsverstärkung des Farbhilfsträger-Oszillators	$G_{15/1}$	4,5		
Voltage gain of reactance section (pins 13 and 14 interconnected)	Spannungsverstärkung der Reaktanzstufe (Ausführungen 13 u. 14 verbunden)	$G_{15/2}$	1,1		
Passive synchronisation range ²⁾	Passiver Synchronisationsbereich		± 600		Hz
Input resistance of oscillator section	Eingangswiderstand der Oszillatorstufe	R_{15}	5,2		k Ω
Input capacitance of oscillator section	Eingangskapazität der Oszillatorstufe	C_{15}	3,7		pF
Temperature coefficient of oscillator section	Temperaturkoeffizient der Oszillatorstufe	TK_{osc}		< 2	Hz/K
Phase difference between reference and colour synchronisation signal (oscillator pulling $\pm 400\text{ Hz}$)	Phasendifferenz zwischen Referenz- und Phasensynchronisationssignal (Frequenzablage $\pm 400\text{ Hz}$)		± 10		°

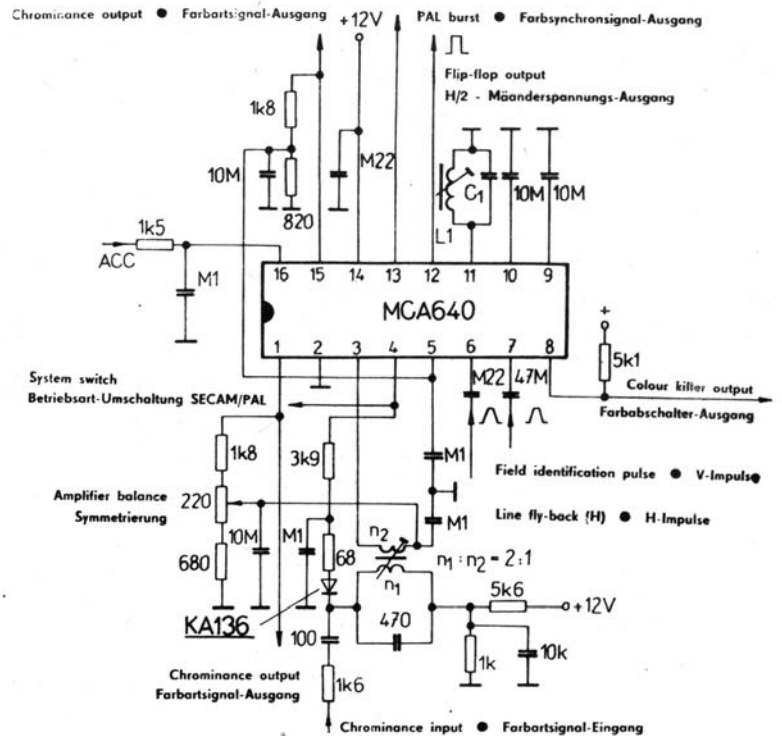
¹⁾ For zero colour synchronisation signal to be adjust by ACC level $U_{9/16} = 4\text{ V}$.
 Für Null-Synchronisationsfarbsignal stellt sich durch ACC-Pegel $U_{9/16} = 4\text{ V}$ ein.
²⁾ Crystal TESLA Q700. ● Quarz TESLA Q700.

CHROMINANCE AMPLIFIER PAL / SECAM
 INCORPORATES A COLOUR KILLER, 7,8 kHz
 FLIP-FLOP, IDENTIFICATION CIRCUIT SECAM,
 SWITCHING CIRCUITS FOR BURST GATING (PAL)
 AND IDENTIFICATION SIGNAL SECAM.
 SYSTEM SWITCH SECAM/PAL.

FARBART-KOMBINATION PAL/SECAM,
 VERSEILT FARBABSCHALTER, 7,8 kHz-FLIP-FLOP,
 SECAM-IDENTIFICATION, AUSTASTSCHALTUNG FÜR
 FARBARTSIGNAL, AUFTASTSCHALTUNG FÜR
 FARBSYNCHRONISATIONSSIGNAL.
 INTERNE PAL/SECAM-UMSCHALTUNG.

Maximum ratings ● Grenzwerte

$U_{14/2}$	min.	10,2	V
$U_{14/2}$	max.	13,2	V
P_{tot}	max.	625	mW
ϑ_a	min.-max.	-25 ... +70	°C
ϑ_{stg}	min.-max.	-25 ... +125	°C



Outlines ● Abmessungen IO 14

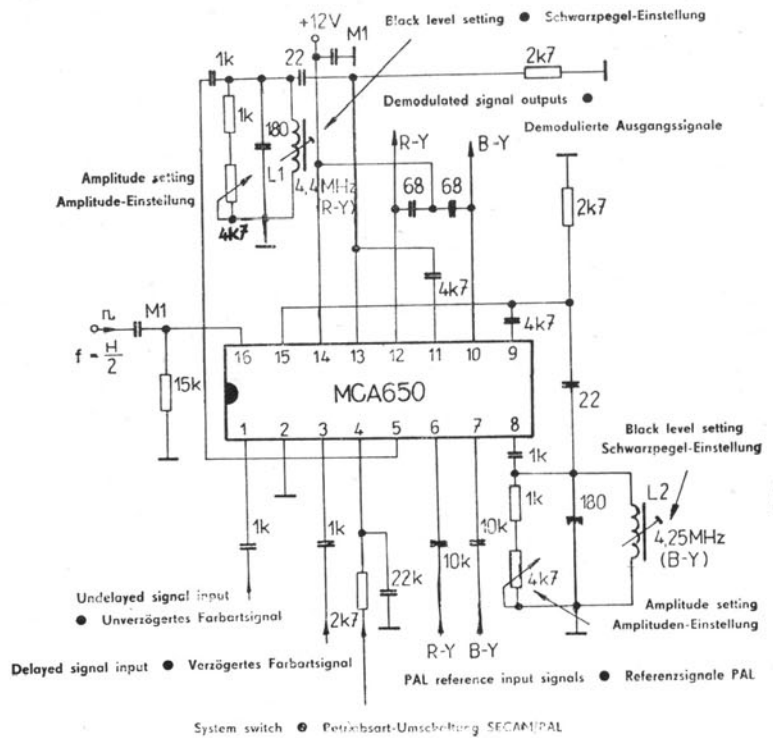
Characteristic data	Kenndaten	$\vartheta_a = +25^\circ\text{C}, U_{14/2} = 12\text{V}$			
Chrominance input signal SECAM PAL	Farbartsignalspannung	$U_{3/5\text{ M/M}}$	nom.	min.-max. 15 ... 400 4 ... 80	mV mV
Line fly-back pulses (positive)	Zeilen- (H) - Rücklaufimpulse, positiv	$U_{6/2\text{ M/M}}$		4,5 ... 12	V
Field identification pulses (positive)	Bild- (V) - Identifikationsimpulse, positiv	$U_{7/2\text{ M/M}}$		4,0 ... 12	V
System switch signal SECAM PAL	Betriebsart-Schaltspannung	$U_{4/2}$ $U_{4/2}$		0 ... 1 7 ... $U_{14/2}$	V V
Chrominance output signal PAL SECAM	Farbartsignalspannung	$U_{15/2}, U_{1/2\text{ M/M}}$ $U_{15/2}, U_{1/2\text{ M/M}}$		425 ... 575 1,8 ... 2,3	mV V
Flip-flop signal	7,8 kHz-Mänderspannung	$U_{12/2\text{ M/M}}$		2,5 ... 3,5	V
Colour killer killed	Farbabschaltung „Ein“	$U_{8/2}$ I_8		< 0,5 < 10	V mA
unkilled	„Aus“	$U_{8/2}$ I_8		= $U_{14/2}$ < 10	V μA
Supply current consumption	Gesamt-Stromaufnahme	I_{14}	40	< 47	mA
Colour killer threshold PAL	Farbabschaltspannung PAL	$U_{16/2}$	2,5		V
Information data:	Informationsdaten:				
Chrominance input signal for limiting SECAM	Farbart-Eingangssignal für SECAM-Begrenzung	$U_{3\text{ M/M}}$		< 15	mV
Automatic chrominance control starting PAL	Einsatzspannung für Farbartsignal-Regelung	$U_{16/2}$	1,2	0,9 ... 1,5	V
Regulation range PAL	Regelungsbereich PAL	ΔG	26		dB
Phase difference between output colour signal PAL	Phasendifferenz zwischen den Ausgängen	$\varphi_{15/1}$		170 ... 190	°
Burst signal PAL	Farbsynchronisationssignal PAL	$U_{13/2\text{ M/M}}$	1		V
Output resistance pin 11	Ausgangswiderstand (Ausführung 11)	$R_{11/2}$		2 ... 2,9	k Ω
Input capacitance SECAM	Eingangskapazität SECAM	C_3	2		pF

SYNCHRONOUS DEMODULATOR FOR SECAM/PAL CHROMINANCE SIGNALS, INCORPORATES ADDING AND DIFFERENTIAL MATRIX PAL, LINES SWITCH AND LIMITER SECAM, SWITCH OF PHASE OF R-Y COMPONENT PAL, SYSTEM SWITCH SECAM/PAL

SYNCHRON-DEMODULATOREN FÜR PAL- UND SECAM-FARBARTSIGNAL-VERSEILT PAL-MATRIX ZUR GEWINNUNG GETRENNTER (R-Y)- UND (B-Y)- ANTEILE DES FARBARTSIGNALS, PAL-SCHALTER ZUR ZEILENWEISEN PHASENDREHUNG DER (R-Y)- KOMPONENTE, SECAM PERMUTATOR UND BEGRENZER, INTERNE PAL- / SECAM-UMSCHALTUNG

Maximum ratings ● Grenzwerte

$U_{14/2}$	min.	10,2	V
$U_{14/2}$	max.	13,2	V
P_{tot}	max.	610	mW
ϑ_a	min.-max.	-25 ... +70	°C
ϑ_{stg}	min.-max.	-25 ... +125	°C



Outlines ● Abmessungen IO 14

Characteristic data	Kenndaten	$\vartheta_a = +25^\circ\text{C}, U_{14/2} = 12\text{V}$		
Chrominance input signal PAL SECAM	Farbartsignal-Eingangsspannung	nom.	min.-max.	mV
		$U_{1/2}, U_{3/2} \text{ M/M}$	35 ... 75	mV
		$U_{1/2}, U_{3/2} \text{ M/M}$	150 ... 400	mV
Reference input signal PAL SECAM	Referenzsignal-Eingangsspannung			V
		$U_{6/2}, U_{7/2} \text{ M/M}$	0,5 ... 1,5	V
		$U_{5/2}, U_{8/2} \text{ M/M}$	0,18 ... 1,5	V
Colour difference output signal 1) R-Y B-Y	Farbdifferenz-Ausgangsspannung			V
		$U_{12/2} \text{ M/M}$	0,9 ... 1,3	V
		$U_{10/2} \text{ M/M}$	1,2 ... 1,7	V
Diaphotie of total circuit $D_R = 4,72 \text{ MHz}, D_B = 4,04 \text{ MHz}$	Übersprech der Gesamtschaltung		< -40	dB
Square wave input 7,8 kHz	Mänderspannung	$U_{16/2} \text{ M/M}$	2,5 ... 3,5	V
System switch input 2) SECAM PAL	Betriebsart-Schaltspannung		0 ... 1	V
			7 ... $U_{14/2}$	V
Supply current consumption	Gesamt-Stromaufnahme	I_{14}	36	< 46
PAL matrix gain from both inputs to pin 13	PAL-Matrix-Verstärkung von beiden Eingängen auf Ausführung 13	$G_{13} = \frac{U_{13/2}}{U_{1/3}}$		2,3 ... 3,3
to pin 15	auf Ausführung 15	$G_{15} = \frac{U_{15/2}}{U_{1/3}}$		2,6 ... 3,6
Information data:	Informationsdaten:			
SECAM permutator output signal 3)	SECAM-Permutator-Ausgangssignale	$U_{13/2}, U_{15/2} \text{ M/M}$	1,6 ... 2,2	V
Chrominance signal on demodulator input PAL B-Y PAL R-Y SECAM B-Y SECAM R-Y	Demodulator-Farbartsignal-Eingangsspannung	$U_{9/2} \text{ M/M}$	0,22	V
		$U_{11/2} \text{ M/M}$	0,28	V
		$U_{9/2} \text{ M/M}$	1,5 ... 3	V
		$U_{11/2} \text{ M/M}$	1,5 ... 3	V

1) Valid for chrominance input signal PAL ● Gültig für Farbartsignal-Eingangsspannung PAL

$U_{1/2}, U_{3/2} \text{ M/M} = 50 \text{ mV}, \text{ SECAM } \Delta f = \pm 280 \text{ kHz}$
 The clipping level (peak-to-peak) for: } PAL B-Y = 4,7 V, R-Y = 3 V
 Der Clipping-Pegel (Spitze-Spitze) für: } SECAM B-Y = 3,6 V, R-Y = 2,4 V

2) Switching signal is applied to pin 4 through a resistor 2,7 kΩ (± 10%) Betriebsart-Schaltsignal ist auf Ausführung 4 durch Serienwiderstand 2,7 kΩ (± 10%) angeschlossen.

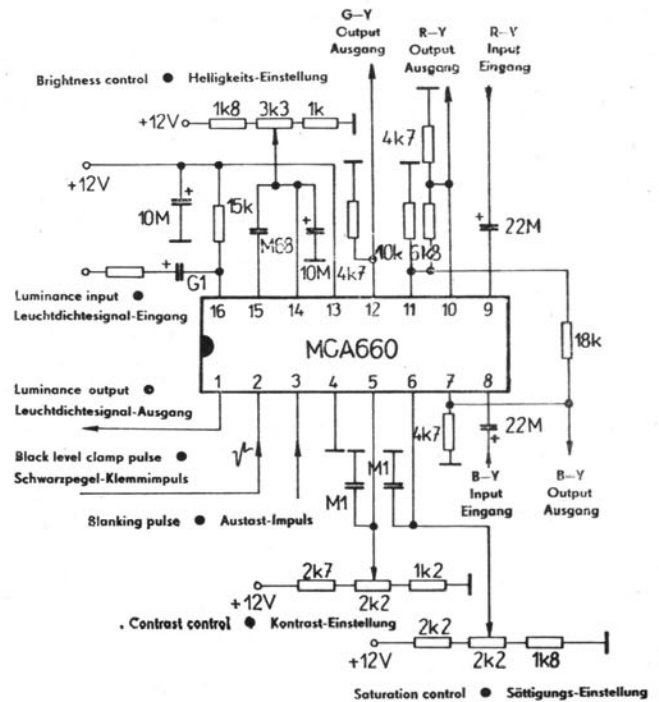
3) The value 1,6 V valid at input voltage $U_{1/2}, U_{3/2} \text{ M/M} = 150 \text{ mV}$. Der Wert 1,6 V gültig bei Eingangsspannung $U_{1/2}, U_{3/2} \text{ M/M} = 150 \text{ mV}$.

CIRCUIT PERFORMING THE CONTROL FUNCTIONS OF CONTRAST, SATURATION AND BRIGHTNESS, REALIZES BLACK LEVEL RESTORER AND BLACKING OF LUMINANCE CHANNEL. AN INVERTER AMPLIFIER IS USED FOR MATRIXING THE (G-Y) SIGNAL FROM THE (R-Y) AND (B-Y) COLOUR DIFFERENCE SIGNALS. CONTRAST IS CONTROLLED BY THREE TRACKING ELECTRONIC POTENTIOMETERS — ONE FOR LUMINANCE, OTHER TWO FOR COLOUR DIFFERENCE SIGNALS.

SCHALTKEIS FÜR HELLIGKEITS-, SÄTTIGUNGS- UND KONTRASTEINSTELLUNG FÜR DAS LEUCHTDICHESIGNAL, SCHWARZWERT-KLEMMUNG. EIN INVERTER-VERSTÄRKER IST BENUTZ FÜR MATRIXING DES (G-Y)-SIGNALS AUS (R-Y)- UND (B-Y)-FARBARTSIGNALS. KONTRAST IST GEREGELT DURCH DREI ELEKTRONISCHEN POTENTIOMETER — EIN DIEN FÜR HELLIGKEITS-, ZWEI WEITERE FÜR FARBARTSIGNALS.

Maximum ratings ● Grenzwerte

$U_{I3/4}$	min.	10,2	V
$U_{I3/4}$	max.	13,2	V
P_{tot}	max.	600	mW
ϑ_a	min.-max.	-25 ... +70	°C
ϑ_{stg}	min.-max.	-25 ... +125	°C



Outlines ● Abmessungen IO 14

Characteristic data

Kenndaten

$\vartheta_a = +25^\circ\text{C}$, $U_{I3/4} = 12\text{V}$

Characteristic data	Kenndaten	I_{16}	nom.	min.-max.	mA
Luminance input current	Leuchtdichte-Eingangsstrom	I_{16}		0 ... 2,5	
Colour difference input voltage	Farbart-Eingangsspannung				
R-Y		$U_{9/4\ M/M}$		< 0,7	V
B-Y		$U_{8/4\ M/M}$		< 0,9	V
Blanking pulse ¹⁾	Austostimpuls				
blanking level	Austostpegel	$U_{3/4\ M/M}$		-1,5 ... -10	V
black level	Schwarzwertpegel	$U_{3/4\ M/M}$		2,0 ... 12	V
Black level clamp pulse	Klemmimpuls	$U_{2/4\ M/M}$		1,0 ... 12	V
Luminance output voltage at nominal contrast	Leuchtdichte-Ausgangsspannung bei nominellem Kontrast	$U_{1/4\ M/M}$		2,0 ... 4,0	V
Black level at nominal brightness $U_{I4/4} = 5,7\text{V}$	Schwarzpegel bei nomineller Helligkeit	$U_{1/4}$	4,3	3,8 ... 4,6	V
Colour difference output signal at nominal contrast and saturation	Farbart-Ausgangsspannung bei nominellem Kontrast und nomineller Sättigung				
R-Y		$U_{10/4\ M/M}$	1,4	> 1,25	V
B-Y		$U_{7/4\ M/M}$	1,8	> 1,6	V
D. C. output level	Gleichspannungspegel				
R-Y		$U_{7/4}$	6,2	5,4 ... 6,8	V
B-Y		$U_{10/4}$	6,2	5,4 ... 6,8	V
Contrast control voltage range for 50% contrast of luminance amplifier	Kontrasteinstellungs-Spannungsbereich für 50% des Kontrastes des Leuchtdichte-Verstärkers	$U_{5/4}$		4,5 ... 5,0	V
Saturation control voltage range for 50% saturation of chrominance amplifier	Sättigungseinstellung-Spannungsbereich für 50% der Sättigung des Farbartverstärkers	$U_{6/4}$		5,5 ... 6,0	V
Supply current consumption	Gesamt-Stromaufnahme	I_{13}	40	< 46	mA

¹⁾ At negative pulse value -1,5 V ... -2,5 V is luminance output blanking on blanking level, at positive value on black level. During the active part of lines must be voltage $U_{3/4} > -0,75 < +0,7\text{V}$.

Bei negativen Impulswerten -1,5 ... -2,5 V ist der Leuchtdichte-Ausgang auf Austostpegel, bei positiven Impulswerten auf Schwarzpegel ausgetastet. Während des aktiven Zeilenteiles muss die Spannung $U_{3/4} > -0,75\text{V} < +0,7\text{V}$ sein.

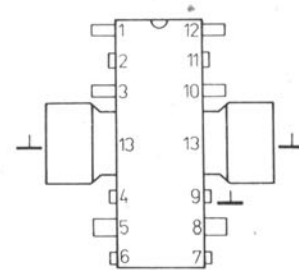
COMBINATION OF ALL STAGES FOR THE VERTICAL
 DEFLECTION OF 110° BLACKWHITE TV RECEIVERS

KOMBINATION DER ALLEN STUFEN FÜR VERTIKALABLENKUNG
 VON 110° – SCHWARZ-WEISS-FERNSEHEMPFÄNGER

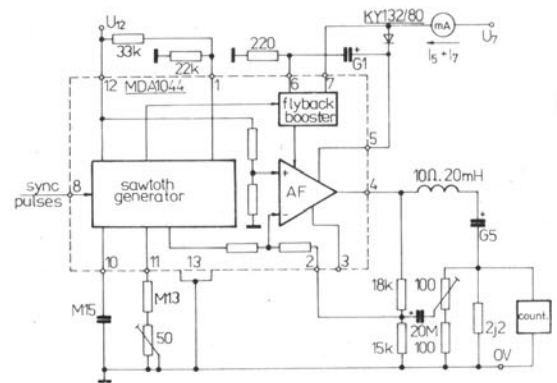
Maximum ratings ● Grenzwerte:

U_7	max.	30	V
U_5 1)	max.	27	V
U_{12}	max.	22	V
U_8	max.	-6	V
$I_{4 M/M}$	max.	1	A
$I_5 + I_7$	max.	300	mA
I_6	max.	500	mA
I_8	max.	2	mA
ϑ_j	max.	155	°C
ϑ_{stg}	min.-max.	-25 ... +100	°C

1) During flyback pulse ● Während des Rücklaufimpulses
 $U_5 = 58$ V



Base connection diagram (top view)
 Sockelschaltung (Ansicht von unten)



Measuring circuit ● Mess-Schaltung

Outlines ● Abmessungen IO-16

Characteristic data:

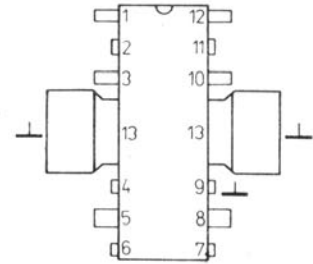
Kenndaten:

$\vartheta_a = +25$ °C, $U_7 = 20$ V, $U_{12} = 12$ V
 Deflection unit ● Ablenkeinheit
 10 Ω , 20 mH

		nom.		min.-max.	
Current consumption $f_B = 50$ Hz, $I_{4 M/M} = 0,6$ A	Stromaufnahme	$I_5 + I_7$	140	≤ 300	mA
Amplitude of synchronizing signal positive signal negative signal	Amplitude von Synchronisations-Signal positives Signal negatives Signal	U_8 $-U_8$		1,3 ... 10 1,3 ... 6	V V
Temperature drift of freedom frequency	Temperature Drift von Freilauffrequenz	$\Delta f_B / \Delta \vartheta_c$	0,0145	$\leq 0,0364$	Hz/K
Information data:	Informationsdaten:				
Input resistance	Eingangswiderstand	$R_{8/13}$	10		k Ω
Sawtooth generator frequency $R_{11/13} \geq 50$ k Ω	Frequenz des Sägezahngenerators	f_B	1,5		Hz
Voltage on lead No. 11 $f_B = 50$ Hz, $I_{4 M/M} = 0,6$ A	Spannung auf Ausführung Nr. 11	U_{11}	7,8		V
Flyback duration $f_B = 50$ Hz, $I_{4 M/M} = 0,6$ A	Rücklaufdauer	t_{zp}	0,5		ms
Adjustment range of the sawtooth generator positive frame impulse $f_B = 43$ Hz, $U_8 = 1,3 ... 10$ V, $I_{4 M/M} = 0,6$ A negative frame impulse $f_B = 43$ Hz, $U_8 = -1,3 ... -6$ V, $I_{4 M/M} = 0,6$ A	Ziehbereich des Sägezahngenerators positiver Bildimpuls negativer Bildimpuls	$\Delta f_B / f_B$ $\Delta f_B / f_B$	10 10		% %
Output current range $f = 50$ Hz	Ausgangsstrom-Bereich	$I_{4 M/M}$		0,4 ... 0,9	A
Current consumption of sawtooth generator $f_B = 50$ Hz, $I_{4 M/M} = 0,6$ A	Stromaufnahme des Sägezahngenerators	I_{12}	12		mA
Linearity adjusting range	Linearitäts-Einstellungsbereich	$\Delta I / I$	12		%

COMBINATION OF ALL STAGES FOR THE
 VERTICAL DEFLECTION OF 110° BLACK-WHITE
 TV RECEIVERS

KOMBINATION DER ALLEN STUFEN FÜR
 VERTIKALABLENKUNG VON 110°-SCHWARZ-WEISS-
 FERNSEHMPFÄNGER



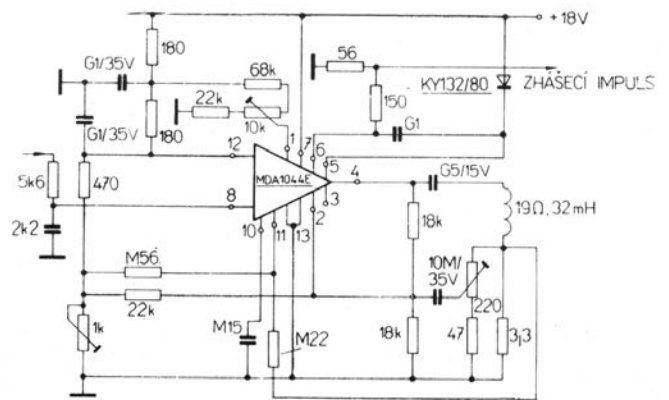
Base connection diagram
 (top view)

Sockelschaltung
 (Ansicht von unten)

Maximum ratings ● Grenzwerte

U_7	max.	20	V
U_5 1)	max.	19	V
U_{12}	max.	20	V
$I_{4M/M}$	max.	1	A
U_8	max.	-6	V
$I_5 + I_7$	max.	150	mA
ϑ_j	max.	155	°C
ϑ_{stg}	min.-max.	-25...+100	°C

1) During flyback pulse $U_5 = 38$ V
 Während des Rücklaufimpulses $U_5 = 38$ V



Block diagram and recommended circuit in black and white TV receiver.

Blockschaltung und empfohlene Anwendungsschaltung im Schwarz-Weiss-FS-Empfänger.

Outlines ● Abmessungen IO 16

Characteristic data	Kenndaten	$\vartheta_a = +25^\circ\text{C}$, $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 50$ Hz, $I_{4M/M} = 0,6$ A			
Current consumption	Stromaufnahme	$I_5 + I_7$	min.	nom.	max.
Operation parameter	Betriebsparameter			150	mA
measured in OXS154 measuring device gemessen in OXS154 Messgerät					
Information data:	Informationsdaten:				
Input resistance $U_7 = 17$ V, $U_{12} = 12$ V	Eingangswiderstand	$R_{8/13}$		10	k Ω
Sawtooth generator frequency $U_7 = 17$ V, $U_{12} = 12$ V, $R_{11/13} = 50$ k Ω	Frequenz des Sägezahn- generators	f_B		1,6	Hz
				$R_{11/13} \cdot C_{10/13}$	
DC voltage at pin No. 11 $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 50$ Hz, $I_{4M/M} = 0,6$ A	Gleichspannung auf Ausführung Nr. 11	$U_{:1}$		7,8	V
Flyback duration $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 50$ Hz, $I_{4M/M} = 0,6$ A	Rücklaufdauer	t_{2p}		0,5	ms
Adjustment range of the sawtooth generator positive frame impulse $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 43$ Hz, $U_8 = 1 \dots 10$ V, $I_{4M/M} = 0,6$ A	Ziehbereich des Sägezahn- generators positiver Bildimpuls	$\Delta f_B/f_B$		10	%
negative frame impulse $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 43$ Hz, $U_8 = -1,3 \dots -6$ V, $I_{4M/M} = 0,6$ A	negativer Bildimpuls	$\Delta f_B/f_B$		10	%
Current consumption of sawtooth generator $U_7 = 17$ V, $U_{12} = 12$ V, $f_B = 50$ Hz, $I_{4M/M} = 0,6$ A	Stromaufnahme des Sägezahn- generators	I_{12}		12	mA

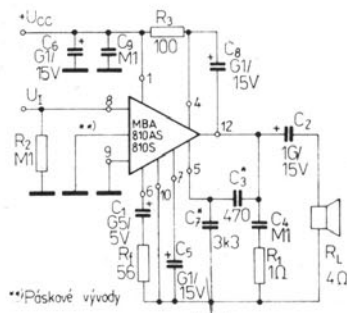
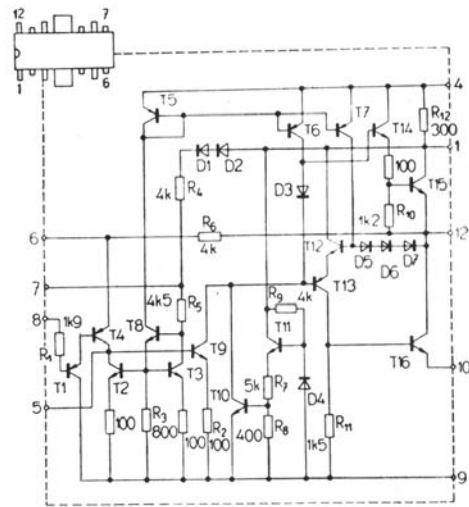
LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTKREISE **MBA810S**
 A. F. MEDIUM POWER AMPLIFIERS 5 W WITH THERMAL SHUT-DOWN PROTECTION **MBA810AS**
 NF-VERSTÄRKER MITTLERER LEISTUNG 5 W MIT THERMISCHER ABSCHALTUNG

Maximum ratings ● Grenzwerte

U_{CC} 1)	max	5 ... 20	V
I_{OS}	max	3,5	A
I_O	max	2,5	A
P_{Tot}			
$\vartheta_a = 70^\circ\text{C}$	max	1	W
$\vartheta_c = 100^\circ\text{C}$	max	5	W
ϑ_j	max	+155	$^\circ\text{C}$
ϑ_{stg}	max	-40 ... +85	$^\circ\text{C}$

1) In range 16...20 V recommended limiting of power dissipation: at $U_{CC} = 16$ V full power dissipation 5 W, at $U_{CC} = 18$ V power 2,5 W, at $U_{CC} = 20$ V power dissipation 0 W.

Im Bereich 16...20 V empfohlene reduzierte Werte des Verlustleistungs: bei $U_{CC} = 16$ V unbegrenzter Verlustleistung 5 W, bei $U_{CC} = 18$ V Verlustleistung 2,5 W, bei $U_{CC} = 20$ V Verlustleistung 0 W.



Recommended circuit with amplifier MBA810S, MBA810AS

Empfohlene Schaltung mit dem Verstärker MBA810S, MBA810AS

Outlines ● Abmessungen

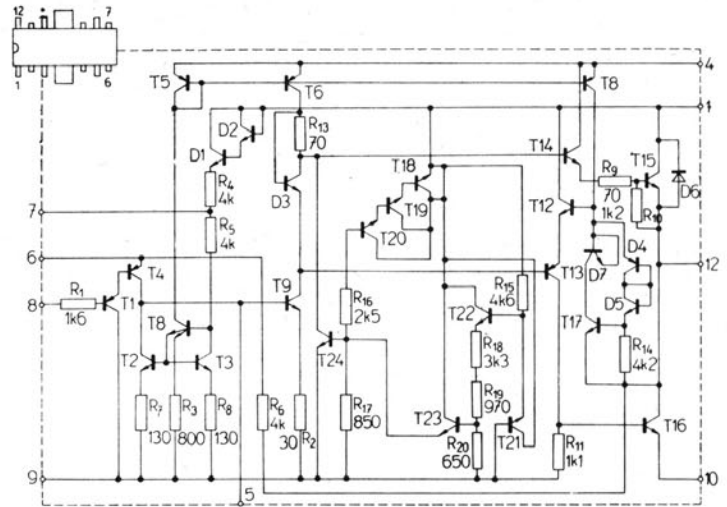
MBA810S	IO 16
MBA810AS	IO 17

Characteristic data	Kenndaten	nom.	min. - max.	
Quiescent current Ruhestrom				
$U_{CC} = 14,4$ V, $U_I = 0$ V	I_{CC}	9	< 20	mA
$U_{CC} = 20$ V, $U_I = 0$ V	I_{CC}	12	< 50	mA
Output voltage Ausgangsspannung				
$U_{CC} = 6$ V, $R_L = 4 \Omega$, $k = 10\%$, $f = 1$ kHz	U_O	1,9	—	V
$U_{CC} = 9$ V, $R_L = 4 \Omega$, $k = 10\%$, $f = 1$ kHz	U_O	3,0	> 2,6	V
$U_{CC} = 14,4$ V, $R_L = 4 \Omega$, $k = 10\%$, $f = 1$ kHz	U_O	4,7	> 4,2	V
$U_{CC} = 16$ V, $R_L = 4 \Omega$, $k = 10\%$, $f = 1$ kHz	U_O	5,3	—	V
Input voltage Eingangsspannung				
$U_{CC} = 14,4$ V, $R_L = 4 \Omega$, $U_O = 4$ V, $f = 1$ kHz	U_I	50	40 ... 100	mV
Total distortion Klirrfaktor				
$U_{CC} = 14,4$ V, $U_O = 3,1$ V, $R_L = 4 \Omega$, $f = 1$ kHz	k	0,7	< 2	%
$U_{CC} = 14,4$ V, $U_O = 0,5$ V, $R_L = 4 \Omega$	k	0,7	—	%
Input resistance Eingangswiderstand				
$U_{CC} = 14,4$ V, $U_O = 2$ V, $R_L = 4 \Omega$, $f = 1$ kHz	R_I	85	> 80	k Ω
Total supply current Gesamtstromaufnahme				
$U_{CC} = 14,4$ V, $U_O = 4$ V, $R_L = 4 \Omega$, $f = 1$ kHz	I_{CC}	500	< 550	mA
Input current Eingangsstrom				
$U_{CC} = 14,4$ V, $R_L = 4 \Omega$, $U_I = 0$ V	I_I	1,0	—	μA
Noise output voltage Ausgangsrauschspannung				
$U_{CC} = 14,4$ V, $R_L = 4 \Omega$, $U_I = 0$ V	U_{ON}	4,0	—	mV
Band width Bandbreite				
$U_{CC} = 14,4$ V, $U_O = 2$ V, $R_L = 4 \Omega$, $U_I = \text{konst}$	BW	50 ... 15 000	—	Hz

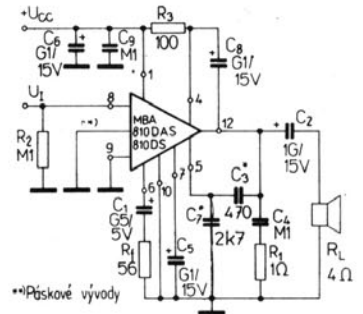
Maximum ratings ● Grenzwerte

U_{CCM} ($t \leq 50$ ms) ¹⁾	max.	40	V
U_{CC}	max.	28	V
U_{CC}	min.—max.	5...20	V
I_{OS}	max.	3,5	A
I_O	max.	2,5	A
P_{tot}			
$\vartheta_a = 70^\circ\text{C}$	max.	1,0	W
$\vartheta_c = 100^\circ\text{C}$	max.	5,0	W
ϑ_j	max.	+155	$^\circ\text{C}$
ϑ_{stg}	min.—max.	-40...+155	$^\circ\text{C}$

¹⁾ Overvoltage resistivity — without guaranty of function of A. F. power amplifier.
 Überspannungsfestigkeit — ohne Garantie der Funktion des NF-Leistungsverstärkers.



Internal electrical circuit
 Innere elektrische Schaltung



Recommended working circuit ● Empfohlener Schaltbeispiel

MBA810DS MBA810DAS

Outlines ● Abmessungen IO 16 IO 17

Characteristic data	Kenndaten	nom.	min.—max.		
Quiescent current $U_{CC} = 14,4$ V, $R_L = 4 \Omega$ $U_{CC} = 20$ V, $R_L = 4 \Omega$	Ruhestrom	I_{CC}	9	≤ 20	mA
Voltage between leads No. 12 and 10 $U_{CC} = 14,4$ V, $R_L = 4 \Omega$	Spannung zwischen Ausführungen Nr. 12 und 10	$U_{12/10}$	7,2	6,4...8,0	V
Voltage between leads No. 8 and 9 $U_{CC} = 14,4$ V, $R_L = 4 \Omega$	Spannung zwischen Ausführungen Nr. 8 und 9	$U_{8/9}$	100	≤ 450	mV
Input voltage $U_{CC} = 14,4$ V, $U_O = 4,0$ V, $f = 1$ kHz, $R_L = 4 \Omega$	Eingangsspannung	U_I	65	40...100	mV
Output voltage $U_{CC} = 6$ V, $R_L = 4 \Omega$, $f = 1$ kHz, $k = 10\%$ $U_{CC} = 9$ V, $R_L = 4 \Omega$, $f = 1$ kHz, $k = 10\%$ $U_{CC} = 14,4$ V, $R_L = 4 \Omega$, $f = 1$ kHz, $k = 10\%$ $U_{CC} = 16$ V, $R_L = 4 \Omega$, $f = 1$ kHz, $k = 10\%$ $U_{CC} = 20$ V, $R_L = 4 \Omega$, $f = 1$ kHz, $k = 10\%$ $U_{CC} = 14,4$ V, $R_L = 2 \Omega$, $f = 1$ kHz, $k = 10\%$	Ausgangsspannung	U_O	1,9 3,0 4,7 5,3 6,1 3,2	$\geq 2,6$ $\geq 4,2$	V
Total harmonic distortion $U_{CC} = 14,4$ V, $U_O = 3,1$ V, $f = 1$ kHz, $R_L = 4 \Omega$	Klirrfaktor	k	0,7	≤ 2	%
Noise output voltage $U_{CC} = 14,4$ V, $R_L = 4 \Omega$	Ausgangsrauschspannung	U_N	1,8	≤ 5	mV
Total supply current $U_{CC} = 14,4$ V, $U_O = 4$ V, $f = 1$ kHz, $R_L = 4 \Omega$	Gesamtstromaufnahme	I_{CC}	500	≤ 550	mA
Input resistance $U_{CC} = 14,4$ V, $U_O = 2$ V, $f = 1$ kHz, $R_L = 4 \Omega$	Eingangswiderstand	R_I	90	≥ 80	k Ω
Band width $U_{CC} = 14,4$ V, $U_O = 2$ V, $U_I = \text{konst.}$, $R_L = 4 \Omega$	Bandbreite	BW	35...40 000	50...15 000	Hz
Internal thermal resistance junction-case $I = 300$ mA	Innerer Wärmewiderstand Sperrschicht-Gehäuse	R_{thjc}	8		K/W

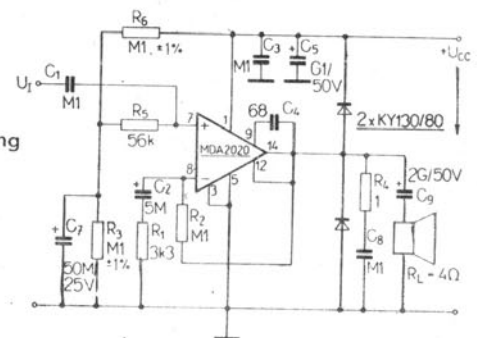
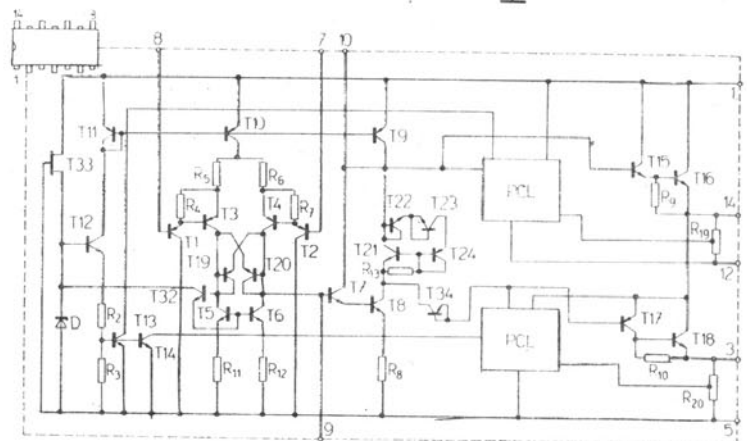
Maximum ratings ● Grenzwerte

U_{CC}	MDA2010	max.	$\pm 5 \dots \pm 18$	V
	MDA2020	max.	$\pm 5 \dots \pm 22$	V
I_{OM}		max.	3,5	A
P_{tot} ($\vartheta_c = +75^\circ\text{C}$)	MDA2010	max.	18	W
	MDA2020	max.	25	W
ϑ_j		min. - max.	$-40 \dots +150$	$^\circ\text{C}$
ϑ_{sig}		min. - max.	$-40 \dots +150$	$^\circ\text{C}$
R_{thjc}		max.	3	K/W

Recommended working circuit with bipolar supply voltage and two equal source. The copper cooling radiator in this circuit should be not connected with electrically ground (with centre of voltage sources). Maximum of supply voltage U_{CC} can be not exceed even of short duration the maximum ratings. Voltage peak must be limited by suitable manner (for example by Zener diodes).

Empfohlener Schaltungsbeispiel mit symmetrischer Speisung und zweier gleichen Speisequellen. Kupfer-Kühlungsradior darf nicht in dieser Schaltung mit elektrischen Grundpotential (mit Speisequellenmitte) zu verbinden. Maximale Speisespannung U_{CC} darf nicht das genehmigten Spannungswert (auch kurzzeitig) überschreiten. Die Spannungsspitzen müssen sich durch zweckmässige Weise (z. B. durch Zenerdioden) zu begrenzen.

Internal electrical circuit
 Innere elektrische Schaltung



Recommended working circuit
 Empfohlener Schaltungsbeispiel

PCL-power and current limiting circuit ● Leistungs- und Stromüberlastungs-Abschaltung

Outlines ● Abmessungen IO 12

Characteristic data: Kenndaten:		MDA2010		MDA2020					
Quiescent current $U_{CC} = \pm 18\text{ V}$ $U_{CC} = \pm 22\text{ V}$	Ruhestrom	I_{CC}	nom. 45	min. - max. <140	nom. —	min. - max. <140	mA		
		I_{CC}	—	—	60	—	—	mA	
Input quiescent current of non-inverted input $U_{CC} = \pm 17\text{ V}$	Eingangsruhestrom des nichtinv. Eingangs	I_{IB}	0,15	—	0,15	—	μA		
Output offset voltage $U_{CC} = \pm 17\text{ V}$	Ausgangsspannungs- Unsymmetrie	U_{OO}	10	<100	10	<100	mV		
Noise output voltage $U_{CC} = \pm 17\text{ V}$, B (-3 dB) = 10 Hz... 20 kHz	Ausgangsrauschspannung	U_N	1,5	<5	1,5	<5	mV		
Output power k = 1%, f = 50 Hz... 15 kHz $U_{CC} = \pm 5\text{ V}$, $\vartheta_c \leq 70^\circ\text{C}$ $U_{CC} = \pm 14\text{ V}$, $\vartheta_c \leq 70^\circ\text{C}$ $U_{CC} = \pm 17\text{ V}$, $\vartheta_c \leq 70^\circ\text{C}$	Ausgangsleistung	P_O	1,2	—	1,2	—	W		
		P_O	12	>10	—	—	—	W	
		P_O	—	—	18,5	>15	—	—	W
		P_O	—	—	—	—	—	—	W
Input voltage $U_{CC} = \pm 14\text{ V}$, $P_O = 10\text{ W}$, f = 1 kHz $U_{CC} = \pm 17\text{ V}$, $P_O = 15\text{ W}$, f = 1 kHz	Eingangsspannung	U_I	220	—	—	—	mV		
		U_I	—	—	260	—	—	mV	
Total harmonic distortion $U_{CC} = \pm 14\text{ V}$, $P_O = 150\text{ mW} \dots 10\text{ W}$, f = 1 kHz $U_{CC} = \pm 17\text{ V}$, $P_O = 150\text{ mW} \dots 15\text{ W}$, f = 1 kHz	Klirrfaktor	k	0,2	<1	—	—	%		
		k	—	—	0,2	<1	—	%	
Band width $U_{CC} = \pm 14\text{ V}$, $P_O = 6\text{ W}$ $U_{CC} = \pm 17\text{ V}$, $P_O = 6\text{ W}$	Bandbreite	f	—	30... 100 k	—	—	Hz		
		f	—	—	—	30... 100 k	—	Hz	
Input resistance $U_{CC} = \pm 14\text{ V}$, $P_O = 6\text{ W}$, f = 1 kHz $U_{CC} = \pm 17\text{ V}$, $P_O = 6\text{ W}$, f = 1 kHz	Eingangswiderstand	R_I	98	>80	—	—	k Ω		
		R_I	—	—	98	>80	—	k Ω	
Voltage gain $U_{CC} = \pm 14\text{ V}$, $P_O = 6\text{ W}$, f = 1 kHz $U_{CC} = \pm 17\text{ V}$, $P_O = 6\text{ W}$, f = 1 kHz	Spannungsverstärkung	A_u	30	29,5... 30,5	—	—	dB		
		A_u	—	—	30	29,5... 30,5	—	dB	
Open loop voltage gain $U_{CC} = \pm 14\text{ V}$, f = 1 kHz, f = 25 Hz $U_{CC} = \pm 17\text{ V}$, f = 1 kHz, f = 25 Hz	Leerlaufspannungsverstärkung	A_u	100	—	—	—	dB		
		A_u	—	—	100	—	—	dB	

Maximum ratings:
 Supply peak current
 Output switching impulse
 Release peak current
 Operating temperature range
 Storage temperature range

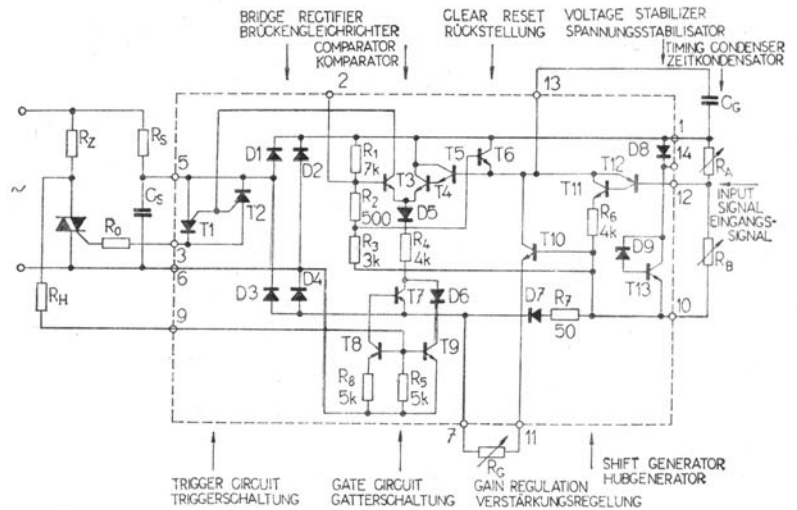
Grenzwerte:

Betriebs-Spitzenstrom	$\pm I_{5/6}$	max	36	mA
Ausgang-Schaltimpuls	$\pm I_3$	max	150	mA
Auslöse-Spitzenstrom	$\pm I_9$	max	2	mA
Betriebs-Temperaturbereich	ϑ_a	max	-40 ... +85	°C
Lagerungs-Temperaturbereich	ϑ_{stg}	max	-55 ... +155	°C

Recommended values of resistances R_S and R_{II} for different supply voltage

Empfohlene Werte von Widerständen R_S und R_{II} für verschiedene Speisespannungen

A. C. supply voltage Speisespannung (effektive) [V]	R_S [k Ω]	R_{II} [k Ω]
24	1,2	47
60	4,7	120
120	10	220
220	18	470



Basic diagram of phase - control with integrated circuit MAA436
 Grundschiung von Phasensteuerung mit integriertem Schaltkreis MAA436

Outlines ● Abmessungen IO 13

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 25^\circ\text{C}$

Supply peak voltage $\pm I_{5/6} = 36 \text{ mA}^1)$	Betriebs-Spitzenspannung	$\pm U_{5/6}$	13,5 19,5	V
Output switching impulse $R_O = 91 \Omega, \alpha = 90^\circ$	Ausgang-Schaltimpuls	$\pm I_3$	120 100 150	mA
Release peak current	Auslöse-Spitzenstrom	$\pm I_9$	100 230	μA
Supply peak voltage ^{1) 2)}	Betriebs-Spitzenspannung ^{1) 2)}	$U_{14/10}$	6 9,5	V
Peak voltage ¹⁾	Spitzenspannung ¹⁾	$U_{1/10}$	6,5 10	V
Current peak of sinusoidal shift $R_G = 10 \text{ k}\Omega, I_{5/6} = 15 \text{ mA}$	Stromspitze des Sinushubes	I_{13}	40 100	μA
Current gain ¹⁾ $R_G = \infty, I_{12} = 1 \mu\text{A}, I_{5/6} = 15 \text{ mA}$	Stromverstärkung ¹⁾	$A = \frac{I_{13}}{I_{12}}$	> 30	
Current to base of Darlington's circuits ^{1) 4)} $R_G = \infty, I_{5/6} = 15 \text{ mA}$	Strom in Base der Darlington- schaltung ^{1) 4)}	I_{130}	< 3	μA
Reference level ¹⁾	Referenzpegel ¹⁾	$K_R = \frac{U_{2/10}}{U_{1/10}}$	0,33 0,3 0,36	
Unbalance ³⁾	Unwucht ³⁾	$B = \frac{U_o}{U_{ef}} \cdot 100$	< 7	%

1) Potentiometer P and resistance R_O are disconnected.
 Potentiometer P und Widerstand R_O sind ausgeschalten.

2) Between leads No. 10 and 14 is connected R_F, C_F unit.
 Zwischen Ausführungen Nr. 10 und 14 ist R_F, C_F - Glied
 zugeschaltet.

3) Unbalance is defined as ratio of D. C. voltage on load and
 A. C. supply voltage $B = \frac{U_o}{U_{ef}} \cdot 100$.

Unwucht (Unbalance) ist definiert wie ein Verhältnis der Gleich-
 spannung an der Last und der Betriebs-Wechselspannung:
 $B = \frac{U_o}{U_{ef}} \cdot 100$

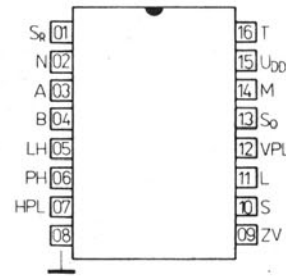
4) Current meter is connected instead of condenser C_G .
 Strommesser ist zugeschaltet anstatt des Kondensators C_G .

UNIPOLAR INTEGRATED CIRCUITS MNOS
 WITH CANAL P, DETERMINED FOR DESIGN
 OF TELEVISION GAMES

- PELOTA
- TRAIN TENNIS
- TENNIS
- FOOTBALL

UNIPOLARE INTEGRIERTE SCHALTkreISE MNOS
 MIT KANAL P, BESTIMMTE FÜR DEN AUFBAU
 VON FERNSEH-BILDSPIELEN

- PELOTA
- TRENNING TENNIS
- TENNIS
- FUSSBALL



Base connection diagram MAS601 (top view)
 Sockelschaltung (Ansicht von oben)

Maximum ratings ● Grenzwerte

	max.	min.	
U_{DD}	+0,3	-20	V
U_I	+0,3	-20	V
U_O	+0,3	-20	V
I_O		-2	mA
ϑ_a	+70	0	°C

- 1 S_R synchronizing line pulse — output ● Zeilensynchronisierimpulsen — Ausgang
- 2 N zero setting ● Löschen
- 3 A sort of game ● Spielauswahl
- 4 B sort of game ● Spielauswahl
- 5 LH left player ● linker Spieler
- 6 PH right player ● rechter Spieler
- 7 HPL horizontal movement of ball ● horizontale Ballbewegung
- 8 substrat (ground) — positive supply voltage ● positive Speisespannung
- 9 ZV sound output ● Tonausgang
- 10 S choice of serve ● Balleinwurf
- 11 L ball input ● Balleingang
- 12 VPL vertical movement of ball ● vertikale Ballbewegung
- 13 S_O synchronizing picture pulse — output ● Bildsynchronisierimpulsen — Ausgang
- 14 M modulation output ● Modulationsausgang
- 15 U_{DD} negative supply voltage ● negative Speisespannung
- 16 T generator input ● Generator-eingang

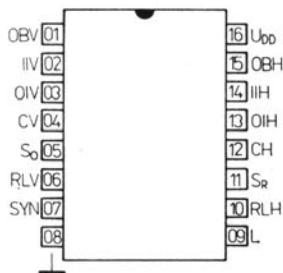
Outlines ● Abmessungen IO 14 A

Characteristic data:	Kenndaten:	$U_{DD} = -16,5 \dots -19,5 \text{ V}, \vartheta_a = 0 \dots +70 \text{ °C}$		
		max.	min.	
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	-1,5	V
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	-5,0	V
Output voltage — level H $I = -100 \mu\text{A}$	Ausgangsspannung — H-Zustand	U_{OH}	-1,0	V
Output voltage — level L (beside output M) output M $I = +10 \mu\text{A}, C = 20 \text{ pF}$	Ausgangsspannung — L-Zustand (ausser Ausgang M) Ausgang M	U_{OL} U_{OL}	-6,0 -4,0	V V
Output on-state resistance ZV	Ausgangswiderstand ZV im offenen Zustand	R_{ONZV}	2	k Ω
Input voltage LH, PH $I = -10 \mu\text{A}$	Eingangsspannung LH, PH	U_{LH}, U_{PH}	-15,0	V
Supply current ¹⁾ $U_{DD} = -19,5 \text{ V}$	Stromaufnahme ¹⁾	I_{DD}	-30,0	mA

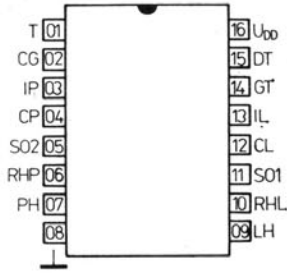
¹⁾ Total supply current of all integrated circuits in recommended circuit.
 Gesamtstromaufnahme von allen integrierten Schaltkreisen in empfohlener Schaltung.

MAS601
MAS602
MAS603

INTEGRATED CIRCUITS MNOS ● INTEGRIERTE SCHALTKREISE MNOS
CIRCUITS SET FOR TELEVISION GAMES
SCHALTKREISENSATZ FÜR FERNSEHSPIELEN



Base connection diagram MAS602 (top view)
Sockelschaltung (Ansicht von oben)

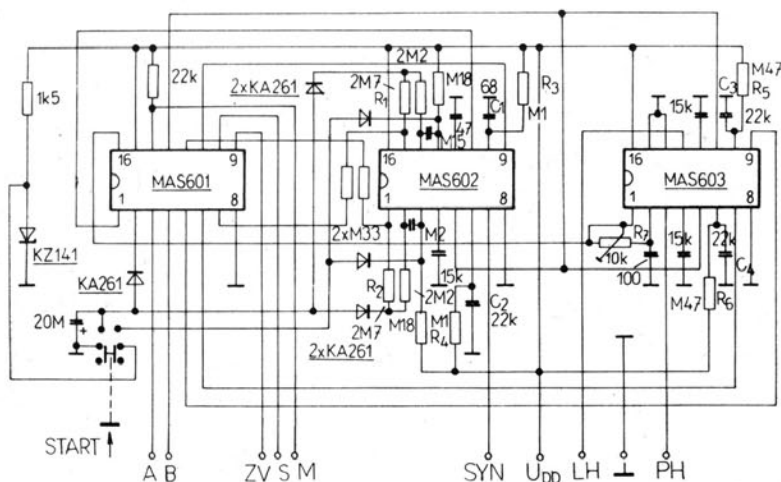


Base connection diagram MAS603 (top view)
Sockelschaltung (Ansicht von oben)

- 1 OBV vertical limitation ● vertikale Begrenzung
- 2 IIV vertical integrator — input ● vertikaler Integrator — Eingang
- 3 OIV vertical integrator — output ● vertikaler Integrator — Ausgang
- 4 CV vertical relaxation input ● vertikaler Relaxationseingang
- 5 S₀ synchronizing picture pulse— output ● Bildsynchronisierimpulsen — Ausgang
- 6 RLV ball size vertical ● vertikale Ballabmessung
- 7 STN synchronizing pulse — output ● Synchronisierimpulsen — Ausgang
- 8 substrat (ground) — positive supply voltage ● positive Speisespannung
- 9 L ball — output ● Ballausgang
- 10 RLH ball size horizontal ● horizontale Ballabmessung
- 11 SR synchronizing line pulse ● Zeilensynchronisierimpulsen
- 12 CH horizontal relaxation input ● horizontaler Relaxationseingang
- 13 OIH horizontal integrator — output ● horizontaler Integratorausgang
- 14 IIH horizontal integrator — input ● horizontaler Integratorausgang
- 15 OBH horizontal limitation ● horizontale Begrenzung
- 16 U_{DD} negative supply voltage ● negative Speisespannung

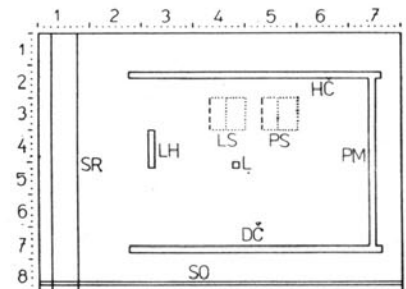
- 1 T generator output ● Generatorausgang
- 2 CG generator input ● Generator- eingang
- 3 IP player control to the right — input ● Spielersteuerung nach rechts — Eingang
- 4 CP relaxation input to the right ● Relaxationseingang nach rechts
- 5 SO2 synchronizing picture pulse ● Bildsynchronisierimpulsen
- 6 RHP player size to the right ● Spielerabmessung nach rechts
- 7 PH right player — output ● rechter Spieler — Ausgang
- 8 substrat (ground) — positive supply voltage ● positive Speisespannung
- 9 LH left player — output ● linker Spieler — Ausgang
- 10 RHL player size to the left ● Spielerabmessung nach links
- 11 SO1 synchronizing picture pulse ● Bildsynchronisierimpulsen
- 12 CL relaxation input to the left ● Relaxationseingang nach links
- 13 IL player control to the left — input ● Spielersteuerung nach links — Eingang
- 14 GT gate of the auxiliary transistor ● Gatter von Hilfstransistor
- 15 DT collector of the auxiliary transistor ● Kollektor von Hilfstransistor
- 16 U_{DD} negative supply voltage ● negative Speisespannung

RECOMMENDED WORKING CIRCUIT ● EMPFOHLENE SCHALTUNG

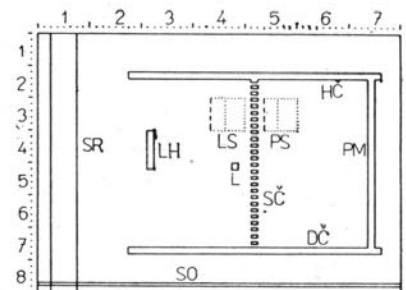


MOTIVE DISPLAY AT GAMES
MOTIVENDARSTELLUNG BEI SPIELEN

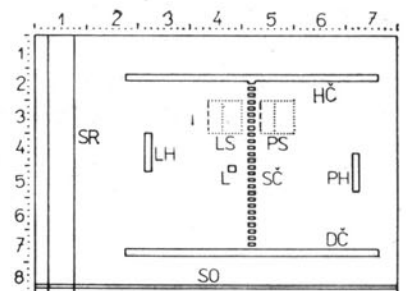
PELOTA



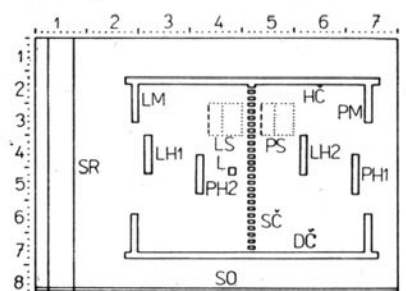
TRAIN TENNIS ● TRENNING TENNIS



TENNIS

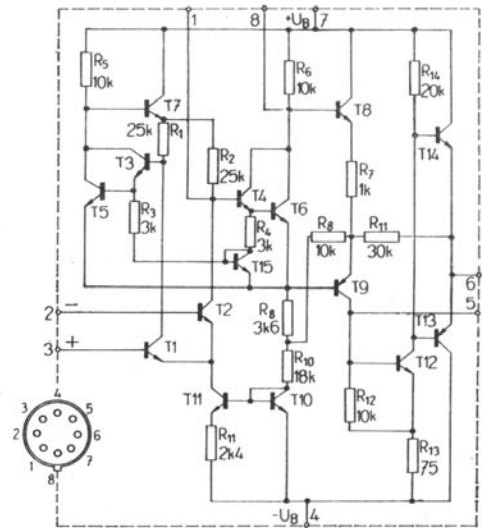


FOOTBALL ● FUSSBALL



Maximum ratings:
 Grenzwerte:

Supply voltage Betriebsspannung	U_B	max	± 18	V
Differential input voltage Differential-Eingangsspannung	U_{ID}	max	± 5	V
Input voltage Eingangsspannung	U_I	max	± 10	V
Total power dissipation Gesamtverlustleistung	P	max	300	mW
MAA501, MAA502, MAA504	P	max	250	mW
Output short-circuit of short duration Ausgangskurzschlussdauer	t	max	5	s
Case temperature Gehäusetemperatur	ϑ_c	max	125	°C
MAA501, MAA502, MAA504	ϑ_c	max	70	°C
Operating temperature Betriebstemperatur	ϑ_a	max	-55 .. +125	°C
MAA501, MAA502, MAA504	ϑ_a	max	0 .. +70	°C



Dissipation drop Erniedrigung der Belastbarkeit	MAA501, MAA502 MAA504	5,5 mW/K 5,6 mW/K	$\vartheta_a = +95$ °C $\vartheta_a = +70$ °C
--	--------------------------	----------------------	--

Outlines ● Abmessungen IO 4

Characteristic data: — Kenndaten:

	MAA501	MAA502	MAA504 MAA503	
Valid at — (unless otherwise noted) Gültig bei — (wenn nicht anders angegeben)	-55 °C $\leq \vartheta_a \leq +125$ °C ± 9 V $\leq U_B \leq \pm 15$ V		$U_B = \pm 15$ V $\vartheta_a = 25$ °C	
Input offset voltage Eingangsspannung-Unsymmetrie	U_{IO}	< 6	< 3	mV
$R_s \leq 10$ k Ω $R_s \leq 10$ k Ω , ± 9 V $\leq U_B \leq \pm 15$ V	U_{IO}	—	—	mV
Average temperature coefficient of input offset voltage Mittl. Temperaturkoeffizient der Eingangsspannungs-Unsymmetrie	αU_{IO}	6	—	μ V/K
$R_s \leq 10$ k Ω	αU_{IO}	3	—	μ V/K
$R_s = 50$ Ω	αU_{IO}	—	1,8 < 10	μ V/K
$R_s = 50$ Ω , $\vartheta_a = +25$.. +125 °C	αU_{IO}	—	1,8 < 10	μ V/K
$R_s = 50$ Ω , $\vartheta_a = -55$.. +25 °C	αU_{IO}	—	2 < 15	μ V/K
$R_s = 10$ k Ω , $\vartheta_a = +25$.. +125 °C	αU_{IO}	—	4,8 < 25	μ V/K
$R_s = 10$ k Ω , $\vartheta_a = -55$.. +25 °C	αU_{IO}	—	—	μ V/K
Large-signal voltage gain Leerlauf-Spannungsverstärkung	A_u	25 000 ... 70 000	25 000 ... 70 000	45 000 > 15 000
$U_B = \pm 15$ V, $R_L \geq 2$ k Ω , $U_O = \pm 10$ V				
Output voltage swing Ausgangs-Spitzenspannung	$U_{OPP max}$	$\pm 14 > \pm 12$	$\pm 14 > \pm 12$	V
$U_B = \pm 15$ V, $R_L \geq 10$ k Ω $U_B = \pm 15$ V, $R_L \geq 2$ k Ω	$U_{OPP max}$	$\pm 13 > \pm 10$	$\pm 13 > \pm 10$	V
Input voltage range Eingangs-Spannungsbereich	U_I	$\pm 10 > \pm 8$	$> \pm 8$	V
$U_B = \pm 15$ V				
Common mode rejection ratio Gleichtaktunterdrückung	CMR	90 > 70	110 > 80	90 > 65
$R_s \leq 10$ k Ω				dB
Supply voltage rejection ratio Empfindlichkeit an Betriebsspannungsänderung	SVR	25 < 150	40 < 100	25 < 200
$R_s \leq 10$ k Ω				μ V/V
Input offset current Eingangsstrom-Unsymmetrie	I_{IO}	—	—	100 < 500
$\vartheta_a = +125$ °C	I_{IO}	20 < 200	3,5 < 50	nA
$\vartheta_a = -55$ °C	I_{IO}	100 < 500	40 < 250	nA
Output resistance Ausgangswiderstand	R_O	—	—	150
				Ω

Characteristic data: – Kenndaten:	MAA501	MAA502	MAA504 MAA503
Valid at – (unless otherwise noted) Gültig bei – (wenn nicht anders angegeben)	$-55\text{ °C} \leq \vartheta_a \leq +125\text{ °C}$	$-55\text{ °C} \leq \vartheta_a \leq +125\text{ °C}$	$U_B = \pm 15\text{ V}$ $\vartheta_a = 25\text{ °C}$
Average temperature coefficient of input offset current Mittl. Temperaturkoeffizient der Eingangsstrom- Unsymmetrie	α_{I10} α_{I10}	— —	— —
$\vartheta_a = +25 \dots +125\text{ °C}$ $\vartheta_a = -55 \dots +25\text{ °C}$	— —	$0,08 < 0,5$ $0,45 < 2,8$	nA/K nA/K
Input bias current Eingangs-Null-Strom	I_{IB} I_{IB}	— —	— —
$\vartheta_a = -55\text{ °C}$	$0,5 < 1,5$	$0,3 < 0,6$	$0,3 < 1,5$ μA μA
Input resistance Eingangswiderstand	R_I R_I	— —	— —
$\vartheta_a = -55\text{ °C}$	$100 > 40$ —	— $170 > 85$	$250 > 50$ — k Ω k Ω
Supply current Betriebsstrom	I I	— —	— —
$\vartheta_a = +125\text{ °C}, U_B = \pm 15\text{ V}$ $\vartheta_a = -55\text{ °C}, U_B = \pm 15\text{ V}$	— —	$2,1 < 3$ $2,7 < 4,5$	mA mA
Power consumption Leistungsverbrauch	P P P	— — —	— — —
$\vartheta_a = +125\text{ °C}, U_B = \pm 15\text{ V}$ $\vartheta_a = -55\text{ °C}, U_B = \pm 15\text{ V}$	— — —	— $63 < 90$ $81 < 135$	$80 < 200$ — — mW mW mW

MAA501, MAA502, MAA504

Bottom view
Ansicht von unten

Base connection diagram

1. Input frequency compensation
2. Inverting input
3. Non-inverting input
4. $-U_B$
5. Output frequency compensation
6. Output
7. $+U_B$
8. Input frequency compensation

MAA503

Top view
Ansicht von oben

Sockelschaltung

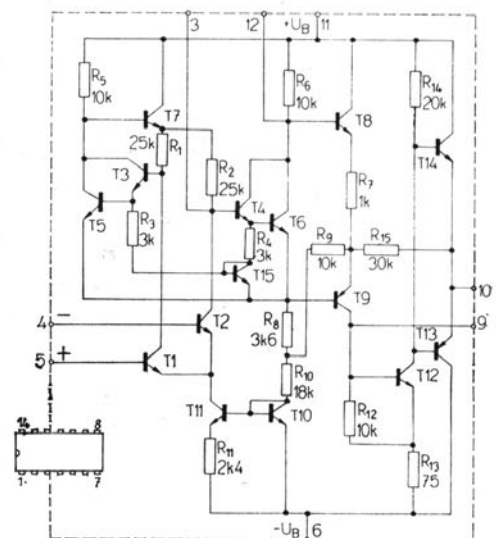
- | | |
|------------------------------|----|
| Eingangsfrequenzkompensation | 3 |
| Invertierend Eingang | 4 |
| Nicht invertierend Eingang | 5 |
| $-U_B$ | 6 |
| Ausgangsfrequenzkompensation | 9 |
| Ausgang | 10 |
| $+U_B$ | 11 |
| Eingangsfrequenzkompensation | 12 |

MAA503

OPERATIONAL AMPLIFIER IN PLASTIC-DIL-CASE OPERATIONSVERSTÄRKER IN PLASTIK-DIL-GEHÄUSE

Maximum ratings: – Grenzwerte:

Supply voltage Betriebsspannung	U_B	max	± 18	V
Differential input voltage Differential-Eingangsspannung	U_{ID}	max	± 5	V
Input voltage Eingangsspannung	U_I	max	± 10	V
Total power dissipation Gesamtverlustleistung	P	max	250	mW
Output short-circuit of short duration Ausgangskurzschlussdauer	t	max	5	s
Case temperature Gehäusetemperatur	ϑ_c	max	+70	°C
Operating temperature Betriebstemperatur	ϑ_a	max	0 ... +70	°C
Storage temperature Lagerungstemperatur	ϑ_{stg}	max	-65 ... +150	°C
Dissipation drop Erniedrigung der Belastbarkeit			5,6	mW/K ($\vartheta_a = +70\text{ °C}$)



Outlines • Abmessungen IO 13

Characteristic data: see MAA504

Kenndaten: siehe MAA504

LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTkreISE
INSTRUMENTATION OPERATIONAL AMPLIFIERS
INSTRUMENTEN OPERATIONSVERSTÄRKER

80, - MAA725 MAA725H 69
 40, - MAA725B MAA725J 22
 35, - MAA725C MAA725K 35

Maximum ratings:	Grenzwerte:					
Supply voltage	Betriebsspannung					
MAA725, MAA725 B, MAA725 C		U_B	max		$\pm 3 \dots \pm 22$	V
MAA725 H, MAA725 J, MAA725 K		U_B	max		$\pm 3 \dots \pm 15$	V
Differential input voltage ¹⁾	Differential-Eingangsspannung ¹⁾	U_{ID}	max	MAA725, B, C MAA725 H, J, K	± 22 ± 15	V V
Input voltage ²⁾	Eingangsspannung ²⁾	U_I	max	MAA725, B, C MAA725 H, J, K	± 20 ± 13	V V
Voltage between leads 1 and 7 or 8 and 7	Spannung zwischen Ausföhrungen 1 und 7 oder 8 und 7	$U_{1/7}$ $U_{8/7}$	max max		$\pm 0,5$ $\pm 0,5$	V V
Total power dissipation ($\vartheta_a < 75^\circ\text{C}$)	Gesamtverlustleistung	P_{Tot}	max		500	mW
Operation temperature	Betriebstemperatur					
MAA725, MAA725 H		ϑ_a	max		$-55 \dots +125$	$^\circ\text{C}$
MAA725 B, MAA725 J		ϑ_a	max		$-20 \dots +85$	$^\circ\text{C}$
MAA725 C, MAA725 K		ϑ	max		$0 \dots +70$	$^\circ\text{C}$
Storage temperature	Lagerungstemperatur	ϑ_{stg}	max		$-65 \dots +150$	$^\circ\text{C}$

- ¹⁾ Valid for impulses of 5 ms duration and with duty cycle 10%. At D. C. operation must be decreased this value on ± 5 V.
 Gültig für Impulsen mit Impulslänge 5 ms und Tastverhältnis 10%. Bei Gleichstrombetrieb musst dieser Wert an ± 5 V verkleinert sein.
- ²⁾ For supply voltage less than ± 22 V is maximum value of input voltage (absolute) lower (for $U_B = \pm 16$ V valid $U_I = \pm 15$ V, for $U_B = \pm 5$ V valid $U_I = \pm 4$ V).
 Für Betriebsspannung kleinere als ± 22 V ist das (absolute) Wert der Eingangsspannungen niedrigere (für $U_B = \pm 16$ V gilt $U_I = \pm 15$ V, für $U_B = \pm 5$ V gilt $U_I = \pm 4$ V).

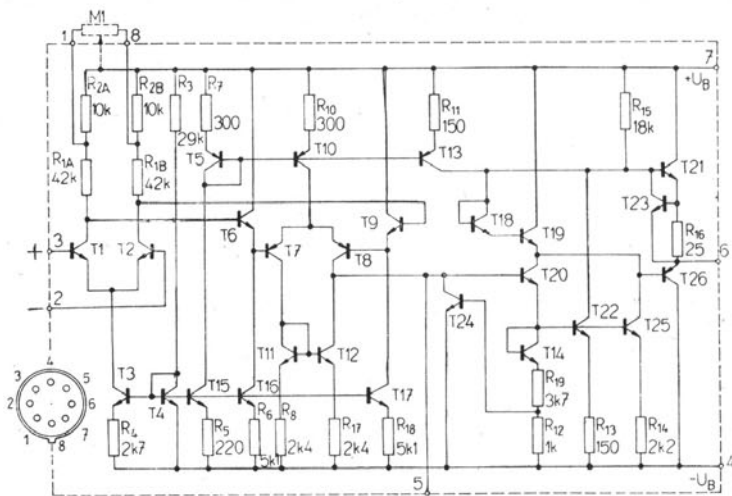
CHARACTERISTIC DATA:	KENNDATEN:		MAA725 MAA725 H	MAA725 B MAA725 J	MAA725 C MAA725 K	
Valid at $\vartheta_a = 25^\circ\text{C}$ Gültig bei	MAA725, B, C MAA725 H, J, K	U_B U_B	± 15 ± 12	± 15 ± 12	± 15 ± 12	V V
Input offset voltage $R_s \leq 10 \text{ k}\Omega$ ⁴⁾	Eingangsspannung-Unsymmetrie	U_{IO}	0,5 < 1	0,5 < 1,5	0,7 < 2,5	mV
Input offset current	Eingangsstrom-Unsymmetrie	I_{IO}	2 < 20	3,2 < 20	6,5 < 35	nA
Input bias current	Eingangs-Null-Strom	I_{IB}	53 < 100	68 < 100	80 < 125	nA
Input noise voltage (R. M. S. value) $\Delta f = 10 \text{ Hz} \dots 15 \text{ kHz}$, $R_s = 10 \text{ k}\Omega$	Eingangs-Rauschspannung (effektive)	$U_{In ef}$	1	1	1	μV
Input resistance $f = 1 \text{ kHz}$	Eingangswiderstand	R_I	1,5	1,5	1,5	M Ω
Input voltage range	Eingangs-Spannungsbereich MAA725, B, C MAA725 H, J, K	U_I U_I	$\pm 14 > \pm 13,5$ $\pm 11 > \pm 10,5$	$\pm 14 > \pm 13,5$ $\pm 11 > \pm 10,5$	$\pm 14 > \pm 13,5$ $\pm 11 > \pm 10,5$	V V
Large signal voltage gain $R_L \geq 2 \text{ k}\Omega$, $U_O = \pm 10 \text{ V}$	Leerlauf-Spannungsverstärkung MAA725, B, C MAA725 H, J, K	A_u A_u	$3.10^6 > 1.10^6$ $3.10^6 > 1.10^6$	$3.10^6 > 0,5.10^6$ $2,4.10^6 > 0,5.10^6$	$3.10^6 > 2,5.10^5$ $2.10^6 > 2,5.10^5$	
Common mode rejection ratio $R_s \leq 10 \text{ k}\Omega$	Gleichtaktunterdrückung	CMR	120 > 110	120 > 100	120 > 94	dB
Supply voltage rejection ratio (on U_{IO}) $R_s \leq 10 \text{ k}\Omega$	Empfindlichkeit (U_{IO}) an Betriebsspannungsänderung	SVR SVR	4 < 10 4 < 10	4 < 10 6 < 10	9 < 35 9 < 35	$\mu\text{V/V}$ $\mu\text{V/V}$
Output voltage swing $R_s \leq 10 \text{ k}\Omega$ $R_s \leq 10 \text{ k}\Omega$ $R_s \leq 2 \text{ k}\Omega$ $R_s \leq 2 \text{ k}\Omega$	Ausgangs-Spitzenspannung MAA725, B, C MAA725 H, J, K MAA725, B, C MAA725 H, J, K	$U_{OPP max}$ $U_{OPP max}$ $U_{OPP max}$ $U_{OPP max}$	$\pm 13,5 > \pm 12$ $\pm 10,5 > \pm 9$ $\pm 13,5 > \pm 10$ $\pm 10,5 > \pm 7$	$\pm 13,5 > \pm 12$ $\pm 10,5 > \pm 9$ $\pm 13,5 > \pm 10$ $\pm 10,5 > \pm 7$	$\pm 13,5 > \pm 12$ $\pm 10,5 > \pm 9$ $\pm 13,5 > \pm 10$ $\pm 10,5 > \pm 7$	V V V V
Output resistance $f = 1 \text{ kHz}$	Ausgangswiderstand	R_O	150	150	150	Ω
Power consumption	Leistungsverbrauch					
	MAA725, B, C MAA725 H, J, K	P P	85 < 105 55 < 75	90 < 120 60 < 90	95 < 150 60 < 120	mW mW

⁴⁾ Without external compensation; R_S — source resistance. ● Ohne äussere Kompensation; R_S — Quellwiderstand.

80-MAA725 MAA725H 69,-
 60-MAA725B MAA725J 37,-
 35-MAA725C MAA725K 35,-

LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTKREISE
 INSTRUMENTATION OPERATIONAL AMPLIFIERS
 INSTRUMENTEN OPERATIONSVERSTÄRKER

- Base connection diagram:** Sockelschaltung:
 Bottom view Ansicht von unten
1. Offset null Eingangsspannung-Unsymmetrie-Kompensation
 2. Inverting input Invertierend Eingang
 3. Non-inverting input Nicht invertierend Eingang
 4. $-U_B$ $-U_B$
 5. Frequency compensation Frequenzkompensation
 6. Output Ausgang
 7. $+U_B$ $+U_B$
 8. Offset null Eingangsspannung-Unsymmetrie-Kompensation



Outlines ● Abmessungen IO 5

CHARACTERISTIC DATA:	KENNDATEN:	MAA725 MAA725 H	MAA725 B MAA725 J	MAA725 C MAA725 K		
Valid at	Gültig bei					
$-55 \leq \vartheta_a \leq +125$ °C	MAA725, H	± 15	± 15	± 15	V	
$-20 \leq \vartheta_a \leq +85$ °C	MAA725 B, J	± 12	± 12	± 12	V	
$0 \leq \vartheta_a \leq +70$ °C	MAA725 C, K					
Input offset voltage $R_s \leq 10$ k Ω 5)	Eingangsspannung-Unsymmetrie	U_{IO}	< 1,5	< 2,5	< 3,5	mV
Input offset voltage drift $R_s = 50$ Ω 5) $R_s = 50$ Ω 6)	Temperaturkoeffizient der Eingangsspannung-Unsymmetrie	αU_{IO} αU_{IO}	1,2 < 5 0,6	2 < 10 0,6	4 0,6	μ V/K μ V/K
Input offset current $\vartheta_a = +125$ °C $\vartheta_a = +85$ °C $\vartheta_a = +70$ °C $\vartheta_a = -55$ °C $\vartheta_a = -20$ °C $\vartheta_a = 0$ °C	Eingangsstrom-Unsymmetrie	I_{IO} I_{IO} I_{IO} I_{IO} I_{IO} I_{IO}	1,2 < 20 — — 7,5 < 40 —	— 2,2 < 20 — — 7,5 < 40 —	— — 5 < 35 — — 9,5 < 50	nA nA nA nA nA nA
Input offset current drift	Temperaturkoeffizient der Eingangsstrom-Unsymmetrie	αI_{IO}	42 < 150	< 300	90	pA/K
Input bias current $\vartheta_a = +125$ °C $\vartheta_a = +85$ °C $\vartheta_a = +70$ °C $\vartheta_a = -55$ °C $\vartheta_a = -20$ °C $\vartheta_a = 0$ °C	Eingangs-Null-Strom	I_{IB} I_{IB} I_{IB} I_{IB} I_{IB} I_{IB}	45 < 100 — — 90 < 200 —	— < 100 — < 200 —	— — < 125 — — < 250	nA nA nA nA nA nA
Large signal voltage gain $R_L \parallel 2$ k Ω , $\vartheta_a = +125$ °C $R_L \parallel 2$ k Ω , $\vartheta_a = +85$ °C $R_L \parallel 2$ k Ω , $\vartheta_a = +70$ °C $R_L \parallel 2$ k Ω , $\vartheta_a = -55$ °C $R_L \parallel 2$ k Ω , $\vartheta_a = -20$ °C $R_L \parallel 2$ k Ω , $\vartheta_a = 0$ °C	Leerlauf-Spannungsverstärkung	A_u A_u A_u A_u A_u A_u	> 1.10 ⁶ — — > 2,5.10 ⁵ —	— > 5.10 ⁵ — — > 2,5.10 ⁵ —	— — > 125.10 ³ — — > 125.10 ³	
Common mode rejection ratio $R_s \leq 10$ k Ω	Gleichtaktunterdrückung	CMR	> 100	> 100	115	dB
Supply voltage rejection (on U_{IO}) $R_s \leq 10$ k Ω	Empfindlichkeit (U_{IO}) an Betriebsspannungsänderung	SVR	< 20	< 20	20	μ V/V
Output voltage swing $R_L \geq 2$ k Ω $R_L \parallel 2$ k Ω	Ausgangs-Spitzenspannung MAA725, B, C MAA725 H, J, K	$U_{OPP max}$ $U_{OPP max}$	> ± 10 > ± 7	> ± 10 > ± 7	> ± 10 > ± 7	V V

5) Without external adjusting ● Ohne äussere Einstellung.

6) With external adjusting. ● Mit äussere Einstellung.

LINEAR INTEGRATED CIRCUITS • LINEARE INTEGRIERTE SCHALTKREISE
OPERATIONAL AMPLIFIERS WITH SHORT-CIRCUIT PROTECTED OUTPUT
OPERATIONSVERSTÄRKER MIT KURZSCHLUSSFESTEM AUSGANG

20 MAA741 MAA748 20
 MAA741C MAA748C 1550
 10, 241CN 248CN 10,-

Maximum ratings • Grenzwerte

			MAA741 MAA748	MAA741C MAA748C	
Supply voltage	Betriebsspannung	U_{CC}	$\pm 3 \dots \pm 22$	$\pm 3 \dots \pm 18$	V
Differential input voltage	Differential-Eingangsspannung	U_{ID}	± 30	± 30	V
Input voltage ¹⁾	Eingangsspannung ¹⁾	U_I	± 15	± 15	V
Voltage between leads (only MAA741, MAA741C)	Spannung zwischen Ausführungen (nur MAA741, MAA741C)				
No. 1 and 4	Nr. 1 und 4	$U_{1/4}$	$\pm 0,5$	$\pm 0,5$	V
No. 5 and 4	Nr. 5 und 4	$U_{5/4}$	$\pm 0,5$	$\pm 0,5$	V
Total power dissipation	Gesamtverlustleistung	P_{tot}	500	500	mW
Operation temperature	Betriebstemperatur	ϑ_a	$-55 \dots +125$	$0 \dots +70$	°C
Storage temperature	Lagerungstemperatur	ϑ_{stg}	$-65 \dots +155$	$-65 \dots +155$	°C

¹⁾ For supply voltage less than ± 15 V, maximum input voltage can be equal as magnitude of the supply voltage.
 Für Speisespannung niedrigere als ± 15 V maximale Eingangsspannung kann gleich wie Betriebsspannungs-Wert sein.

²⁾ Output short-circuit (towards ground or power supply) is not timing limited, at MAA741, MAA748 for $\vartheta_c \leq 125$ °C, at MAA741C, MAA748C for $\vartheta_c \leq 70$ °C.
 Ausgangs-Kurzschluss (gegen Erde oder gegen Betriebsspannung) ist nicht zeitgemäss begrenzt, bei MAA741, MAA748 für $\vartheta_c \leq 125$ °C, bei MAA741C, MAA748C für $\vartheta_c \leq 70$ °C.

Characteristic data • Kenndaten

	$C_C = 0$ $C_C = 30$ pF	MAA741 MAA748	MAA741C MAA748C
Valid at $U_{CC} = \pm 15$ V (unless otherwise noted) Gültig bei		$\vartheta_a = +25$ °C	$\vartheta_a = +25$ °C

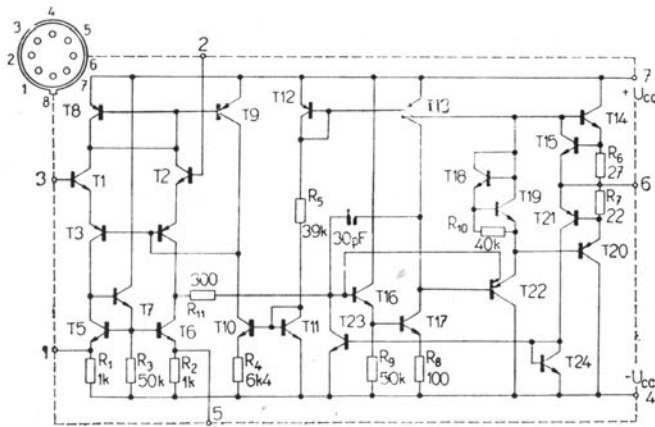
Input offset voltage $R_s \leq 10$ k Ω	Eingangsspannung-Unsymmetrie							
	MAA741	U_{IO}	1,5	< 5	2	< 6		mV
	MAA748	U_{IO}	1,5	< 5	2	< 6		mV
Input offset current	Eingangsstrom-Unsymmetrie	I_{IO}	10	< 200	10	< 200		nA
Input quiescent current	Eingangsruhestrom	I_{IB}	80	< 500	80	< 500		nA
Input resistance	Eingangswiderstand	R_{ISE}	3	> 0,3	3	> 0,3		M Ω
Large-signal voltage gain $R_L \geq 2$ k Ω , $U_O = \pm 10$ V $R_L \geq 2$ k Ω , $U_O = \pm 10$ V	Leerlauf-Spannungsverstärkung							
	MAA741	A_u	150 000	> 50 000	130 000	> 20 000		
	MAA748	A_u	130 000	> 50 000	120 000	> 20 000		
Supply current	Betriebsstrom	I_{CC}	1,3	< 2,8	1,3	< 2,8		mA
Power consumption	Leistungsverbrauch	P	40	< 85	40	< 85		mW
Output voltage swing $U_{CC} = 22$ V, $R_L \geq 2$ k Ω $U_{CC} = 18$ V, $R_L \geq 2$ k Ω	Ausgangs-Spitzenspannung							
		$U_{OPP max}$	± 20	> ± 17	—	—		V
		$U_{OPP min}$	—	—	± 16	> ± 13		V

Data for Information • Kenndaten für Information:

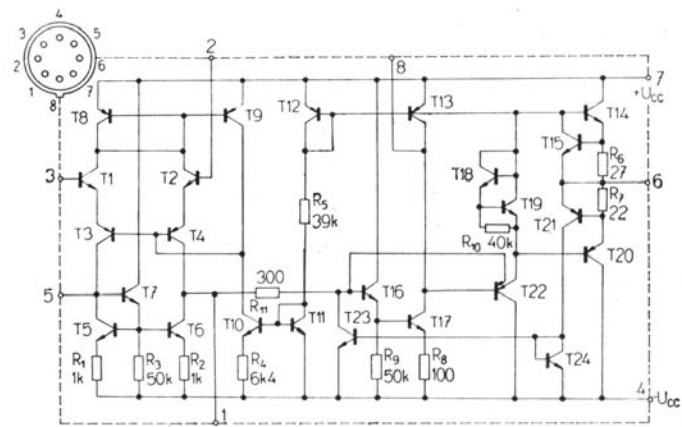
Output short-circuit current	Ausgangs-Kurzschluss-Strom	I_{OS}		± 25		± 25		mA
Output resistance $f = 1$ kHz	Ausgangs-Widerstand	R_O		60		60		Ω
Input capacitance	Eingangs-Kapazität	C_I		2,8		2,8		pF
Offset voltage adjustment range	Spannungsunsymmetrie-Ausgleichung							
	MAA741			± 13		± 13		mV
	MAA748			± 20		± 20		mV
Rise time $U_I = 20$ mV, $R_L = 2$ k Ω , $C_L \leq 100$ pF, $A_u = 1$ $C_C = 3,5$ pF, $A_u = 10$	Anstiegszeit							
	MAA741	t_r		0,35		0,35		μ s
	MAA748	t_r		0,2		0,2		μ s
Overshot $U_I = 20$ mV, $A_u = 1$, $R_L = 2$ k Ω , $C_L \leq 100$ pF	Überschwingung							
	MAA748			2		2		%
Slew rate $A_u = 1$, $R_L \geq 2$ k Ω $A_u = 1$, $C_C = 30$ pF $A_u = 10$, $C_C = 3,5$ pF	Flankensteilheit							
	MAA741	S		0,5		0,5		V/ μ s
	MAA748	S		0,5		0,5		V/ μ s
	MAA748	S		6,0		6,0		V/ μ s
Average temperature coefficient of input offset voltage ¹⁾	Mittlerer Temperaturkoeffizient der Eingangsspannungs-Unsymmetrie ¹⁾							
	MAA741	α_{U10}		10		10		μ V/K
	MAA748	α_{U10}		5		5		μ V/K
Average temperature coefficient of input offset current ¹⁾	Mittlerer Temperaturkoeffizient der Eingangsstrom-Unsymmetrie ¹⁾							
	MAA741	α_{I10}		160		160		pA/K
	MAA748	α_{I10}		80		80		pA/K

¹⁾ Valid in operating temperature range • Gültig in Betriebstemperaturbereich.

MAA741, MAA741C



MAA748, MAA748C



Base connection diagram – bottom view ● Sockelschaltung – Ansicht von unten:

- | | |
|------------------------|------------------------------|
| 1. Offset null | Eingangskompensation |
| 2. Inverting input | Invertierender Eingang |
| 3. Non inverting input | Nicht invertierender Eingang |
| 4. -U _{CC} | -U _{CC} |
| 5. Offset null | Eingangskompensation |
| 6. Output | Ausgang |
| 7. +U _{CC} | +U _{CC} |
| 8. Not connected | Nicht verbunden |

- | | |
|---------------------------|------------------------------|
| 1. Offset null | Eingangskompensation, |
| 2. Inverting input | Frequenzkompensation |
| 3. Non inverting input | Invertierender Eingang |
| 4. -U _{CC} | Nicht invertierender Eingang |
| 5. Offset null | -U _{CC} |
| 6. Output | Eingangskompensation |
| 7. +U _{CC} | Ausgang |
| 8. Frequency compensation | +U _{CC} |
| | Frequenzkompensation |

Outlines ● Abmessungen IO 6

Characteristic data ● Kenndaten

C _C = 0	MAA741	MAA741 C
C _C = 30 pF	MAA748	MAA748 C

Valid at U_{CC} = ±15 V (unless otherwise noted) -55 °C ≤ θ_a ≤ +125 °C 0 °C ≤ θ_a ≤ +70 °C
Gültig bei (wenn nicht anders angegeben)

Input offset voltage R _S ≤ 10 kΩ	Eingangsspannung-Unsymmetrie MAA741 MAA748	U _{IO} U _{IO}	2,0 < 6 1,8 < 6	< 7,5 < 7,5	mV mV
Input offset current θ _a = +125 °C θ _a = -55 °C	Eingangsstrom-Unsymmetrie	I _{IO} I _{IO} I _{IO}	— 5 < 200 20 < 500	< 300 — —	nA nA nA
Input quiescent current θ _a = +125 °C θ _a = -55 °C	Eingangsruhestrom	I _{IB} I _{IB} I _{IB}	— 50 < 500 150 < 1500	< 800 — —	nA nA nA
Input voltage range	Eingangsspannungsbereich	U _I	±13 > ±12	±13 > ±12	V
Common mode rejection ratio R _S ≤ 10 kΩ	Gleichtaktunterdrückung MAA741 MAA748	CMR CMR	90 > 70 90 > 70	— 90 > 70	dB dB
Supply voltage rejection (on U _{IO}) R _S ≤ 10 kΩ	Empfindlichkeit (U _{IO}) an Betriebsspannungsänderung MAA741 MAA748	SVR SVR	30 < 150 30 < 150	— 30 < 150	μV/V μV/V
Large-signal voltage gain R _L ≥ 2 kΩ, U _O = ±10 V	Leerlauf-Spannungsverstärkung	A _u	> 25 000	> 15 000	
Output voltage swing R _L ≥ 2 kΩ R _L ≥ 10 kΩ	Ausgangs-Spitzenspannung	U _{OPP max} U _{OPP max}	±14 > ±12 ±13 > ±10	±14 > ±12 ¹⁾ ±13 > ±10	V V
Supply current θ _a = +125 °C θ _a = -55 °C	Betriebsstrom MAA748C	I _{CC} I _{CC} I _{CC}	— 1,2 < 2,5 1,4 < 3,3	1,3 < 3,3 — —	mA mA mA
Power consumption θ _a = +125 °C θ _a = -55 °C	Leistungsverbrauch MAA748C	P P P	— 35 < 75 42 < 100	— — —	mW mW mW

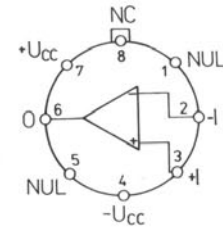
¹⁾ Only ● nur MAA748C

LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTKREISE
 OPERATIONAL AMPLIFIERS JFET INPUT
 OPERATIONSVERSTÄRKER MIT JFET-EINGANG

MAC155 MAB355
 MAC156 MAB356
 MAC157 MAB357

MONOLITHIC OPERATIONAL AMPLIFIERS WITH JFET INPUT ON COMMON CHIP WITH BIPOLAR TRANSISTORS FOR PRECISION AND SPEED INTEGRATOR AMPLIFIER, A/D AND D/A CONVERTERS.

MONOLITISCHE OPERATIONSVERSTÄRKER MIT JFET-EINGANG AUF GEMEINSAMEN CHIP MIT BIPOLAREN TRANSISTOREN FÜR PRÄZISE UND SCHNELLE INTEGRATOREN, SCHNELLE A/D- UND D/A-WANDLER.



MAXIMUM RATINGS ● GRENZWERTE

		MAC ...	MAB ...	
U_{CC}	max.	± 22	± 18	V
U_I 1)	max.	± 20	± 16	V
U_{IO}	max.	± 40	± 30	V
P_{tot} 2)	max.	670	570	mW
ϑ_a	min.-max.	-55 ... +125	0 ... +70	°C
ϑ_{stg}	min.-max.	-55 ... +155		°C
t_K 3)	($\vartheta_c \leq 125^\circ\text{C}$)	indefinite ● unbegrenzt		

Base connection ● Sockelschaltung.
 (Bottom view ● Ansicht von unten)

- 1 Balance ● Nullabgleich
- 2 Inverting input ● Invertierend Eingang
- 3 Non inverting input ● Nicht invertierend Eingang
- 4 $-U_{CC}$
- 5 Balance ● Nullabgleich
- 6 Output ● Ausgang
- 7 $+U_{CC}$
- 8 Non connection ● nicht benutzt

1) Max. $-U_I$ is equal ● ist gleich $-U_{CC}$.
 2) At ● bei $\vartheta_a \geq 25^\circ\text{C}$ lineary derated ● linear herabsetzen
 P_{tot} of ● um 5,2 mW/K.
 3) Output short circuit duration as long as $\vartheta_c \leq 125^\circ\text{C}$. ●
 Ausgangs-Kurzschlussdauer bei Voraussetzung $\vartheta_c \leq 125^\circ\text{C}$.

Outlines ● Abmessungen IO-6/1

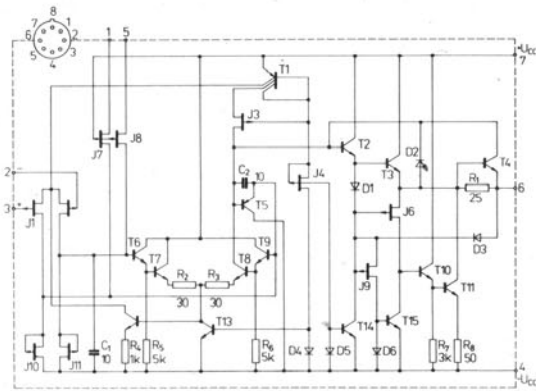
CHARACTERISTIC DATA: KENNDATEN:

MAC155
 MAC156
 MAC157

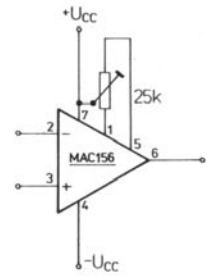
MAB355
 MAB356
 MAB357

BASIC DATA:	HAUPTDATEN: $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15\text{ V}$, unless otherwise noted ● wenn nicht anders angegeben	nom.		min.-max.		nom.		min.-max.	
Input offset voltage $R_S = 50 \Omega$, $U_{CC} = \pm 15\text{ V} \dots \pm 20\text{ V}$ $R_S = 50 \Omega$	Eingangsnulspannung	U_{IO}	3	≤ 5	—	—	3	≤ 10	mV
Input offset current $\vartheta_j = 25^\circ\text{C}$, $U_{CC} = \pm 15\text{ V} \dots \pm 20\text{ V}$ $\vartheta_j = 25^\circ\text{C}$	Eingangsnullstrom	I_{IO}	3	≤ 20	—	3	≤ 50	pA	
Input bias current $\vartheta_j = 25^\circ\text{C}$, $U_{CC} = \pm 15\text{ V} \dots \pm 20\text{ V}$ $\vartheta_j = 25^\circ\text{C}$	Eingangsstrom	I_{IB}	30	≤ 100	—	30	≤ 200	pA	
Large signal voltage gain $R_L = 2\text{ k}\Omega$, $U_O = \pm 10\text{ V}$	Leerlaufspannungsverstärkung	A_{uO}	200 000	$\geq 50\text{ 000}$	200 000	$\geq 25\text{ 000}$			
Input voltage range	Eingangsspannungsbereich	U_I		$\geq \pm 11$	—	—		V	
Supply current	Stromaufnahme	I_{CC}	2	≤ 4	2	≤ 4		mA	
		I_{CC}	5	≤ 7	5	≤ 7		mA	
Slew rate $A_u = 1$	Flankensteilheit	S	5		5			V/ μs	
		S	12	$\geq 7,5$	12	$\geq 7,5$		V/ μs	
		S	50	≥ 30	50	≥ 30		V/ μs	
Output voltage swing $R_L = 10\text{ k}\Omega$ $R_L = 2\text{ k}\Omega$	Ausgangsspannungs-Amplitude	$U_{O\text{ max}}$	± 13	$\geq \pm 12$	± 13	$\geq \pm 12$		V	
		$U_{O\text{ max}}$	± 12	$\geq \pm 10$	± 12	$\geq \pm 10$		V	
Common mode rejection ratio $U_{CC} = \pm 15\text{ V} \dots \pm 20\text{ V}$	Gleichtaktunterdrückung	CMR	100	≥ 85	100	≥ 80		dB	
Power supply rejection ratio $U_{CC} = \pm 5\text{ V} \dots \pm 18\text{ V}$	Betriebsspannungsunterdrückung	SVR	100	≥ 85	100	≥ 80		dB	

MAC155 MAB355 LINEAR INTEGRATED CIRCUITS • LINEARE INTEGRIERTE SCHALTKREISE
MAC156 MAB356 OPERATIONAL AMPLIFIERS JFET INPUT
MAC157 MAB357 OPERATIONSVERSTÄRKER MIT JFET-EINGANG



Electrical schematic • Elektrische Innenschaltung



Input offset voltage nulling • Nullspannungskompensation

CHARACTERISTIC DATA: KENNDATEN:

MAC155
MAC156
MAC157

MAB355
MAB356
MAB357

AUXILIARY DATA: HILFSDATEN:

$U_{CC} = \pm 15 \text{ V}$, unless otherwise noted • wenn nicht anders angegeben

MAC... : $-55^\circ\text{C} \leq \vartheta_a \leq +125^\circ\text{C}$
MAB... : $0^\circ\text{C} \leq \vartheta_a \leq +70^\circ\text{C}$

		nom.	min.-max.	nom.	min.-max.		
Input offset voltage	Eingangsnulspannung						
$R_S = 50 \Omega$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$			≤ 7			mV	
$R_S = 50 \Omega$					≤ 13	mV	
Input offset current	Eingangsnulstrom						
$\vartheta_j = 125^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$			≤ 20			nA	
$\vartheta_j = 70^\circ\text{C}$					≤ 2	nA	
Input bias current	Eingangsstrom						
$\vartheta_j = 125^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$			≤ 50			nA	
$\vartheta_j = 70^\circ\text{C}$					≤ 8	nA	
Large signal voltage gain	Leerlaufspannungsverstärkung						
$R_L = 2 \text{ k}\Omega$, $U_O = \pm 10 \text{ V}$			$\geq 25\,000$		$\geq 15\,000$		
Input voltage range	Eingangsspannungsbereich						
		U_I	$+15,1 \dots -12,0$	$\geq \pm 11$	$\pm 15,1 \dots -12,0$	$\geq \pm 10$	V
Output voltage swing	Ausgangsspannungs-Amplitude						
$R_L = 10 \text{ k}\Omega$		$U_{O \max}$	± 13	$\geq \pm 12$	± 13	$\geq \pm 12$	V
$R_L = 2 \text{ k}\Omega$		$U_{O \max}$	± 12	$\geq \pm 10$	± 12	$\geq \pm 10$	V
Common mode rejection ratio	Gleichtaktunterdrückung						
$U_I = \pm 11 \text{ V}$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$		CMR	100	≥ 85	100	≥ 80	dB
Power supply rejection ratio	Betriebsspannungsunterdrückung						
		SVR	100	≥ 85	100	≥ 80	dB

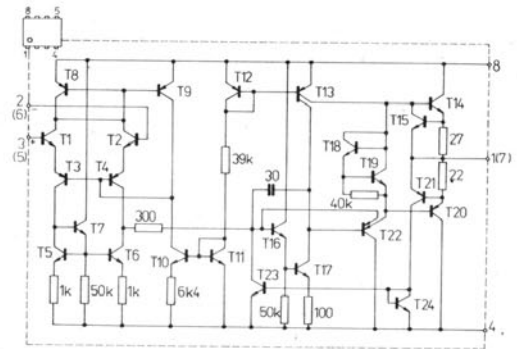
INFORMATION DATA: INFORMATIONS DATEN:

$\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V}$, unless otherwise noted • wenn nicht anders angegeben

			MAC... nom.		MAB... nom.		
Input resistance	Eingangswiderstand						
$\vartheta_j = 25^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$		R_{ISE}	10^{12}	—	—	Ω	
$\vartheta_j = 25^\circ\text{C}$		R_{ISE}	—	—	10^{12}	Ω	
Input capacitance	Eingangskapazität						
		C_I	3	—	3	pF	
Output short-circuit current	Ausgangs-Kurzschluss-Strom						
		I_{OS}	± 25	—	± 25	mA	
Gain bandwidth product	Leistungsbandbreite						
$A_u = 1$		MAC155, MAB355	f_T	2,5	—	2,5	MHz
		MAC156, MAB356	f_T	5	—	5	MHz
		MAC157, MAB357	f_T	20	—	20	MHz
Settling time	Einschwingzeit						
$A_u = -1$, $U_I = 10 \text{ V}$, $\varepsilon = 0,01 \%$		MAC155, MAB355	t_s	4	—	4	μs
		MAC156, MAC157, MAB356, MAB357	t_s	1,5	—	1,5	μs
Change in input offset drift with U_{IO} adjust	Änderung von Temperatur-Koeffizient von U_{IO}						
$R_S = 50 \Omega$, $U_{CC} = \pm 15 \text{ V} \dots \pm 20 \text{ V}$		$\Delta T_{K_{U_{IO}}/\Delta U_{IO}}$	0,5	—	—	$\mu\text{V}/\text{mV} \cdot \text{K}$	
$R_S = 50 \Omega$		$\Delta T_{K_{U_{IO}}/\Delta U_{IO}}$	—	—	0,5	$\mu\text{V}/\text{mV} \cdot \text{K}$	
Input noise voltage	Eingangsrauschstrom						
$R_S = 100 \Omega$, $f = 100 \text{ Hz}$		MAC155, MAB355	U_N	25	—	25	$\text{nV}/\sqrt{\text{Hz}}$
		MAC156, MAC157, MAB356, MAB357	U_N	15	—	15	$\text{nV}/\sqrt{\text{Hz}}$
$R_S = 100 \Omega$, $f = 1000 \text{ Hz}$		MAC155, MAB355	U_N	20	—	20	$\text{nV}/\sqrt{\text{Hz}}$
		MAC156, MAC157, MAB356, MAB357	U_N	12	—	12	$\text{nV}/\sqrt{\text{Hz}}$

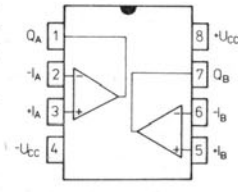
Maximum ratings ● Grenzdaten:

U_{CC}	max.	± 18	V
U_I	max.	± 15	V
U_{ID}	max.	± 30	V
P_{tot}	max.	400	mW
$t^2)$	max.	unlimited ● nicht begrenzt	
ϑ_a	min.-max.	0 ... +70	°C
ϑ_{stg}	min.-max.	-55 ... +155	°C



Internal electrical circuit
 Innere elektrische Schaltung

- 1) For/Für $U_{CC} \leq \pm 15$ V is/ist $U_{I\ max} = U_{CC}$.
- 2) Time duration of short-circuit of output is unlimited, if is in keeping $\vartheta_j \leq 100$ °C ● Ausgangskurzschlussdauer ist nicht zeitgemäss begrenzt, wenn die $\vartheta_j \leq 100$ °C eingehalten ist.
- 3) For/für $\vartheta_a \geq 25$ °C muss be decreased/muss herabgesetzt werden P_{tot} by/um 5,4 mW/K.



Base connection diagram (top view)
 Sockelschaltung (Ansicht von oben)

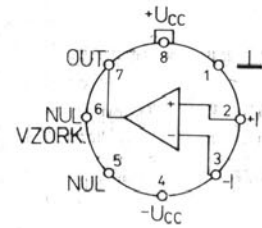
- 1 — Output ● Ausgang A
- 2 — Inverting input ● Invertierend Eingang A
- 3 — Non inverting input ● Nicht invertierend Eingang A
- 4 — $-U_{CC}$
- 5 — Non inverting input ● Nicht invertierend Eingang B
- 6 — Inverting input ● Invertierend Eingang B
- 7 — Output ● Ausgang B
- 8 — $+U_{CC}$

Outlines ● Abmessungen IO—21

Characteristic data:	Kenndaten:	$U_{CC} = \pm 15$ V, unless otherwise noted ● wenn nicht anders angegeben		
		nom.	min.-max.	
BASIC DATA: $\vartheta_a = 25$ °C	GRUNDDATEN:			
Input offset voltage $R_S \leq 10$ k Ω	Eingangsspannung-Unsymmetrie	U_{IO}	1,0	$\leq 6,0$ mV
Input offset current	Eingangsstrom-Unsymmetrie	I_{IO}	80	≤ 200 nA
Input bias current	Eingangs-Null-Strom	I_{IB}	200	≤ 500 nA
Supply current of both amplifiers	Betriebsstrom von beider Verstärker	I_{CC}	3,0	$\leq 5,6$ mA
Voltage gain of open loop $U_O = \pm 10$ V, $R_L = 2$ k Ω , $\vartheta_a = 25$ °C	Leerlauf-Spannungsverstärkung	A_u	160	$\geq 20 \cdot 10^3$
Output voltage swing $R_L = 10$ k Ω $R_L = 2$ k Ω	Ausgangsspannungsamplitude	U_O	± 14	$\leq \pm 12$ V
Input voltage range	Eingangs-Spannungsbereich	U_I	± 13	$\leq \pm 10$ V
Input resistance $\vartheta_a = 0 \dots +70$ °C	Eingangswiderstand	R_I	1,0	$\geq 0,3$ M Ω
Common mode rejection ratio $R_S \leq 10$ k Ω	Gleichtaktunterdrückung	CMR	90	≥ 70 dB
Supply voltage rejection (on U_{IO}) $R_S \leq 10$ k Ω	Empfindlichkeit (U_{IO}) an Betriebsspannungsänderungen	SVR	96	≥ 77 dB
AUXILIARY DATA: $\vartheta_a = 0$ °C ... +70 °C	HILFSDATEN:			
Input offset voltage $R_S \leq 10$ k Ω	Eingangsspannungsunsymmetrie	U_{IO}		$\leq 7,5$ mV
Input offset current	Eingangsstromunsymmetrie	I_{IO}		≤ 300 nA
Input bias current	Eingangs-Null-Strom	I_{IB}		≤ 800 nA
Voltage gain of open loop $U_O = \pm 10$ V, $R_L = 2$ k Ω	Leerlauf-Spannungsverstärkung	A_u		$\geq 15 \cdot 10^3$
Output voltage swing $R_L = 10$ k Ω $R_L = 2$ k Ω	Ausgangsspannungsamplitude	$U_{O\ max}$	± 14	$\leq \pm 12$ V
Input voltage range	Eingangs-Spannungsbereich	U_I	± 13	$\leq \pm 10$ V
Common mode rejection ratio $R_S \leq 10$ k Ω	Gleichtaktunterdrückung	CMR	90	≥ 70 dB
Supply voltage rejection (on U_{IO}) $R_S \leq 10$ k Ω	Empfindlichkeit (U_{IO}) an Betriebsspannungsänderungen	SVR	96	≥ 77 dB
Input resistance $\vartheta_a = 25$ °C	Eingangs-Differentialwiderstand	R_I	1,0	$\geq 0,3$ M Ω

PRECISION VOLTAGE COMPARATORS WITH VERY LOW INPUT CURRENTS FOR PRECISION COMPARATOR AMPLIFIERS, DRIVERS OF POWER DEVICES WITH VOLTAGE 50 V (40 V) AND CURRENT 50 mA.

PRÄZISE SPANNUNGSKOMPARATOREN MIT SEHR NIEDRIGEREN EINGANGSSTRÖMEN FÜR PRÄZISE KOMPARATORVERSTÄRKER, TREIBER VON LEISTUNGSBAUELEMENTEN MIT SPANNUNG 50 V (40 V) UND STROM 50 mA.



Base connection ● Sockelschaltung
(Bottom view ● Ansicht von unten)

Maximum ratings ● Grenzwerte:

U_{CC}	max.	± 18	V
U_{CC}	max.	36	V
U_{ID}	max.	± 30	V
U_I ¹⁾	max.	± 15	V
$U_{7/4}$	MAC111 max.	50	V
	MAB311 max.	40	V
$U_{1/4}$	max.	30	V
P_{tot}	max.	500	mW
R_{thja}	max.	150	K/W
ϑ_j	MAC111 max.	155	°C
	MAB311 max.	110	°C
ϑ_a	MAC111	-55 ... +125	°C
	MAB311	0 ... +70	°C
ϑ_{stg}		-55 ... +125	°C
K	max.	10	s

- 1 Ground ● Masse
- 2 Non inverting input ● Nicht invertierend Eingang
- 3 Inverting input ● Invertierend Eingang
- 4 $-U_{CC}$
- 5 Balance ● Nullabgleich
- 6 Balance / strobing ● Nullabgleich / Strobing
- 7 Output ● Ausgang
- 8 $+U_{CC}$

¹⁾ At/bei $U_{CC} = \pm 15$ V.

Outlines ● Abmessungen IO-6/1

Characteristic data:	Kenndaten:	MAC111		MAB311	
BASIC DATA: $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15$ V	HAUPTDATEN:	nom.	min.-max.	nom.	min.-max.
Input offset voltage $R_B = 50\text{ k}\Omega$ ¹⁾	Eingangsspannung-Unsymmetrie	U_{IO}	0,7 \leq 3,0	2,0	\leq 7,5 mV
Input offset current	Eingangsstrom-Unsymmetrie ¹⁾	I_{IO}	4,0 \leq 10	6,0	\leq 50 nA
Input bias current	Eingangs-Null-Strom ¹⁾	I_{IB}	60 \leq 100	100	\leq 250 nA
Output saturation voltage $U_I = -5$ mV	Saturations-Ausgangsspannung	$U_{O SAT}$	0,75 \leq 1,5	0,75	\leq 1,5 V
Voltage gain $U_O = 1 \dots 14$ V, $R_L = 15\text{ k}\Omega$, $R_B = 50\text{ k}\Omega$	Spannungsverstärkung	A_u	200 \geq 40	200	\geq 40 $\cdot 10^3$
Output residual current $U_I = +5$ mV	Ausgangs-Reststrom	$I_{O OFF}$	0,2 \leq 10	0,2	\leq 10 nA
Positive input voltage range	Positiver Eingangsspannungsbereich	$+U_I max$	+13,8 \geq +13,0	+13,8	\geq +13,0 V
Negative input voltage range	Negativer Eingangsspannungsbereich	$-U_I max$	-14,7 \geq -14,5	-14,7	\geq -14,5 V
Positive supply current $U_I = +12$ V	Positiver Betriebsstrom	I_{CC+}	5,1 \leq 6,0	5,1	\leq 7,5 mA
Negative supply current $U_I = -12$ V	Negativer Betriebsstrom	I_{CC-}	4,1 \leq 5,0	4,1	\leq 5,0 mA
AUXILIARY DATA: $U_{CC} = \pm 15$ V, unless otherwise noted ● wenn nicht anders angegeben	HILFSDATEN:	$-55^\circ\text{C} \leq \vartheta_a \leq +125^\circ\text{C}$		$0^\circ\text{C} \leq \vartheta_a \leq +70^\circ\text{C}$	
Input offset voltage $R_B = 50\text{ k}\Omega$ ¹⁾	Eingangsspannung-Unsymmetrie	U_{IO}	\leq 4,0		\leq 10 mV
Input offset current	Eingangsstrom-Unsymmetrie ¹⁾	I_{IO}	\leq 20		\leq 70 nA
Input bias current	Eingangs-Null-Strom ¹⁾	I_{IB}	\leq 150		\leq 300 nA
Output saturation voltage $U_{CC} = 0$ V / +4,5 V, $U_I = -6$ mV, $I_O = 8$ mA	Saturations-Ausgangsspannung	$U_{O SAT}$	0,23 \leq 0,4	0,23	\leq 0,4 V
Positive input voltage range	Positiver Eingangsspannungsbereich	$+U_I max$	+13,8 \geq +13,0	+13,8	\geq +13,0 V
Negative input voltage range	Negativer Eingangsspannungsbereich	$-U_I max$	-14,7 \geq -14,5	-14,7	\geq -14,5 V
Output residual current $U_O = 35$ V, $U_I = 5$ mV	Ausgangs-Reststrom	$I_{O OFF}$	0,1 \leq 0,5	—	— μ A
INFORMATION DATA: $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15$ V	INFORMATIONSDATEN:				
Delay time	Verzögerungszeit	t_d	200	200	ns
Strobe current	Strobestrom	I_S	3	3	mA

¹⁾ $U_{CC} = 0$ V / +5 V ... $U_{CC} = \pm 15$ V

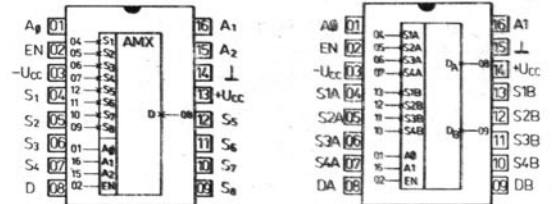
MONOLITHIC ANALOG MULTIPLEXERS BiFET
FOR A/D CONVERTERS AND GENERAL USE
MAC08A, MAB08E, F, G EIGHT CHANNEL
MAC24A, MAB24E, F, G DUAL FOUR-CHANNEL

MONOLITISCHE ANALOGMULTIPLEXOREN BiFET
FÜR A/D-WANDLER UND ALLGEMEINE ANWENDUNG
MAC08A, MAB08E, F, G ACHT-KANÄLE
MAC24A, MAB24E, F, G DOPPEL VIERKANÄLE

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	V
$\Delta U_{CC} \text{ } ^1)$		36	V
$U_I \text{ } ^2) \text{ } ^3)$	-4	+U _{CC}	V
$U_S \text{ } ^4)$	-20	+U _{CC}	V
$I \text{ } ^3)$		25	mA
P_{tot}		500	mW
ϑ_a MAC08A, MAC24A	-55	+125	°C
MAB08E, F, G, MAB24E, F, G	0	+70	°C
ϑ_{stg}	-55	+155	°C
$1/R_{th} (\vartheta_a \geq 100 \text{ } ^\circ\text{C})$		10	mW/K

1. Difference of supply voltage between pins +U_{CC} and -U_{CC} ● Speisespannung-Differenz zwischen Eingänge +U_{CC} und -U_{CC}.
2. At negative supply voltage min. -4 V ● Bei negativer Speisespannung min. -4 V.
3. Of digital inputs. ● Von Digital-Eingänge.
4. Of analog inputs. ● Von Analog-Eingänge.
5. Anyone pin. ● Beliebige Ausführung.



MAC08, MAB08

MAC24, MAB24

Base connection diagram ● Sockelschaltung
 (top view ● Ansicht von oben)

A₀ ... A₂ digital address inputs ● digitale Adressen-Eingänge
 EN enable input ● Enable-Eingang
 S₁ ... S₈ analog input ● Analog-Eingänge
 D, DA, DB analog output ● Analog-Ausgänge

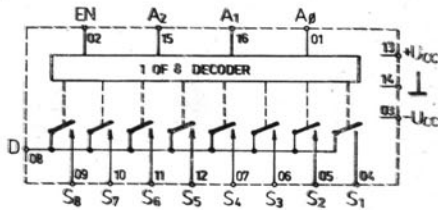
Outlines ● Abmessungen IO-18/C2

CHARACTERISTIC DATA:	KENNDATEN:	+U _{CC} = 15 V, -U _{CC} = -15 V				
BASIC DATA:	HAUPTDATEN: $\vartheta_a = 25 \text{ } ^\circ\text{C}$	MAC08A, MAB08E, MAC24A, MAB24E	MAB08F MAB24F	MAB08G MAB24G		
Switch resistance ON state $U_D \leq 10 \text{ V}, I_S = 200 \text{ } \mu\text{A}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Schalterwiderstand-ON-Zustand	R_{ON}	≤ 300	≤ 400	≤ 450	Ω
Input source current (switch OFF) $^1)$ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingang-Sourcestrom (Schalter OFF)	$I_{S(OFF)}$	$\leq 1,0$	$\leq 2,0$	$\leq 5,0$	nA
Output drain current (switch OFF) $^1)$ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Ausgangs-Drainstrom (Schalter OFF) $^1)$	$I_{D(OFF)}$	$\leq 1,0$	$\leq 2,0$	≤ 20	nA
Leakage current (switch ON) $^1)$ $U_D = 10 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Reststrom (Schalter ON) $^1)$	$I_{D(ON)} + I_{S(ON)}$	$\leq 1,0$	$\leq 2,0$	≤ 20	nA
Digital input voltage — H level	Digital-Eingangsspannung — H-Zustand	U_{IH}	$\geq 2,0$	$\geq 2,0$	$\geq 2,0$	V
Digital input voltage — L level	Digital Eingangsspannung — L-Zustand	U_{IL}	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$	V
Digital input current — L level $U_{IL} = 0,4 \text{ V}$	Digital-Eingangsstrom — L-Zustand	I_{IL}	≤ 10	≤ 10	≤ 30	μA
Positive supply current $U_{IL} = 0,8 \text{ V}$	Positiver Speisestrom	+I _{CC}	≤ 12	≤ 12	≤ 15	mA
Negative supply current $U_{IL} = 0,8 \text{ V}$	Negativer Speisestrom	-I _{CC}	$\leq 3,8$	$\leq 3,8$	$\leq 5,0$	mA
Switch-over time MAC08A, MAC24A: $-55 \text{ } ^\circ\text{C} \leq \vartheta_a \leq +125 \text{ } ^\circ\text{C}$ MAB08E, F, G, MAB24E, F, G: $0 \text{ } ^\circ\text{C} \leq \vartheta_a \leq +70 \text{ } ^\circ\text{C}$	Umschaltzeit	t_{TRAN}	$\leq 1,3$	$\leq 2,1$	$\leq 3,0$	μs
Switch resistance ON state $U_D \leq 10 \text{ V}, I_S = 200 \text{ } \mu\text{A}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Schalterwiderstand-ON-Zustand	R_{ON}	≤ 400	≤ 500	≤ 550	Ω
Input source current (switch OFF) $^1)$ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingang-Sourcestrom (Schalter OFF)	$I_{S(OFF)}$	≤ 10	≤ 10	≤ 50	nA
Output drain current (switch OFF) $^1)$ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingang-Drainstrom (Schalter OFF) $^1)$	$I_{D(OFF)}$	≤ 100	≤ 100	≤ 500	nA
	MAC08, MAB08	$I_{D(OFF)}$	≤ 50	≤ 50	≤ 500	nA
	MAC24, MAB24	$I_{D(OFF)}$	≤ 50	≤ 50	≤ 500	nA
Leakage current (switch ON) $^1)$ $U_D = 10 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Reststrom (Schalter ON) $^1)$	$I_{D(ON)} + I_{S(ON)}$	≤ 100	≤ 100	≤ 500	nA
	MAC08, MAB08	$I_{D(ON)} + I_{S(ON)}$	≤ 50	≤ 50	≤ 500	nA
	MAC24, MAB24	$I_{D(ON)} + I_{S(ON)}$	≤ 50	≤ 50	≤ 500	nA
Digital input voltage — H level	Digital-Eingangsspannung — H-Zustand	U_{IH}	$\geq 2,0$	$\geq 2,0$	$\geq 2,0$	V
Digital input voltage — L level	Digital Eingangsspannung — L-Zustand	U_{IL}	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$	V
Digital input current — L level $U_{IL} = 0,4 \text{ V}$	Digital-Eingangsstrom — L-Zustand	I_{IL}	≤ 20	≤ 20	≤ 40	μA
Positive supply current $U_{IL} = 0,8 \text{ V}$	Positiver Speisestrom	+I _{CC}	≤ 15	≤ 15	≤ 18	mA
Negative supply current $U_{IL} = 0,8 \text{ V}$	Negativer Speisestrom	-I _{CC}	$\leq 5,0$	$\leq 5,0$	$\leq 6,0$	mA

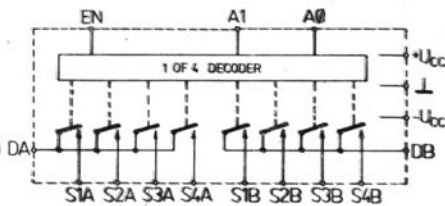
1. Exceeding 11 V on the analog input may cause an OFF channel to turn ON. ● Überschreiten von 11 V auf dem Analogeingang kann einen Übergang von ausgeschalteten Kanal (OFF) in eingeschalteten Zustand ON verursachen.

MAC08A, MAB08E, F, G
MAC24A, MAB24E, F, G

ANALOG INTEGRATED CIRCUITS
INTEGRIERTE ANALOGSCHALTWERKE
ANALOG MULTIPLEXERS ● ANALOGE MULTIPLEXOREN



MAC08, MAB08



MAC24, MAB24

Functional diagram ● Funktions-Blockschaltung

TRUTH TABLES ● LOGISCHES VERHALTEN

INPUT ● Eingang				STATE CHANNEL	Kanal-Zustand
A ₂	A ₁	A ₀	EN	„ON“	
MAC08A, MAB08E, F, G					
X	X	X	L	none	● kein
L	L	L	H		1
L	L	H	H		2
L	H	L	H		3
L	H	H	H		4
H	L	L	H		5
H	L	H	H		6
H	H	L	H		7
H	H	H	H		8
MAC24A, MAB24E, F, G					
X	X	L	L	none	● kein
L	L	L	H		1
L	H	L	H		2
H	L	L	H		3
H	H	L	H		4

H — high level ● High-Zustand
L — low level ● Low-Zustand
X — irrelevant level (H or L) ● beliebiger Zustand (H oder L)

CHARACTERISTIC DATA:

KENNDATEN:

+U_{CC} = 15 V, -U_{CC} = -15 V

INFORMATIVE DATA:

θ_a = 25 °C, unless otherwise noted ●

INFORMATIONSDATEN:

wenn nicht anders angegeben

		MAC08A, MAB08E, MAC24A, MAB24E	MAB08F MAB24F	MAB08G MAB24G	
Relative difference of switch resistance -10 V ≤ U _D ≤ 10 V, I _S = 200 μA	Rel. Änderung des Schalterwiderstandes U _{IH} = 2,0 V, U _{IL} = 0,8 V	$\frac{\Delta R_{ON}}{R_{ON}}$	1,0	3,0	3,0 %
Resistance match between switches U _D = 10 V, I _S = 200 μA, U _{IH} = 2,0 V, U _{IL} = 0,8 V	Widerstandsstreuung zwischen Schalter	R _{ONmatch}	20	30	30 Ω
Positive supply current U _{CC} = 5 V, I _{IL} = 0,8 V	Positiver Speisestrom	+I _{CC}	8,0	5,0	5,0 mA
Negative supply current -U _{CC} = 5 V, I _{IL} = 0,8 V	Negativer Speisestrom	-I _{CC}	2,5	1,8	1,8 mA
Output settling time — 10 V step to 0,10 % 0,05 % 0,02 %	Beruhigungszeit — 10 V-Sprung auf	t _{S1} t _{S2} t _{S3}	1,3 1,5 2,3	1,7 1,7 1,7	2,3 2,3 2,3 μs
Break-before-make delay	Schalt-Zeitverzug	t _{DLY}	0,8	1,0	1,6 μs
Enable delay ON	Enable-Schaltzeit ON	t _{ON(EN)}	1,0	1,2	1,6 μs
Enable delay OFF	Enable-Schaltzeit OFF	t _{OFF(EN)}	0,2	0,2	0,2 μs
Isolation OFF f = 500 kHz, R _L = 1 kΩ	Isolation der ausgeschalteten Kanäle	ISO _{OFF}	-60	-60	-60 dB
		ISO _{OFF}	-66	-66	-66 dB
Crosstalk f = 500 kHz, R _L = 1 MΩ	Nebensprechen	CT	-70	-70	-70 dB
		CT	-76	-76	-76 dB
Digital input capacitance	Digitaleingangs-Kapazität	C _{DIG}	3,0	3,0	3,0 pF
Switching time	Umschaltzeit	t _{TRAN}	1,0	1,5	2,1 μs
Input source capacitance channel OFF U _S = 0 V, U _D = 0 V	Analogeingangs-Kapazität Kanal OFF	C _{S(OFF)}	2,5	2,5	2,5 pF
		C _{S(OFF)}	2,0	2,0	2,0 pF
Output drain capacitance channel OFF U _S = 0 V, U _D = 0 V	Analogausgangs-Kapazität Kanal OFF	C _{D(OFF)}	7,0	7,0	7,0 pF
		C _{D(OFF)}	4,0	4,0	4,0 pF
Input to output capacitance	Kapazität zwischen Eingang und Ausgang	C _{DS(OFF)}	0,3	0,3	0,3 pF
		C _{DS(OFF)}	0,15	0,15	0,15 pF

MAC08A, MAC24A: -55 °C ≤ θ_a ≤ +125 °C
MAB08E, F, G, MAB24E, F, G: 0 °C ≤ θ_a ≤ +70 °C

Relative difference of switch resistance -10 V ≤ U _D ≤ 10 V, I _S = 200 μA	Rel. Änderung des Schalterwiderstandes U _{IH} = 2,0 V, U _{IL} = 0,8 V	$\frac{\Delta R_{ON}}{R_{ON}}$	1,5	4,5	4,5 %
Resistance match between switches U _D ≤ 10 V, I _S = 200 μA, U _{IH} = 2,0 V, U _{IL} = 0,8 V	Widerstandsstreuung zwischen Schalter	R _{ONmatch}	25	30	30 Ω

MONOLITHIC ANALOG MULTIPLEXERS BiFET
FOR A/D CONVERTERS AND GENERAL USE
MAC16A, MAB16E, F, G: SIXTEEN CHANNEL
MAC28A, MAB28E, F, G: DUAL EIGHT-CHANNEL

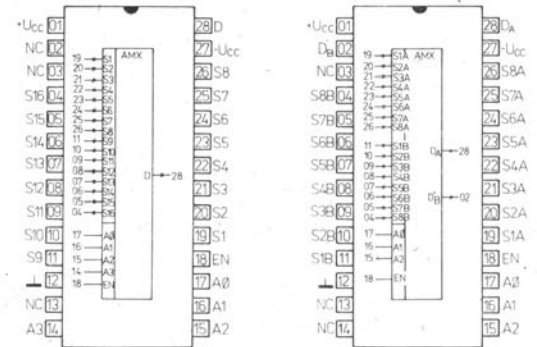
MONOLITHISCHE ANALOGMULTIPLEXOREN BiFET
FÜR A/D-WANDLER UND ALLGEMEINE ANWENDUNG
MAC16A, MAB16E, F, G: SECHSZEHN-KANÄLE
MAC28A, MAB28E, F, G: DOPPEL-ACHTKANÄLE

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$\Delta U_{CC} \text{ } ^1)$		36	V
$U_I \text{ } ^2) \text{ } ^3)$	-4	+U _{CC}	V
$U_S \text{ } ^4)$	-20	+U _{CC}	V
$I_S \text{ } ^5)$		25	mA
P_{Tot}		1000	mW
ϑ_a		+125	°C
		+70	°C
$\vartheta_{stg} \text{ } ^6)$	-55	+155	°C
$1/R_{th} (\vartheta_a \geq 100 \text{ } ^\circ\text{C})$		20	mW/K

1. Difference of supply voltage between pins +U_{CC} and -U_{CC} ● Speisespannung-Differenz zwischen Eingänge +U_{CC} und -U_{CC}
2. At negative supply voltage min. -4 V ● Bei negativer Speisespannung min. -4 V
3. Of digital inputs ● Von Digital-Eingänge
4. Of analog inputs ● Von Analog-Eingänge
5. Anyone pin ● Beliebige Ausführung

Outlines ● Abmessungen IO-19A/C1.



MAC16, MAB16

MAC28, MAB28

Base connection diagram
 Sockelschaltung
 (top view ● Ansicht von oben)

- A₀ ... A₃ digital address inputs ● digitale Adressen-Eingänge
- EN enable input ● Enable-Eingang
- S₁ ... S₁₆, S_{1A} ... S_{8A}, S_{1B} ... S_{8B} analog inputs ● Analog-Eingänge
- D, DA, DB analog outputs ● Analog-Ausgänge

CHARACTERISTIC DATA:

KENNDATEN:

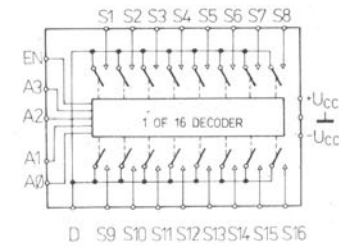
+U_{CC} = 15 V, -U_{CC} = -15 V

BASIC DATA:

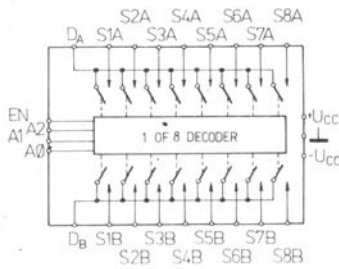
HAUPDATEN: $\vartheta_a = 25 \text{ } ^\circ\text{C}$

		MAC16A, MAB16E, MAC28A, MAB28E	MAB16F, MAB28F	MAB16G, MAB28G	
Switch resistance ON state $U_D \leq 10 \text{ V}, I_S = 200 \text{ } \mu\text{A}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Schalterwiderstand-ON-Zustand	R_{ON}	≤ 380	≤ 580	≤ 650 Ω
Input source current (switch OFF) $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingangs-Sourcestrom (Schalter OFF)	$I_{S(OFF)}$	$\leq 1,0$	$\leq 2,0$	$\leq 5,0$ nA
Output drain current (switch OFF) ¹⁾ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Ausgangs-Drainstrom (Schalter OFF) ¹⁾	$I_{D(OFF)}$	$\leq 1,0$	$\leq 2,0$	≤ 20 nA
Leakage current (switch ON) ¹⁾ $U_D = 10 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Reststrom (Schalter ON) ¹⁾	$I_{D(ON)} + I_{S(ON)}$	$\leq 1,0$	$\leq 2,0$	≤ 20 nA
Digital input voltage — H level	Digital-Eingangsspannung — H-Zustand	U_{IH}	$\geq 2,0$	$\geq 2,0$	$\geq 2,0$ V
Digital input voltage — L level	Digital-Eingangsspannung — L-Zustand	U_{IL}	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$ V
Digital input current — L level $U_{IL} = 0,4 \text{ V}$	Digital-Eingangsstrom — L-Zustand	I_{IL}	≤ 10	≤ 10	≤ 30 μA
Positive supply current $U_{IL} = 0,8 \text{ V}$	Positiver Speisestrom	+I _{CC}	≤ 19	≤ 19	≤ 24 mA
Negative supply current $U_{IL} = 0,8 \text{ V}$	Negativer Speisestrom	-I _{CC}	$\leq 7,0$	$\leq 7,0$	$\leq 9,0$ mA
Switch-over time	Umschaltzeit	t _{TRAN}	$\leq 1,5$	$\leq 2,1$	$\leq 3,0$ μs
MAC16A, MAC28A: -55 °C $\leq \vartheta_a \leq$ +125 °C MAB16E, F, G, MAB28E, F, G: 0 °C $\leq \vartheta_a \leq$ +70 °C					
Switch resistance ON state $U_D = 10 \text{ V}, I_S = 200 \text{ } \mu\text{A}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Schalterwiderstand-ON-Zustand	R_{ON}	≤ 500	≤ 800	≤ 850 Ω
Input source current (switch OFF) ¹⁾ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingangs-Sourcestrom (Schalter OFF) ¹⁾	$I_{S(OFF)}$	≤ 10	≤ 10	≤ 50 nA
Output drain current (switch OFF) ¹⁾ $U_S = 10 \text{ V}, U_D = -10 \text{ V}, U_{IL} = 0,8 \text{ V}$	Eingangs-Drainstrom (Schalter OFF) ¹⁾	$I_{D(OFF)}$	≤ 75	≤ 75	≤ 500 nA
Leakage current (switch ON) ¹⁾ $U_D = 10 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Reststrom (Schalter ON) ¹⁾	$I_{D(ON)} + I_{S(ON)}$	≤ 75	≤ 75	≤ 500 nA
Digital input voltage — H level	Digital-Eingangsspannung — H-Zustand	U_{IH}	$\geq 2,0$	$\geq 2,0$	$\geq 2,0$ V
Digital input voltage — L level	Digital-Eingangsspannung — L-Zustand	U_{IL}	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$ V
Digital input current — L level $U_{IL} = 0,4 \text{ V}$	Digital-Eingangsstrom — L-Zustand	I_{IL}	≤ 20	≤ 20	≤ 40 μA
Positive supply current $U_{IL} = 0,8 \text{ V}$	Positiver Speisestrom	+I _{CC}	≤ 24	≤ 24	≤ 25 mA
Negative supply current $U_{IL} = 0,8 \text{ V}$	Negativer Speisestrom	-I _{CC}	$\leq 8,2$	$\leq 8,2$	≤ 10 mA

1. Exceeding 11 V on the analog input may cause an OFF channel to turn ON. ● Überschreiten von 11 V auf dem Analogeingang kann einen Übergang von ausgeschalteten Kanal (OFF) in eingeschalteten Zustand ON verursachen.



MAC16, MAB16



MAC28, MAB28

Functional diagram
Funktions-Blockschaltung

FUNCTION TABLE ● FUNKTIONSTABELLE

INPUTS ● EINGÄNGE					State channel „ON“	Kanal Zustand
A ₃	A ₂	A ₁	A ₀	EN		
MAC16A, MAB16E, F, G					none	kein
X	X	X	X	L		1
L	L	L	L	H		2
L	L	L	H	H		3
L	L	H	L	H		4
L	L	H	H	H		5
L	H	L	L	H		6
L	H	L	H	H		7
L	H	H	L	H		8
L	H	H	H	H		9
H	L	L	L	H		10
H	L	L	H	H		11
H	L	H	L	H		12
H	L	H	H	H		13
H	H	L	L	H		14
H	H	L	H	H		15
H	H	H	L	H		16
H	H	H	H	H		16
MAC28A, MAB28E, F, G					none	kein
X	X	X	L	H		1
L	L	L	H	H		2
L	L	H	L	H		3
L	L	H	H	H		4
L	H	L	L	H		5
L	H	L	H	H		6
L	H	H	L	H		7
L	H	H	H	H		8

H — high level ● High Zustand
L — low level ● low Zustand
X — irrelevant level (H or L) ● beliebiger Zustand (H oder L)

CHARACTERISTIC DATA:

KENNDATEN: +U_{CC} = 15 V, -U_{CC} = -15 V

INFORMATIVE DATA:

θ_a = 25 °C, unless otherwise note ●

Relative difference of switch resistance

-10 V ≤ U_D ≤ 10 V, I_S = 200 μA

INFORMATIONSDATEN:

wenn nicht anders angegeben

Rel. Änderung des Schalterwiderstandes

U_{IH} = 2,0 V, U_{IL} = 0,8 V

Resistance match between switches

U_D ≤ 10 V, I_S = 200 μA, U_{IH} = 2,0 V, U_{IL} = 0,8 V

Widerstandsstreuung zwischen Schalter

Positive supply current
U_{CC} = 5 V, U_{IL} = 0,8 V

Positiver Speisestrom

Negative supply current
-U_{CC} = 5 V, U_{IL} = 0,8 V

Negativer Speisestrom

Output settling time — 10 V step to
0,10 %
0,05 %
0,02 %

Beruhigungszeit — 10 V-Sprung auf

Break-before-make delay

Schalt-Zeitverzug

Enable delay ON

Enable-Schaltzeit ON

Enable delay OFF

Enable-Schaltzeit OFF

Isolation OFF

Isolation der ausgeschalteten Kanäle

f = 500 kHz, R_L = 1 kΩ

Crosstalk

Nebensprechen

f = 500 kHz, R_L = 1 MΩ

Digital input capacitance

Digitaleingangs-Kapazität

Switching time

Umschaltzeit

Input source capacitance
channel OFF, U_S = 0 V, U_D = 0 V

Analogeingangs-Kapazität
Kanal OFF

Output drain capacitance
channel OFF, U_S = 0 V, U_D = 0 V

Analogausgangs-Kapazität
Kanal OFF
MAC16, MAB16
MAC28, MAB28

Input to output capacitance

Kapazität zwischen Eingang und Ausgang

MAC16A, MAC28A:

-55 °C ≤ θ_a ≤ +125 °C

MAB16E, F, G, MAB28E, F, G:

0 °C ≤ θ_a ≤ +70 °C

Relative difference of switch resistance

Rel. Änderung des Schalterwiderstandes

-10 V ≤ U_D ≤ 10 V, I_S = 200 μA

U_{IH} = 2,0 V, U_{IL} = 0,8 V

Resistance match between switches

Widerstandsstreuung zwischen Schalter

U_D ≤ 10 V, I_S = 200 μA, U_{IH} = 2,0 V, U_{IL} = 0,8 V

	MAC16A, MAB16E, MAC28A, MAB28E	MAB16F, MAB28F	MAB16G, MAB28G	
$\frac{\Delta R_{ON}}{R_{ON}}$	1,0	4,0	4,0	%
R _{ON match}	25	35	35	Ω
+I _{CC}	12,0	8,0	8,0	mA
-I _{CC}	12,0	7,0	7,0	mA
+I _{CC}	4,0	3,0	3,0	mA
-I _{CC}	4,0	2,5	2,5	mA
t _{S1}	1,5	1,9	2,3	μs
t _{S2}	1,7	1,9	2,3	μs
t _{S3}	2,5	1,9	2,3	μs
t _{DLY}	0,7	1,0	1,6	μs
t _{ON(EN)}	1,0	1,2	1,6	μs
t _{OFF(EN)}	0,25	0,25	0,3	μs
ISO _{OFF}	-66	-66	-66	dB
CT	-75	-75	-75	dB
C _{DIG}	3,0	3,0	3,0	pF
t _{TRAN}	1,0	1,5	2,1	μs
C _{S(OFF)}	2,5	2,5	2,5	pF
C _{D(OFF)}	13,0	13,0	13,0	pF
C _{D(OFF)}	8,0	8,0	8,0	pF
C _{DS(OFF)}	0,15	0,15	0,15	pF
$\frac{\Delta R_{ON}}{R_{ON}}$	2,0	5,5	5,5	%
R _{ON match}	30	45	45	Ω

**MONOLITHIC BIPOLAR HIGH SPEED
 MULTIPLYING D/A CONVERTER 8 BIT
 FOR GENERAL USE**

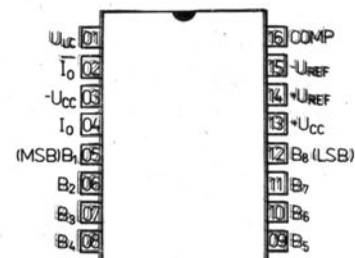
**MONOLITISCHER BIPOLARER SCHNELLER
 MULTIPLIZIERENDER D/A — WANDLER 8 BIT
 FÜR ALLGEMEINE ANWENDUNG**

MAXIMUM RATINGS ● GRENZDATEN: $\vartheta_a = +25^\circ\text{C}$

	min.	max.	
$+U_{CC} \dots -U_{CC}$		36	V
U_I	$-U_{CC}$	$+36$	V
U_{LC}	$-U_{CC}$	$+U_{CC}$	V
U_{REF} (pin 14, 15)	$-U_{CC}$	$+U_{CC}$	V
U_{DIF} (pin 14, 15)	-18	+18	V
I_O			mA
I_{REF}		5	mA
P_{tot} 1)		500	mW
\times ($\vartheta_a \geq 100^\circ\text{C}$)		10	mW/K
ϑ_a MDAC08C	-55	+125	$^\circ\text{C}$
MDAC08CC	0	+70	$^\circ\text{C}$
MDAC08EC	0	+70	$^\circ\text{C}$
ϑ_{stg}	-55	+155	$^\circ\text{C}$

1) $\vartheta_a = \vartheta_{min} \dots \vartheta_{max}$

Outlines ● Abmessungen IO—18/C2



Base connection ● Sockelschaltung
 (top view ● Ansicht von oben)

- $B_1 \dots B_8$ logic inputs ● Logische Eingänge
- C compensation ● Kompensation
- U_{LC} logic threshold control input ●
- U_{REF+} reference input positive ● positiver Referenzeingang
- U_{REF-} reference input negative ● negativer Referenzeingang
- I_O analog output ● Analogausgang
- \bar{I}_O inverted analog output ● invertierend Analogausgang
- $+U_{CC}$ supply voltage positive ● positive Speisespannung
- $+U_{CC}$ supply voltage negative ● negative Speisespannung

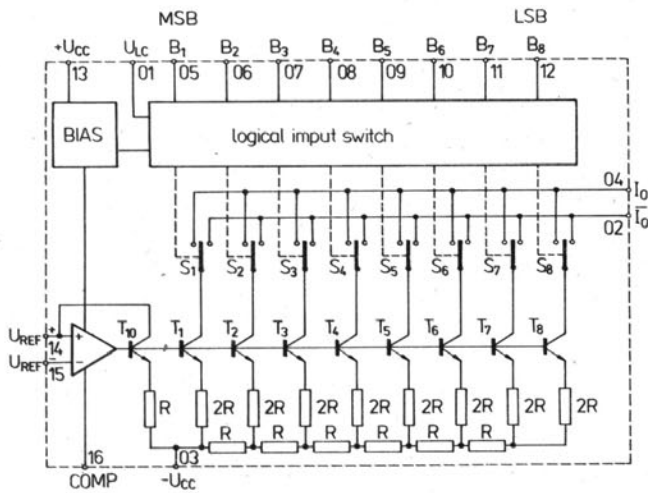
CHARACTERISTIC DATA:

KENNDATEN: $U_{CC} = \pm 15\text{ V}$, unless otherwise noted ● wenn nicht anders angegeben

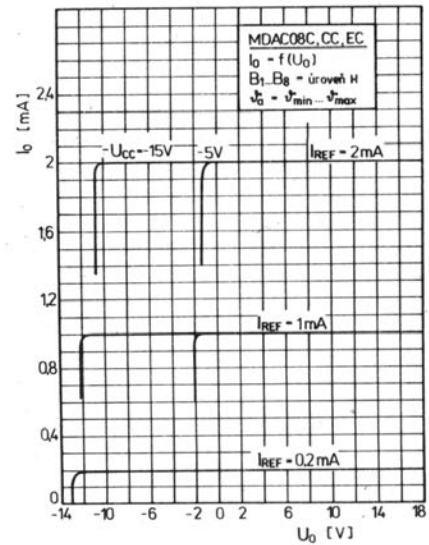
- ★ BASIC DATA:
- ◇ AUXILIARY DATA:

HAUPTDATEN: $\vartheta_a = +25^\circ\text{C}$
HILFSDATEN: MDAC08C — valid at ● gültig bei $-55^\circ\text{C} \leq \vartheta_a \leq +125^\circ\text{C}$
 MDAC08CC, MDAC08EC $0^\circ\text{C} \leq \vartheta_a \leq +70^\circ\text{C}$

			nom.	min.-max.	
★ ◇ Full range symmetry	Ausgangsstrom-Difference				
	$I_{REF} = 2\text{ mA}, R_2 = R_4 = 1\text{ k}\Omega$	MDAC08CC	ΔI_{FS}	$\pm 0,1$	$\leq \pm 8$ μA
			ΔI_{FS}	$\pm 0,2$	$\leq \pm 16$ μA
★ ◇ Zero scale current	Ausgangs-Reststrom				
	$I_{REF} = 2\text{ mA}, R_2 = R_4 = 50\text{ k}\Omega$	MDAC08CC	I_{ZS}	$\pm 0,1$	$\leq \pm 2$ μA
			I_{ZS}	$\pm 0,2$	$\leq \pm 4$ μA
★ ◇ Output current range	Ausgangsstrombereich				
	$+U_{CC} = +15\text{ V}, -U_{CC} = -10\text{ V}, I_{REF} = 3\text{ mA}$		I_{FSR}		$\geq 2,1$ mA
	$+U_{CC} = +15\text{ V}, -U_{CC} = -12\text{ V}, I_{REF} = 5\text{ mA}$		I_{FSR}		$\geq 4,2$ mA
★ ◇ Output voltage compliance	Ausgangsspannungsbereich				
	$\Delta I_O < 1/2\text{ LSB}, R_2 = R_4 \geq 20\text{ M}\Omega$		U_{OC}		$-10 \dots +18$ V
★ ◇ Int. nonlinearity	Int. Nichtlinearität				
	$I_{REF} = 2\text{ mA}$	MDAC08CC	NL		$\leq \pm 0,19$ % FS
			NL		$\leq \pm 0,39$ % FS
★ ◇ Dif. nonlinearity	Dif. Nichtlinearität				
	$I_{REF} = 2\text{ mA}$		DNL		$\leq \pm 1$ LSB
★ ◇ Power supply sensitivity	Empfindlichkeit auf Speisespannungsänderung				
	$U_{CC} = \pm 4,5\text{ V} \dots \pm 18\text{ V}, I_{REF} = 1\text{ mA}$		E_{FS}	$\pm 0,002$	$\leq 0,01$ %/%
★ Settling time	Beruhigungsdauer				
	$I_O < 1/2\text{ LSB}$		t_s	85	≤ 150 ns
★ Propagation delay	Schaltverzögerung				
			t_p	35	≤ 60 ns
★ Reference input slew rate	Flankensteilheit				
			S	8,0	$\geq 4,0$ mA/ μs
◇ Full scale temperature coefficient	Ausgangsspannung-Temperaturkoeffizient				
		MDAC08C, MDAC08CC	TK_{IFS}	± 10	$\leq \pm 80$ $10^{-6}/\text{K}$
		MDAC08EC	TK_{IFS}	± 10	$\leq \pm 50$ $10^{-6}/\text{K}$



Functional diagram ● Funktions-Blockschaltung



Output current I_O vs. output voltage U_O ● Ausgangsstrom I_O in Abhängigkeit von der Ausgangsspannung U_O .

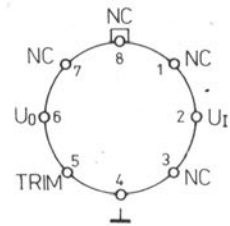
CHARACTERISTIC DATA:

KENNDATEN: $U_{CC} = \pm 15 \text{ V}$, unless otherwise noted ● wenn nicht anders angegeben

			nom.	min.-max.			
★	◇	Supply current positive $U_{CC} = \pm 5 \text{ V}$, $I_{REF} = 1 \text{ mA}$ $+U_{CC} = +5 \text{ V}$, $-U_{CC} = -15 \text{ V}$, $I_{REF} = 2 \text{ mA}$ $I_{REF} = 2 \text{ mA}$	Stromaufnahme positive	$+I_{CC}$	3,2	$\leq 4,0$	mA
				$+I_{CC}$	3,2	$\leq 4,0$	mA
				$+I_{CC}$	3,5	$\leq 4,0$	mA
★	◇	Supply current negative $U_{CC} = \pm 5 \text{ V}$, $I_{REF} = 1 \text{ mA}$ $+U_{CC} = +5 \text{ V}$, $-U_{CC} = -15 \text{ V}$, $I_{REF} = 2 \text{ mA}$ $I_{REF} = 2 \text{ mA}$	Stromaufnahme negative	$-I_{CC}$	5,0	$\leq 6,0$	mA
				$-I_{CC}$	7,2	$\leq 8,0$	mA
				$-I_{CC}$	7,2	$\leq 8,0$	mA
★	◇	Reference bias current $I_{REF} = 2 \text{ mA}$	Eingang-Ruhestrom	$-I_{15}$	1,5	$\leq 3,0$	mA
★	◇	Log. input voltage - L level $U_{LC} = 0 \text{ V}$	Log. Eingangsspannung - L-Zustand	U_{IL}		$\leq 0,8$	V
★	◇	Log. input voltage - H level $U_{LC} = 0 \text{ V}$	Log. Eingangsspannung - H-Zustand	U_{IH}		$\geq 2,0$	V
★	◇	Log. input current - L level $U_{LC} = 0 \text{ V}$, $U_{IL} = -10 \text{ V} \dots +0,8 \text{ V}$	Log. Eingangsstrom - L-Zustand	$-I_{IL}$	5	≤ 10	μA
★	◇	Log. input current - H level $U_{LC} = 0 \text{ V}$, $U_{IH} = +2 \dots +18 \text{ V}$	Log. Eingangsstrom - H-Zustand	I_{IH}	0,01	≤ 10	μA
★	◇	Logic threshold range	Bereich der Schwellenspannung	U_{THR}		$-10 \dots +13,5$	V
★	◇	Logic input voltage swing	Eingangs-Spannungsbereich von log. Eingängen	U_I		$-10 \dots +18$	V
★	◇	Output current range $I_{REF} = 2 \text{ mA}$, $R_2 = R_4 = 1 \text{ k}\Omega$	Ausgangsstrombereich	I_{FS}	1,99	$1,94 \dots 2,04$	V

**INTEGRATED CIRCUITS FOR PRECISION REFERENCE
VOLTAGE SUPPLY +10 V WITH LOW POWER, LOW NOISE
AND HIGH TEMPERATURE STABILITY FOR APPLICATION
IN A/D AND D/A CONVERTER**

**INTEGRIERTE SCHALTKREISE FÜR PRÄZISE
REFERENZ-SPANNUNGSQUELLEN + 10 V MIT NIEDRIGEM
VERBRAUCH, NIEDRIGEM RAUSCHEN UND HOHER
TEMPERATUR-STABILITÄT FÜR APPLIKATIONEN
IN A/D- UND D/A-WANDLER**

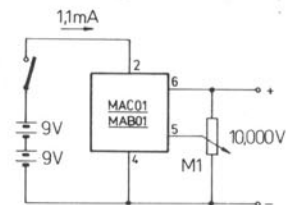


Base connection ● Sockelschaltung
(bottom view ● Ansicht von unten)

MAXIMUM RATINGS ● GRENZDATEN

U_I	max.	40	V
P_{tot} ¹⁾	max.	500	mW
ϑ_a MAC01	min.-max.	-55...+125	°C
MAB01, MAB01D	min.-max.	0...+70	°C
ϑ_{stg}	min.-max.	-55...+155	°C
t_K	max.	indefinite ● unbegrenzt	

¹⁾ At ● bei $\vartheta_a \geq +80$ °C must be derated ● herabsetzen P_{tot}
of ● um 7,1 mW/K



Recommended circuit of precision
calibration standard voltage +10,000 V
Empfohlene Schaltung von Kalibrations-
Spannungsquelle +10,000 V

Outlines ● Abmessungen: IO—6/1

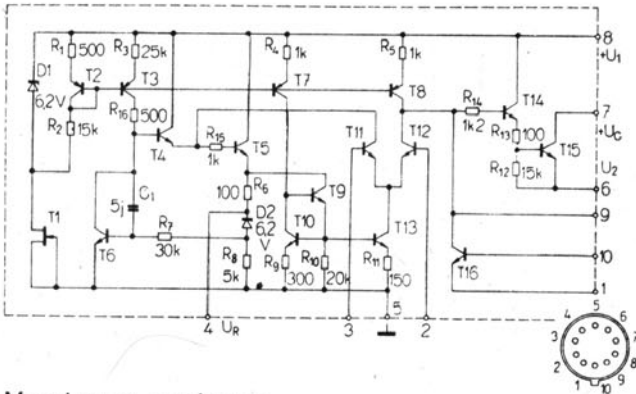
CHARACTERISTIC DATA:

KENNDATEN:

$U_I = +15$ V, $\vartheta_a = 25$ °C, unless otherwise noted
● wenn nicht anders angegeben

BASIC DATA:	HAUPTDATEN:	MAC01, MAB01		MAB01D			
		nom.	min.-max.	nom.	min.-max.		
Output voltage $I_L = 0$ mA	Ausgangsspannung	U_O	10,00	9,95...10,05	10,00	9,85...10,15	V
Output adjustment range $R_p = 10$ k Ω	Ausgangsspannung- Einstellungsbereich	U_{trim}	$\pm 3,3$	$\cong \pm 3,0$	$\pm 3,3$	$\cong \pm 2,0$	V
Input voltage range	Eingangsspannungsbereich	U_I		12...40		12...30	V
Regulation coefficient with change of $U_I = 13...33$ V $I_L = 0...10$ mA	Stabilisierungskoeffizient bei Änderung von	ΔU_{OU}	0,006	$\cong 0,01$	0,012	$\cong 0,04$	%/V
Quiescent supply current $I_L = 0$ mA	Ruhestrom	I_Q	1,0	$\cong 1,4$	1,0	$\cong 2,0$	mA
Load current	Belastungsstrom	I_L	21	$\cong 10$	21	$\cong 8$	mA
Sink current	Strom in Ausgang	I_S	-0,5	$\cong -0,3$	-0,5	$\cong -0,2$	mA
Input noise voltage $f = 0,1...10$ Hz	Eingangs-Rauschstrom	$U_{NM/M}$	20	$\cong 30$	25		μ V
INFORMATION DATA:	INFORMATIONSDATEN:						
MAC01:	$\vartheta_a = -55$ °C...+125 °C						
MAB01, MAB01D:	$\vartheta_a = 0$ °C...+70 °C						
Turn-on settling time $\vartheta_a = 25$ °C	Ausgangs-Beruhigungszeit nach Einschalten	t_{ON}	5,0		5,0		μ s
Short circuit output current $\vartheta_a = 25$ °C, $U_O = 0$ V	Kurzschluss-Ausgangsstrom	I_{OS}	30		30		mA
Change of output voltage temperature coefficient with adjustment	Änderung von Ausgangs- spannungs-Temperatur- Koeffizient mit Einstellung		0,7		0,7		ppm/K

MAA723 21- LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTKEISE
MAA723H 125 PRECISION VOLTAGE REGULATORS ● PRÄZISE SPANNUNGSSTABILISATOREN



Base connection diagram:

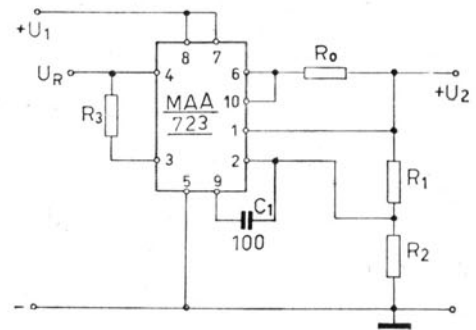
1. Current limit
2. Inverting input
3. Non inverting input
4. Reference voltage
5. Ground (-)
6. Output stabilized voltage U_2
7. Supplying of output transistor $+U_C$
8. Non stabilized input voltage $+U_1$
9. Frequency compensation
10. Current limit

Sockelschaltung:

- Strombegrenzung
 Invertierender Eingang
 Nicht invertierender Eingang
 Referenzspannung
 Erde (-)
 Stabilisierte Ausgangsspannung U_2
 Speisung des Ausgangstransistors $+U_C$
 Nicht stabilisierte Eingangsspannung $+U_1$
 Frequenzkompensation
 Strombegrenzung

Bottom view

Ansicht von unten



U_2	R_1	R_2
9 V	1,87	7,15 k Ω
15 V	7,87	7,15 k Ω
28 V	21	7,15 k Ω

Maximum ratings:
Grenzwerte:

$U_1 \text{ imp (t = 50 ms)}$	max	50	V
U_1	max	40	V
$U_1 - U_2$	max	40	V
I_2	max	150	mA
I_R	max	15	mA
P_{tot}	max	800	mW
	max	700	mW
ϑ_a	max	-55 ... +125	$^{\circ}\text{C}$
ϑ_{stg}	max	-65 ... +155	$^{\circ}\text{C}$

Recommended circuit ● Schaltbeispiel

Output voltage $U_2 = 7 \dots 37 \text{ V}$
 Ausgangsspannung

Outlines ● Abmessungen IO 7

Characteristic data: Kenndaten:

Measured at:
 Gemessen bei:

Line regulation at input voltage change	Empfindlichkeit gegen Eingangsspannungsänderungen	MAA723 MAA723H	ΔU_2 ΔU_2	0,02 0,1	<0,1 ,	$\% U_2$ $\% U_2$	$U_1 = 12 \dots 15 \text{ V}$ $U_2 = 5 \text{ V}, I_2 = 1 \text{ mA}$
Line regulation at input voltage change	Empfindlichkeit gegen Eingangsspannungsänderungen	MAA723 MAA723H	ΔU_2 ΔU_2	0,1 0,4	<0,2 <1	$\% U_2$ $\% U_2$	$U_1 = 12 \dots 40 \text{ V}$ $U_2 = 5 \text{ V}, I_2 = 1 \text{ mA}$
Line regulation at input voltage change in ambient temperature range	Empfindlichkeit gegen Eingangsspannungsänderung im Umgebungstemperaturbereich	MAA723	ΔU_2		<0,3	$\% U_2$	$U_1 = 12 \dots 15 \text{ V}$ $U_2 = 5 \text{ V}, I_2 = 1 \text{ mA}$ $-55^{\circ}\text{C} \leq \vartheta_a \leq +125^{\circ}\text{C}$
Load regulation at load change	Empfindlichkeit gegen Laststromänderungen	MAA723 MAA723H	ΔU_2 ΔU_2	<0,15 <0,3	$\% U_2$ $\% U_2$		$U_1 = 12 \text{ V}, U_2 = 5 \text{ V}$ $I_2 = 1 \dots 50 \text{ mA}$
Load regulation at load change in ambient temperature range	Empfindlichkeit gegen Laststromänderungen im Umgebungstemperaturbereich	MAA723	ΔU_2		<0,6	$\% U_2$	$U_1 = 12 \text{ V}, U_2 = 5 \text{ V}$ $I_2 = 1 \dots 50 \text{ mA}$ $-55^{\circ}\text{C} \leq \vartheta_a \leq +125^{\circ}\text{C}$
Average temperature coefficient of output voltage	Mittlerer Temperaturkoeffizient der Ausgangsspannung	MAA723 MAA723H	$T_K U_2$ $T_K U_2$	0,005 0,01	<0,015	$\% / ^{\circ}\text{C}$ $\% / ^{\circ}\text{C}$	$U_1 = 12 \text{ V}, U_2 = 5 \text{ V}$ $I_2 = 1 \text{ mA}$ $-55^{\circ}\text{C} \leq \vartheta_a \leq +125^{\circ}\text{C}$
Reference voltage	Referenzspannung	MAA723 MAA723H	U_R U_R	7,15 7,15	6,95 ... 7,35 6,8 ... 7,5	V V	$U_1 = 12 \text{ V}, U_2 = 5 \text{ V}$
Standby current drain	Stromaufnahme 1)	MAA723 MAA723H	I_O I_O	2,3	<3,5 <5	mA mA	$U_1 = 30 \text{ V}, I_2 = 0$
Input voltage range	Eingangsspannung		U_1		9,5 ... 40	V	
Output voltage range	Ausgangsspannung		U_2		2 ... 37	V	
Input-output voltage differential	Eingang - Ausgangsspannungsdifferenz		$U_1 - U_2$		3 ... 38	V	

1) Output and reference voltage source without load. ● Ausgangs- und Referenz-Spannungsquelle ohne Last. ● $I_R = 0$.

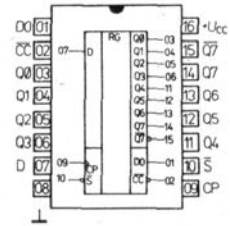
MHB1502, MHC1502: 8 BIT
 MHB1504, MHC1504: 12 BIT

APPROXIMATION REGISTER

WORKING ON GRADUAL APPROXIMATION PRINCIPLE.
 HIS SYSTEM CONTAIN ALL ESSENTIAL DIGITAL CONTROL
 AND MEMORY CIRCUITS FOR CONSTRUCTION OF
 ANALOG/DIGITAL CONVERTERS.

APPROXIMATIONS-REGISTER

ARBEITEN AUF STUFENWEISE APPROXIMATIONS-PRINZIP.
 BAUELEMENT-SYSTEM ENTHÄLT ALLE N JMMERISCHE STEUER-
 UND SPEICHERSCHALTKREISE, WELCHE FÜR KONSTRUKTION
 VON ANALOG/DIGITAL-WANDLER NOTIG SIND.



MHB1502, MHC1502

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.		
U_{CC}	-0,5	+7,0	V	
U_I	-0,5	+5,5	V	
U_O 1)	-0,5	+5,5	V	
I_O		30	mA	
I_I	-30	+5	mA	
ϑ_a	0	+70	°C	
ϑ_{stg}	MHB1502, MHB1504	-55	+125	°C
	MHC1502, MHC1504	-55	+155	°C

1) Output voltage in state of high level U_{Omax} . ● Ausgangsspannung im Zustand von hohen Pegel U_{Omax} .

Outlines ● Abmessungen	MHB1502, MHC1502	MHB1504, MHC1504	IO—14	IO—15
------------------------	------------------	------------------	-------	-------

Base connection ● Sockelschaltung
 (top view ● Ansicht von oben)

D	data input ● Dateneingang
CP	clock input ● Takteingang
S	start input ● Starteingang
$Q_0 \dots Q_7, \overline{Q_7}$	parallel data output ● parallele Datenausgänge
$Q_0 \dots Q_{11}, \overline{Q_{11}}$	parallele Datenausgänge
D_0	serial data output ● Serien-Datenausgang
CC	conversion end output ● Wandlungbeendigungs-Ausgang
E	blocking input ● Sperreingang

CHARACTERISTIC DATA:

KENNDATEN:

MHB1502, MHB1504: $U_{CC} = 4,75 \text{ V} \dots 5,25 \text{ V}$, $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$
 MHC1502, MHC1504: $U_{CC} = 4,5 \text{ V} \dots 5,5 \text{ V}$, $\vartheta_a = -55^\circ\text{C} \dots +125^\circ\text{C}$

STATIC DATA:

STATISCHE KENNDATEN:

			min.-max.	
Input voltage — level L each input	Eingangsspannung — L-Zustand jeder Eingang	U_{IH}	$\geq 2,0$	V
Input voltage — level H each input	Eingangsspannung — H-Zustand jeder Eingang	U_{IL}	$\leq 0,8$	V
Output voltage — level H $U_{CC} = \text{min.}$, $U_{IH} = 2,0 \text{ V}$, $U_{IL} = 0,8 \text{ V}$, $I_{OH} = -0,48 \text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$	V
Output voltage — level L $U_{CC} = \text{min.}$, $U_{IH} = 2,0 \text{ V}$, $U_{IL} = 0,8 \text{ V}$, $I_{OL} = 9,6 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,4$	V
Input current — level H $U_{CC} = \text{max.}$, $U_I = 2,4 \text{ V}$ input CP, D	Eingangsstrom — H-Zustand	I_{IH}	≤ 40	μA
$U_{CC} = \text{max.}$, $U_I = 5,5 \text{ V}$ input S, E	Eingang CP, D Eingang S, E	I_{IH}	≤ 80	μA
$U_{CC} = \text{max.}$, $U_I = 5,5 \text{ V}$ each input	jeder Eingang	I_{IH}	$\leq 1,0$	mA
Input current — level L $U_{CC} = \text{max.}$, $U_I = 0,4 \text{ V}$ input CP, D, S	Eingangsstrom — L-Zustand	$-I_{IL}$	$\leq 1,6$	mA
input E	Eingang CP, D, S Eingang E	$-I_{IL}$	$\leq 1,6$	mA
		$-I_{IL}$	$\leq 2,4$	mA
Output short circuit current $U_{CC} = \text{max.}$	Kurzschlussausgangsstrom	$-I_{OS}$	10 ... 45	mA
Power supply current $U_{CC} = \text{max.}$	Stromaufnahme	I_{CC}	≤ 95	mA
	MHB1502	I_{CC}	≤ 124	mA
	MHB1504	I_{CC}	≤ 85	mA
	MHC1502	I_{CC}	≤ 110	mA
	MHC1504	I_{CC}		
Input clamp voltage $U_{CC} = \text{min.}$, $I_I = -12 \text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1,5$	V

DYNAMIC DATA:

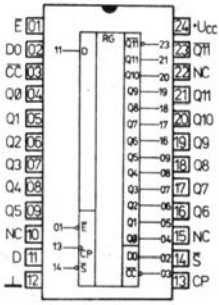
DYNAMISCHE KENNDATEN:

$\vartheta_a = 25^\circ\text{C}$, $U_{CC} = 5 \text{ V}$, $C_L = 15 \text{ pF}$

Propagation delay time from input CP to outputs	Signal-Laufzeit vom Eingang CP auf Ausgänge	t_{PLH}	10 ... 45	ns
		t_{PHL}	10 ... 40	ns
MHB1504, MHC1504 only/nur CP to outputs $Q_{11}, \overline{Q_{11}}$	CP auf Ausgang $Q_{11}, \overline{Q_{11}}$	$t_{PLH}(Q_{11})$	10 ... 50	ns
E to output Q_{11}	E auf Ausgang Q_{11}	$t_{PLH}(E)$	≤ 23	ns
		$t_{PHL}(E)$	≤ 30	ns

MHB1502 MHC1502
MHB1504 MHC1504

LOGIC INTEGRATED CIRCUITS TTL
LOGISCHE INTEGRIERTE SCHALTKREISE TTL
APPROXIMATION REGISTER ● APPROXIMATIONS-REGISTER 8 UND 12 BIT



MHB1504, MHC1504

Base connection ● Sockelschaltung
(top view ● Ansicht von oben)

FUNCTIONS TABLE ● FUNKTIONS-TABELLE

Time Zeit t_n	INPUTS EINGÄNGE		OUTPUTS ● AUSGÄNGE									
	D	\bar{S}	D0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	CC
0	X	L	X	X	X	X	X	X	X	X	X	X
1	D7	H	X	L	H	H	H	H	H	H	H	H
2	D6	H	D7	D7	L	H	H	H	H	H	H	H
3	D5	H	D6	D7	D6	L	H	H	H	H	H	H
4	D4	H	D5	D7	D6	D5	L	H	H	H	H	H
5	D3	H	D4	D7	D6	D5	D4	L	H	H	H	H
6	D2	H	D3	D7	D6	D5	D4	D3	L	H	H	H
7	D1	H	D2	D7	D6	D5	D4	D3	D2	L	H	H
8	D0	H	D1	D7	D6	D5	D4	D3	D2	D1	L	H
9	X	H	D0	D7	D6	D5	D4	D3	D2	D1	D0	L
10	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0	L

MHB1504, MHC1504

Time Zeit t_n	INPUTS EINGÄNGE			OUTPUTS ● AUSGÄNGE													
	D	\bar{S}	\bar{E}	D0	Q11	Q10	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	CC
0	X	L	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1	D11	H	L	X	L	H	H	H	H	H	H	H	H	H	H	H	H
2	D10	H	L	D11	D11	L	H	H	H	H	H	H	H	H	H	H	H
3	D9	H	L	D10	D11	D10	L	H	H	H	H	H	H	H	H	H	H
4	D8	H	L	D9	D11	D10	D9	L	H	H	H	H	H	H	H	H	H
5	D7	H	L	D8	D11	D10	D9	D8	L	H	H	H	H	H	H	H	H
6	D6	H	L	D7	D11	D10	D9	D8	D7	L	H	H	H	H	H	H	H
7	D5	H	L	D6	D11	D10	D9	D8	D7	D6	L	H	H	H	H	H	H
8	D4	H	L	D5	D11	D10	D9	D8	D7	D6	D5	L	H	H	H	H	H
9	D3	H	L	D4	D11	D10	D9	D8	D7	D6	D5	D4	L	H	H	H	H
10	D2	H	L	D3	D11	D10	D9	D8	D7	D6	D5	D4	D3	L	H	H	H
11	D1	H	L	D2	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	L	H	H
12	D0	H	L	D1	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	L	H
13	X	H	L	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
14	X	X	L	X	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
15	X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC

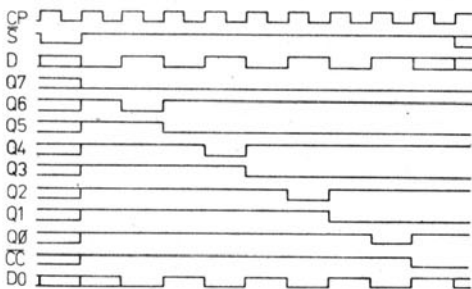
H — level H ● H-Zustand
L — level L ● L-Zustand
X — irrelevant level H or L ● beliebiger Zustand
NC — state without change ● Zustand ohne Änderung

RECOMMENDED WORKING
CONDITIONS ● EMPFOHLENE
BETRIEBSBEDINGUNGEN

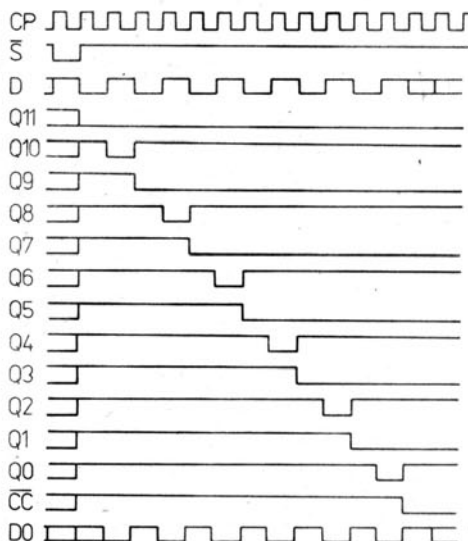
	min.	nom.	max.	
MHB1502, MHB1504 U_{CC}	4,75	5,0	5,25	V
MHC1502, MHC1504 U_{CC}	4,5	5,0	5,5	V
Input ● S t_{setup} H	0			ns
Eingang S t_{setup} L	16			ns
D t_{setup}	10			ns
Input ● Eingang S t_{hold} L	0			ns
D t_{hold}	10			ns
Clock pulse width ● Taktimpulsbreite				
t_{wL}	46			ns
t_{wH}	20			ns
Clock frequency ● Taktfrequency		15		MHz

FUNCTION DIAGRAM ● FUNKTIONSDIAGRAM

MHB1502, MHC1502



MHB1504, MHC1504



LINEAR INTEGRATED CIRCUITS • LINEARE INTEGRIERTE SCHALTkreISE
POSITIVE VOLTAGE POWER REGULATORS
POSITIV-SPANNUNGSREGLERS 5, 12, 15, 24 V / 1 A

MA7805 MA7815
 MA7812 MA7824

Maximum ratings • Grenzwerte

Input voltage MA7805, MA7812, MA7815 MA7824	Eingangsspannung	U_I	max	35	V
		U_I	max	40	V
Power dissipation	Verlustleistung	P_W	max	internally limited innen begrenzt	W
Junction temperature range	Sperrschichttemperaturbereich	ϑ_j	max	0 ... +125	°C
Storage temperature range	Lagertemperaturbereich	ϑ_{stg}	max	-55 ... +155	°C
Thermal resistance junction - case	Wärmewiderstand System-Gehäuse	R_{thjc}	max	4	K/W
junction - ambient	System-Umgebung	R_{thja}	max	35	K/W

1 starting circuit Startkreis
 2 reference voltage Referenzspannung
 3 current source Stromquelle
 4 error amplifier Fehlerverstärker
 5 thermal shut-down Thermische Absschaltung
 6 current protection Stromschutzschaltung
 7 protection against secondary breakdown Schutzschaltung gegen Sekundärdurchbruch

Characteristic data • Kenndaten

Outlines • Abmessungen IO 11

0 °C < ϑ_j < +125 °C, (unless otherwise noted) • (wenn nicht anders angegeben)

MA7805

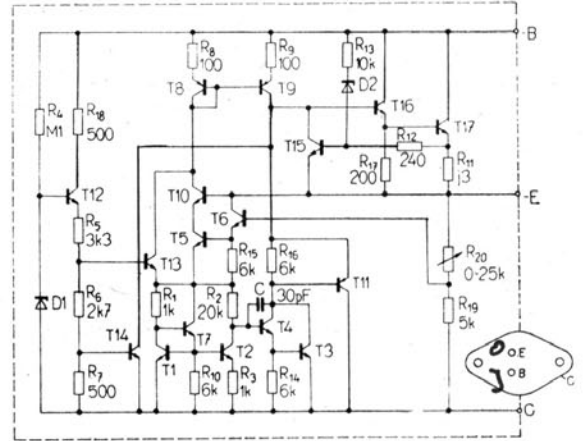
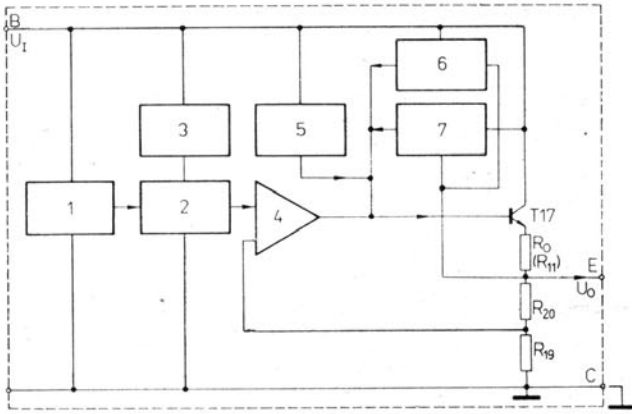
Valid at • Gültig bei

$U_I = 10 \text{ V}, I_O = 500 \text{ mA}$

Output voltage $\vartheta_j = 25^\circ\text{C}$	Ausgangsspannung	U_O	nom.	5,0	min. - max.	4,8 ... 5,2	V
Line regulation $\vartheta_j = 25^\circ\text{C}, 7 \text{ V} < U_I < 25 \text{ V}$	Netzregelung	ΔU_O		3,0		< 100	mV
$\vartheta_j = 25^\circ\text{C}, 8 \text{ V} < U_I < 12 \text{ V}$		ΔU_O		1,0		< 50	mV
$\vartheta_j = 25^\circ\text{C}, 14,5 \text{ V} < U_I < 30 \text{ V}$		ΔU_O		—		—	mV
$\vartheta_j = 25^\circ\text{C}, 16 \text{ V} < U_I < 22 \text{ V}$		ΔU_O		—		—	mV
$\vartheta_j = 25^\circ\text{C}, 17,5 \text{ V} < U_I < 30 \text{ V}$		ΔU_O		—		—	mV
$\vartheta_j = 25^\circ\text{C}, 20 \text{ V} < U_I < 26 \text{ V}$		ΔU_O		—		—	mV
$\vartheta_j = 25^\circ\text{C}, 27 \text{ V} < U_I < 38 \text{ V}$		ΔU_O		—		—	mV
$\vartheta_j = 25^\circ\text{C}, 30 \text{ V} < U_I < 36 \text{ V}$		ΔU_O		—		—	mV
Load regulation $\vartheta_j = 25^\circ\text{C}, 5 \text{ mA} < I_O < 1,5 \text{ A}$	Lastregelung	ΔU_O		15		< 100	mV
$\vartheta_j = 25^\circ\text{C}, 250 \text{ mA} < I_O < 750 \text{ mA}$		ΔU_O		5,0		< 50	mV
Output voltage - $P \leq 15 \text{ W}$ 7 V < U_I < 20 V, 5 mA < I_O < 1 A	Ausgangsspannung - $P \leq 15 \text{ W}$	U_O		—		4,75 ... 5,25	V
14,5 V < U_I < 27 V, 5 mA < I_O < 1 A		U_O		—		—	V
17,5 V < U_I < 30 V, 5 mA < I_O < 1 A		U_O		—		—	V
27,5 V < U_I < 38 V, 5 mA < I_O < 1 A		U_O		—		—	V
Quiescent current $\vartheta_j = 25^\circ\text{C}$	Ruhestrom	I_Q		4,2		< 8,0	mA
Quiescent current range 7 V < U_I < 25 V	Ruhestromänderung	ΔI_Q		—		< 1,3	mA
14,5 V < U_I < 30 V		ΔI_Q		—		—	mA
17,5 V < U_I < 30 V		ΔI_Q		—		—	mA
27 V < U_I < 38 V		ΔI_Q		—		—	mA
5 mA < I_O < 1 A		ΔI_Q		—		< 0,5	mA
Output noise voltage $\vartheta_j = 25^\circ\text{C}, 10 \text{ Hz} < f < 100 \text{ kHz}$	Ausgangsrauschspannung	U_{ON}		4,0		—	μV
Long term stability	Langzeitstabilität	ΔU_{OT}		—		< 20	mV
Ripple rejection f = 100 Hz, 8 V < U_I < 18 V	Brummunterdrückung	SVR		78		> 62	dB
f = 100 Hz, 15 V < U_I < 25 V		SVR		—		—	dB
f = 100 Hz, 18,5 V < U_I < 28,5 V		SVR		—		—	dB
f = 100 Hz, 28 V < U_I < 38 V		SVR		—		—	dB
Dropout voltage $I_O = 1 \text{ A}, \vartheta_j = 25^\circ\text{C}$	Abfallspannung	$(U_I - U_O)_{\min}$		2,0		—	V
Output resistance f = 1 kHz	Ausgangswiderstand	R_O		17		—	m Ω
Short circuit current limit $\vartheta_j = 25^\circ\text{C}$	Ausgangs-Kurzschluss-Strombegrenzung	I_{OS}		750		—	mA
Output peak current $\vartheta_j = 25^\circ\text{C}$	Ausgangsspitzenstrom	I_{OP}		2,2		—	A
Average temperature coefficient of output voltage $I_O = 5 \text{ mA}, 0^\circ\text{C} < \vartheta_j < +125^\circ\text{C}$	Mittl. Temperaturkoeffizient von Ausgangsspannung	T_K		-1,1		—	mV/K

MA7805 MA7815
MA7812 MA7824

LINEAR INTEGRATED CIRCUITS ● LINEARE INTEGRIERTE SCHALTkreISE
POSITIVE VOLTAGE POWER REGULATORS
POSITIV-SPANNUNGSREGLER 5, 12, 15, 24 V / 1 A



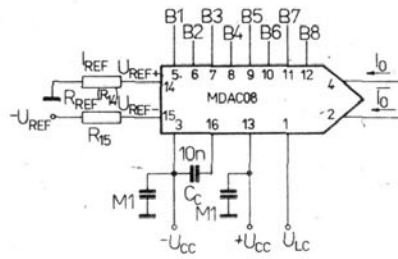
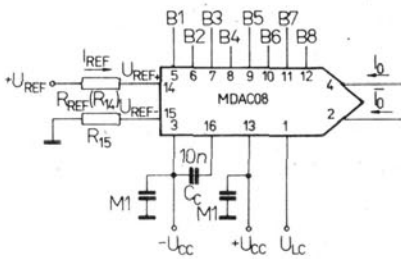
MA7812

MA7815

MA7824

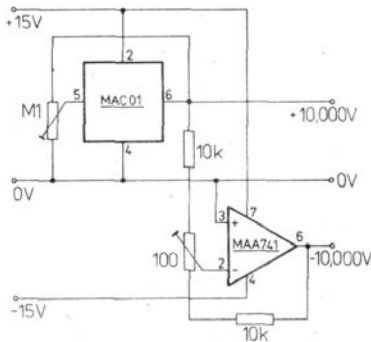
	$U_I = 19 \text{ V}, I_O = 500 \text{ mA}$			$U_I = 23 \text{ V}, I_O = 250 \text{ mA}$			$U_I = 33 \text{ V}, I_O = 500 \text{ mA}$			V
	nom.	min.	max.	nom.	min.	max.	nom.	min.	max.	
U_O	12,0	11,5	12,5	15,0	14,4	15,6	24	23	25	
ΔU_O	—	—	—	—	—	—	—	—	—	mV
ΔU_O	10	< 240	—	—	—	—	—	—	—	mV
ΔU_O	3,0	< 120	—	—	—	—	—	—	—	mV
ΔU_O	—	—	—	11	< 300	—	—	—	—	mV
ΔU_O	—	—	—	3,0	< 150	—	—	—	—	mV
ΔU_O	—	—	—	—	—	—	18	< 480	—	mV
ΔU_O	—	—	—	—	—	—	6,0	< 240	—	mV
ΔU_O	—	—	—	—	—	—	—	—	—	mV
ΔU_O	12	< 240	—	12	< 150	—	12	< 480	—	mV
ΔU_O	4,0	< 120	—	4,0	< 75	—	4,0	< 240	—	mV
U_O	—	—	—	—	—	—	—	—	—	V
U_O	—	11,4	12,6	—	—	—	—	—	—	V
U_O	—	—	—	—	14,25	15,75	—	—	—	V
U_O	—	—	—	—	—	—	—	22,8	25,2	V
I_Q	4,3	< 8,0	—	4,4	< 8,0	—	4,6	< 8,0	—	mA
ΔI_Q	—	—	—	—	—	—	—	—	—	mA
ΔI_Q	—	< 1,0	—	—	—	—	—	—	—	mA
ΔI_Q	—	—	—	—	< 1,0	—	—	—	—	mA
ΔI_Q	—	—	—	—	—	—	—	< 1,0	—	mA
ΔI_Q	—	< 0,5	—	—	< 0,5	—	—	< 0,5	—	mA
U_{ON}	75	—	—	90	—	—	170	—	—	μV
ΔU_{OT}	—	< 48	—	—	< 60	—	—	< 96	—	mV
SVR	—	—	—	—	—	—	—	—	—	dB
SVR	71	> 55	—	—	—	—	—	—	—	dB
SVR	—	—	—	70	> 54	—	—	—	—	dB
SVR	—	—	—	—	—	—	66	> 50	—	dB
$(U_I - U_O) \text{ min}$	2,0	—	—	2,0	—	—	2,0	—	—	V
R_O	18	—	—	19	—	—	28	—	—	$\text{m}\Omega$
I_{OS}	350	—	—	230	—	—	150	—	—	mA
I_{OP}	2,2	—	—	2,1	—	—	2,1	—	—	A
T_K	-1,0	—	—	-1,0	—	—	-1,5	—	—	mV/K

DESIGN EXAMPLES OF ANALOG LOGICAL INTEGRATED CIRCUITS
SCHALTBEISPIELE VON ANALOG-LOGISCHEN INTEGRIERTEN SCHALTKREISEN



Typical connection of D/A converter MDAC08 with positive and negative reference voltage.

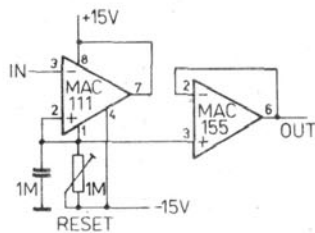
Typische Schaltung von D/A-Wandler MDAC08 mit positive und negative Referenzspannung.



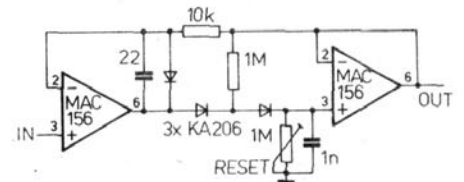
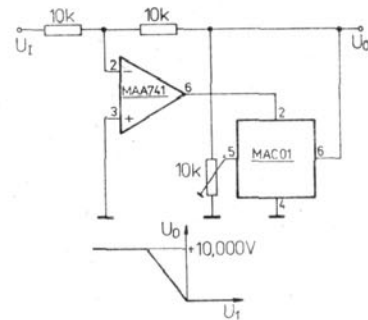
Dual reference voltage source $\pm 10,000$ V.

Doppel Referenz-Spannungsquelle $\pm 10\,000$ V.

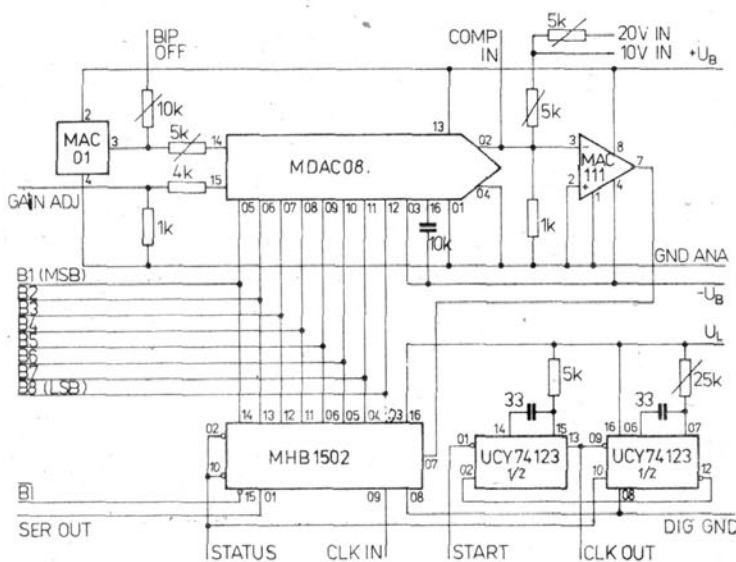
Precision limiter.
Präzisions-Begrenzer.



Simple peak detector.
Einfacher Spitzendetektor.



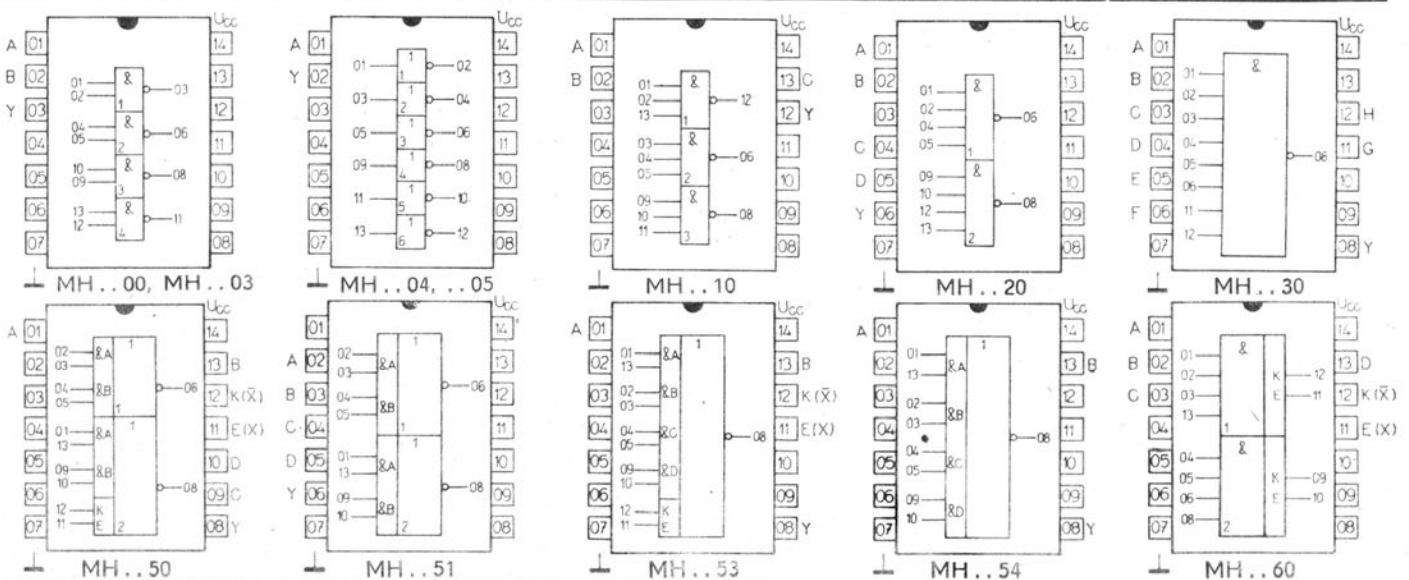
High speed peak detector.
Schneller Spitzendetektor.



Typical connection of approximation A/D converter 8 bit.

Typische Schaltung von Approximations-A/D-Wandler 8 bit.

Type Typ	Feature	Art	Log. function Log. Funktion	Outlines Abmessungen
MH7400 13,50	MH8400 MH5400	Quadruple 2-input positive NAND gate	Vier NAND-Gatter mit je zwei Eingängen $Y = \overline{AB}$	IO 13
MH7403 13,50	MH8403 MH5403	Quadruple 2-input positive NAND gate with open collector outputs	Vier NAND-Gatter mit je zwei Eingängen und offenem Kollektor $Y = \overline{AB}$	IO 13
MH7404	MH8404 MH5404	Hex inverters	Sechsfach Inverter $Y = \overline{A}$	IO 13
MH7405	MH8405 MH5405	Hex inverters with open collector outputs	Sechsfach Inverter mit offenem Kollektor $Y = \overline{A}$	IO 13
MH7410	MH8410 MH5410	Triple 3-input positive NAND gate	Drei NAND-Gatter mit je drei Eingängen $Y = \overline{ABC}$	IO 13
MH7420	MH8420 MH5420	Dual 4-input positive NAND gate	Zwei NAND-Gatter mit je vier Eingängen $Y = \overline{ABCD}$	IO 13
MH7430	MH8430 MH5430	8-input positive NAND gate	NAND-Gatter mit acht Eingängen $Y = \overline{ABCDEFGH}$	IO 13
MH7437	MH8437 MH5437	Quadruple 2-input positive NAND buffer	Vier NAND-Leistungsgatter mit je zwei Eingängen $Y = \overline{AB}$	IO 13
MH7438	MH8438 MH5438	Quadruple 2-input positive NAND buffer with open collector outputs	Vier NAND-Leistungsgatter mit je zwei Eingängen und offenem Kollektor $Y = \overline{AB}$	IO 13
MH7440	MH8440 MH5440	Dual 4-input positive NAND buffer	Zwei NAND-Leistungsgatter mit je vier Eingängen $Y = \overline{ABCD}$	IO 13
MH7450	MH8450 MH5450	Expandable dual 2-wide 2-input AND-OR-INVERT gate	Zwei AND-OR-INVERT Gatter mit Erweiterungsmöglichkeit durch Expander $Y = \overline{(AB) + (CD) + X}$ $X = \overline{ABCD}$ from - aus MH..60	IO 13
MH7451	MH8451 MH5451	Dual positive AND-OR-INVERT gate	Zwei positive AND-OR-INVERT Gatter $Y = \overline{AB + CD}$	IO 13
MH7453	MH8453 MH5453	Expandable 4-wide 2-input AND-OR-INVERT gate	AND-OR-INVERT Erweiterungs-Gatter $Y = \overline{(AB) + (CD) + (EF) + (GH) + X}$ $X = \overline{ABCD}$ from - aus MH..60	IO 13
MH7454	MH8454 MH5454	positive AND-OR-INVERT gate	Positive AND-OR-INVERT Gatter $Y = \overline{AB + CD + EF + GH}$	IO 13
MH7460	MH8460 MH5460	Dual 4-input expander	Zwei Expander mit je vier Eingängen $X = \overline{ABCD}$	IO 13 when connected to pins 11 and 12 of MH..50 or MH..53 wenn Expander an Stift 11 u. 12 der Typen MH..50 oder MH..53 angeschlossen ist.
MH7472	MH8472 MH5472	J-K Master-Slave Flip-Flop	J-K Master-Slave-Flipflop	See truth table Siehe logisches Verhalten IO 13
MH7474	MH8474 MH5474	Dual D-type edge-triggered Flip-Flop	Zwei D-Flipflop	See truth table Siehe logisches Verhalten IO 13



MAXIMUM RATINGS • GRENZDATEN

		MH74	MH84	MH54	
Supply voltage	Betriebsspannung	U_{CC} max. +7	+7	+7	V
Input voltage	Eingangsspannung	U_I max. +5,5	+5,5	+5,5	V
Recommended working voltage	Empfohlene Betriebsspannung	U_{CC} 4,75 ... 5,25	4,75 ... 5,25	4,5 ... 5,5	°C
Operating temperature range	Betriebstemperatur	ϑ_a 0 ... +70	-25 ... +85	-55 ... +125	°C
Storage temperature	Lagertemperatur	ϑ_{stg} -55 ... +155	-55 ... +155	-55 ... +155	°C

ELECTRICAL CHARACTERISTICS FOR GATES AND INVERTORS • KENNDATEN FÜR GATTER UND INVERTOREN:

Noise margin	Statische Störsicherheit			1	V
Fan-out from each output MH..40	Ausgangsfächer pro Gatter MH..40		N	10	
			N	30	
Mean dissipation power on each gate MH..40	Mittlerer Leistungsverbrauch pro Gatter MH..40		P	10	mW
			P	25	mW
Input voltage – H level required at all input terminals to ensure L level at output	Eingangsspannung, H-Zustand, welche nötig ist, an alle Eingänge zuzuführen, damit an den Ausgängen Pegel L-Zustand sein wird	U_{IH}	min.	2	V
Input voltage – L level required at all input terminals to ensure H level at output	Eingangsspannung, L-Zustand, welche an einen der Eingänge zuzuführen ist, damit am Ausgang Pegel H-Zustand sein wird	U_{IL}	max.	0,8	V
Output voltage – H level	Ausgangsspannung, H-Zustand	U_{OH}	min.	2,4	V
Output voltage – L level	Ausgangsspannung, L-Zustand	U_{OL}	max.	0,4	V
Input clamp voltage $U_{CC} = 4,75$ V, $I_I = -12$ mA	Eingangsklemmspannung MH..03, ..04, ..05, ..37, ..38, ..51, ..54	$-U_D$		< 1,5	V
Input current – L level (each input)	Eingangsstrom, L-Zustand (pro Eingang)	I_{IL}	max.	1,6	mA
Input current – H level (each input) $U_{IH} = 2,4$ V $U_{IH} = 5,5$ V	Eingangsstrom, H-Zustand (pro Eingang)	I_{IH}	max.	40	μ A
		I_{IH}	max.	1	mA
Short-circuit output current MH..37, MH..40	Kurzschlussausgangsstrom MH..37, MH..40	I_{OS}		18 – 55	mA
		I_{OS}		18 – 70	mA
Supply current – L level each gate or inverter MH..37, MH..38, MH..40 MH..50, MH..51 MH..53, MH..54 MH..60 MH..72 *) MH..74 *)	Stromaufnahme L-Zustand pro Gatter oder Invertor	I_{CCL}		3	< 3,7
		I_{CCL}			< 13,5
		I_{CCL}		3	< 7
		I_{CCL}		5,1	< 9,5
		I_{CCL}		1,2	< 2,5
		I_{CC}		10	< 20
		I_{CC}		17	< 30
Supply current – H level each gate or inverter MH..37, MH..40, MH..50, MH..51 MH..38 MH..53, MH..54	Stromaufnahme H-Zustand pro Gatter oder Invertor	I_{CCH}		1	< 2
		I_{CCH}		2	< 4
		I_{CCH}			< 2,1
		I_{CCH}		4	< 8

Remark:

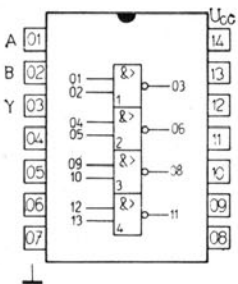
Values valid in whole operating temperature range and at worst working conditions at working voltage in recommended range.

*) Total supply consumption.

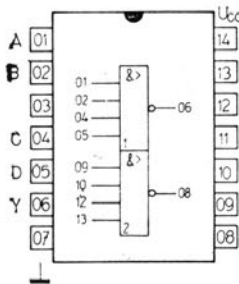
Bemerkung:

Alle Werte gelten im ganzen Bereich der Betriebstemperaturen und bei schlechtesten Betriebsbedingungen bei Betriebsspannung im empfohlenen Bereich.

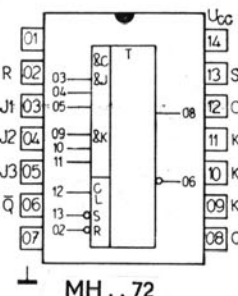
*) Gesamte Stromaufnahme.



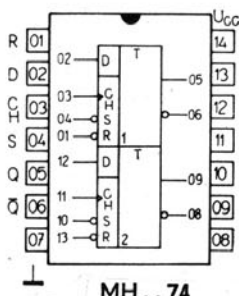
MH..37, ..38



MH..40



MH..72



MH..74

CHARACTERISTIC DATA • KENNDATEN

J-K FLIP-FLOP MH7472, MH8472, MH5472

N	1 ... 10	
$t_w(CL)$	≥ 20	ns
$t_w(S)$	≥ 25	ns
$t_w(R)$	≥ 25	ns
t_{setup}	\geq applied clock pulse width	
	\geq Taktimpulsdauer	
t_{hold}	≥ 0	

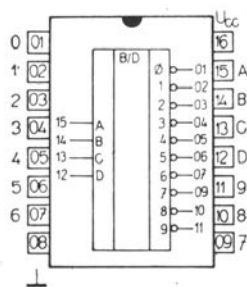
D FLIP-FLOP MH7474, MH8474, MH5474

N	max. 10	
$t_w(CH)$	30	ns
$t_w(S)$	30	ns
$t_w(R)$	30	ns
f_{CH}	25 μ A \geq 15	MHz
t_{setup}	15 μ A \geq 20	ns
t_{hold}	2 μ A \geq 5	ns

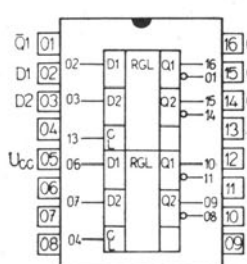
Values of level H, level L and input currents are equal as at other gates. Pegelwerte der H- und L-Zuständen und Eingangsstromwerten sind die gleichen wie bei Gattern.

Truth table – p. 148 • Logisches Verhalten S. 148

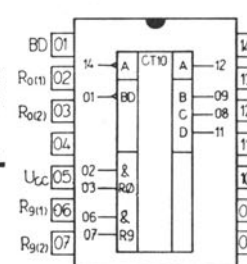
Type Typ	Feature	Art	Outlines Abmessungen		
MH7442	MH8442	MH5442	BCD — to decimal decoder without driver transistors; all inputs are equipped with clamped diodes	BCD — Dezimal-Dekoder ohne Treiber-Transistoren; alle Eingänge sind mit Klemmdioden ausgestattet	IO 14
MH7475	—	—	Quadruple bistable latch for temporary storage of binary information, dual master-slave flip-flop	Vierfach-Speicher Flipflop 4-Bit Zwischenspeicher für Binärinformationen	IO 14
MH7490A 17,50	MH8490A	MH5490A	Decimal counter in BCD code, divide-by-ten counter, divide-by-five counter all inputs are equipped with clamp diodes	Binär codierte Zähldekade, Teiler durch zehn, Teiler durch fünf alle Eingänge sind mit Klemmdioden ausgestattet	IO 13
MH7493A	MH8493A	MH5493A	4-bit ripple counter, 3-bit ripple counter all inputs are equipped with clamp diodes	4-Bit Dualzähler 3-Bit Dualzähler alle Eingänge sind mit Klemmdioden ausgestattet	IO 13
MH7496	MH8496	MH5496	5-bit shift register for serial to — parallel converter, parallel — to — serial converter, storage register	5-Bit-Schieberegister für Serien-Parallel-Umsetzer, Parallel-Serien-Umsetzer, Speicher	IO 14
MH74141	—	—	BCD — to — decimal decoder with driver for directly drives of gas-filled cold-cathode indicator tubes (nixie, digitrons)	BCD — Dezimal-Dekoder und Treiber mit Hochsperrenden Treiber-Transistoren für das direkte Ansteuern von Ziffernanzeigeröhren	IO 14
MH74150	MH84150	MH54150	Sixteen channel multiplexer for selection of one-of-sixteen data sources	16-Bit-Datenselektor / Multiplexer	IO 15
MH74151	MH84151	MH54151	Eight channel multiplexer for selection of one-of-eight data sources	8-Bit-Datenselektor / Multiplexer	IO 14
MH74154	MH84154	MH54154	BCD — to — one of sixteen decoder and demultiplexer with data select inputs A, B, C, D, strobe inputs G1, G2, and sixteen outputs 1 to 16	4-Bit-Binär Dekoder / Demultiplexer mit Datenselektions-Eingängen A, B, C, D, Strobe-Eingängen G1, G2 und sechzehn Ausgängen 1 bis 16	IO 15
MH74164	MH84164	MH54164	8-bit shift register with gated (enable/disable) serial inputs and asynchronous clear	8-Bit-Schieberegister mit Dateneingabe seriell, Datenausgabe parallel, Gegentakt - Ausgängen und asynchronene Rückstellung	IO 13
MH74192 30,00	MH84192	MH54192	Synchronous 4-bit reversible (up/down) BCD counter with dual clock with clear	Synchroner dekadischer BCD Vorwärts — Rückwärts-Zähler mit getrennten Takteingängen	IO 14
MH74193	MH84193	MH54193	Synchronous 4-bit reversible (up/down) binary counter with dual clock with clear	Synchroner binär Vorwärts — Rückwärts-Zähler mit getrennten Takteingängen	IO 14



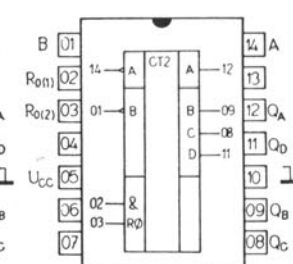
MH...42



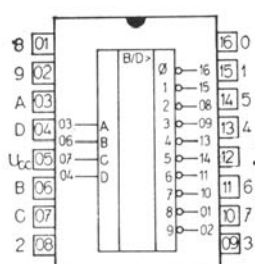
MH...75



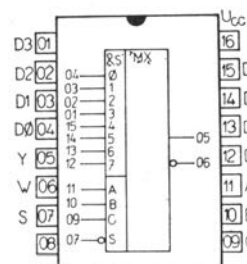
MH...90A



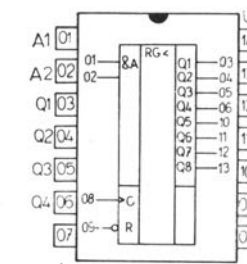
MH...93A



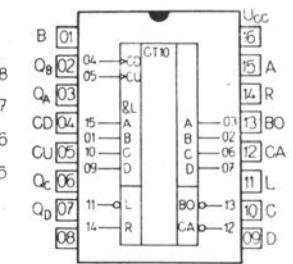
MH...141



MH...151



MH...164



MH...192

MAXIMUM RATINGS • GRENZDATEN

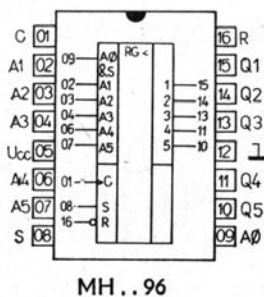
		MH74	MH84	MH54	
Supply voltage	Betriebsspannung	U_{CC} max +7	+7	+7	V
Input voltage	Eingangsspannung	U_I max +5,5	+5,5	+5,5	V
Recommended working voltage	Empfohlene Betriebsspannung	U_{CC} 4,75 .. 5,25	4,75 .. 5,25	4,5 .. 5,5	V
Operating temperature range	Betriebstemperatur	ϑ_a 0 ... +70	-25 ... +85	-55 ... +125	°C
Storage temperature	Lagertemperatur	ϑ_{stg} -55 ... +155	-55 ... +155	-55 ... +155	°C

RECOMMENDED WORKING CONDITIONS • EMPFOHLENE BETRIEBSWERTE

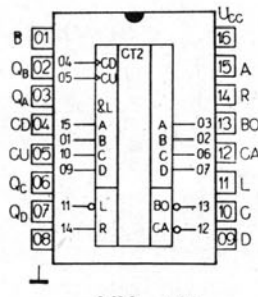
Fan-out from each gate	Ausgangsfächer pro Gatter	N_L	N_H
MH .. 42		max. 10	max. 20
MH .. 90A		max. 10	
MH .. 93A			
MH .. 96		max. 10	max. 10
MH .. 150, MH .. 151, MH .. 154		max. 10	max. 20
MH .. 164		max. 5	max. 10
MH .. 192, MH .. 193, MH .. 75		N	max. 10
Power dissipation	Leistungsverbrauch	P	mW
MH .. 42		140	
MH .. 90A		145	
MH .. 93A		130	
MH .. 96		240	
MH .. 150		200	
MH .. 151		145	
MH .. 154		170	
MH .. 164		168	
MH .. 192, MH .. 193		325	

ELECTRICAL CHARACTERISTIC • KENNDATEN

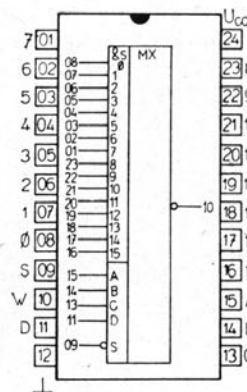
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	> 2	V
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	< 0,8	V
Output voltage — level H	Ausgangsspannung — H-Zustand	U_{OH}	> 2,4	V
Output voltage — level L	Ausgangsspannung — L-Zustand	U_{OL}	< 0,4	V
Input clamp voltage (beside MH .. 75)	Eingangsklemmspannung (ausser MH .. 75)	$-U_I$	< 1,5	V
$U_{CC} = 4,75$ V, MH54 : $U_{CC} = 4,5$ V; $I_I = -12$ mA				
Short circuit supply current	Kurzschlusseingangsstrom	$-I_{OS}$	18 ... 57	mA
MH7475, MH .. 90A, MH .. 93A				
$U_{CC} = 5,25$ V, $U_{IL} = 0,8$ V				
MH54 : $U_{CC} = 5,5$ V, $U_{IL} = 0,8$ V			20 ... 57	mA



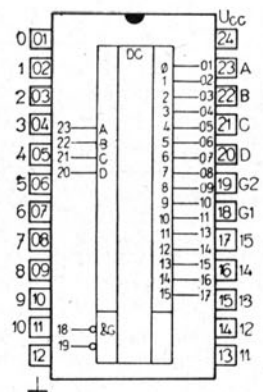
MH .. 96



MH .. 193



MH .. 150



MH .. 154

ELECTRICAL CHARACTERISTICS ● KENNDATEN

Values of level H, L of inputs and outputs are equal as at gates.
 Pegelwerte der H- und L-Zuständen von Eingängen und Ausgängen sind die gleichen wie bei Gattern.

Input current — H level D input	Eingangsstrom — H-Zustand Eingang D	$\vartheta_a = 0 \dots +70^\circ\text{C}$	
$U_{CC} = 5,25\text{ V}, U_{IL} = 2,4\text{ V}$ $U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}$		I_{IH}	< 80 μA
		I_{IH}	< 1 mA
Input current — H level CL input	Eingangsstrom — H-Zustand Takteingang CL		
$U_{CC} = 5,25\text{ V}, U_{IL} = 2,4\text{ V}$ $U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}$		I_{IH}	< 160 μA
		I_{IH}	< 1 mA
Input current — L level D input	Eingangsstrom — L-Zustand Eingang D		
$U_{CC} = 5,25\text{ V}, U_I = 0,4\text{ V}$		$-I_{IL}$	< 3,2 mA
Input current — L level CL input	Eingangsstrom — L-Zustand Takteingang CL		
$U_{CC} = 5,25\text{ V}$		$-I_{IL}$	< 6,4 mA
Supply current	Speisestrom		
$U_{CC} = 5,25\text{ V}$		I_{CC}	< 53 mA

SWITCHING CHARACTERISTICS: ● DYNAMISCHE DATEN:

$U_{CC} = 5\text{ V}, \vartheta_a = 25^\circ\text{C}, N = 10, C_L = 15\text{ pF}, R_L = 400\ \Omega$

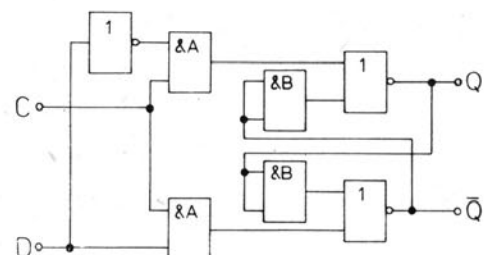
Input setup time min. H-level input D L-level input D	Eingangsvoreilung H-Zustand, Eingang D L-Zustand, Eingang D	$t_{setup\ H}$ $t_{setup\ L}$	< 20 < 20	ns ns
Input hold time max. H-level input D L-level input D	Eingangsversetzung H-Zustand, Eingang D L-Zustand, Eingang D	$t_{hold\ H}$ $t_{hold\ L}$	> 0 > 0	ns ns
Propagation delay time on H-level from input D to output Q on L-level from input D to output Q on H-level from input D to output \bar{Q} on L-level from input D to output \bar{Q} on H-level from clock on output Q on L-level from clock on output Q on H-level from clock on output \bar{Q} on L-level from clock on output \bar{Q}	Signal-Laufzeit auf H-Zustand vom Eingang D an Ausgang Q L-Zustand vom Eingang D an Ausgang Q H-Zustand vom Eingang D an Ausgang \bar{Q} L-Zustand vom Eingang D an Ausgang \bar{Q} H-Zustand vom Takteingang an Ausgang Q L-Zustand vom Takteingang an Ausgang Q H-Zustand vom Takteingang an Ausgang \bar{Q} L-Zustand vom Takteingang an Ausgang \bar{Q}	$t_{PLH\ (D-Q)}$ $t_{PHL\ (D-Q)}$ $t_{PLH\ (D-\bar{Q})}$ $t_{PHL\ (D-\bar{Q})}$ $t_{PLH\ (H-Q)}$ $t_{PHL\ (H-Q)}$ $t_{PLH\ (H-\bar{Q})}$ $t_{PHL\ (H-\bar{Q})}$	< 30 < 25 < 40 < 15 < 30 < 15 < 30 < 15	ns ns ns ns ns ns ns ns

TRUTH TABLE ● LOGISCHES VERHALTEN

t_n	$t_n + 1$
INPUT	OUTPUT
D	Q
H	H
L	L

t_n — bit time before clock pulse
 Zeitpunkt vor dem Taktimpuls
 $t_n + 1$ — bit time after clock pulse
 Zeitpunkt nach dem Taktimpuls

BLOCK DIAGRAM ● BLOCKSCHALTUNG



MH . . 90A
MH . . 93A

LOGIC INTEGRATED CIRCUITS TTL MSI
LOGISCHE INTEGRIERTE SCHALTKREISE TTL MSI
DECIMAL AND BINARY COUNTER ● DEZIMAL- UND BINÄRZÄHLER

RECOMMENDED OPERATING CONDITIONS ●

EMPFOHLENE BETRIEBSDATEN

Input count frequency	Eingangszählfrequenz			
A input	Eingang A	f_{count}	0 32	MHz
B input	Eingang B	f_{count}	0 16	MHz
Pulse width	Zählimpulsdauer			
A input	Eingang A	t_w	> 15	ns
B input	Eingang B	t_w	> 30	ns
reset inputs	Rückstelleingänge	t_w	> 15	ns
Reset inactive-state setup	Rückstell-Eingangsvoreilung	t_{setup}	> 25	ns

ELECTRICAL CHARACTERISTICS

KENNDATEN

MH74: $\vartheta_a = 0 \dots +70^\circ\text{C}$
MH84: $\vartheta_a = -25 \dots +85^\circ\text{C}$
MH54: $\vartheta_a = -55 \dots +125^\circ\text{C}$

Input current — H level	Eingangsstrom — H-Zustand			
$U_{CC} = 5,25\text{ V}; \text{MH54: } U_{CC} = 5,5\text{ V}; U_I = 5,5\text{ V}$		I_{IH}	< 1	mA
Input current — L level	Eingangsstrom — L-Zustand			
$U_{CC} = 5,25\text{ V}; \text{MH54: } U_{CC} = 5,5\text{ V}; U_I = 2,4\text{ V}$				
A input	Eingang A	MH...90A	< 80	μA
B input	Eingang B	MH...93A	< 160	μA
reset inputs	Rückstelleingänge		< 80	μA
			< 40	μA
Input current — L level	Eingangsstrom — L-Zustand			
$U_{CC} = 5,25\text{ V}; \text{MH54: } U_{CC} = 5,5\text{ V}; U_I = 0,4\text{ V}$				
A input	Eingang A	MH...90A	< 3,2	mA
B input	Eingang B	MH...93A	< 4,8	mA
reset inputs	Rückstelleingänge		< 3,2	mA
			< 1,6	mA
Supply current — H level	Speisestrom — H-Zustand			
$U_{CC} = 5,25\text{ V}; \text{MH54: } U_{CC} = 5,5\text{ V}$		MH...90A	< 42	mA
		MH...93A	< 39	mA

SWITCHING CHARACTERISTICS

DYNAMISCHE KENNDATEN

$U_{CC} = 5\text{ V}, \vartheta_a = +25^\circ\text{C}, N = 10, C_L = 15\text{ pF}, R_L = 400\ \Omega$

Maximum count frequency	Maximale Zählfrequenz			
from input A to output Q_A	vom Eingang A an Ausgang Q_A	f_{count}	> 32	MHz
from input B to output Q_B	vom Eingang B an Ausgang Q_B	f_{count}	> 16	MHz
Propagation delay time from	Signal-Laufzeit			
			MH...90A	MH...93A
input A to output Q_A	vom Eingang A an Ausgang Q_A	t_{PLH}	11 < 16	14 < 18
input A to output Q_D	vom Eingang A an Ausgang Q_D	t_{PHL}	24 < 48	27 < 50
input B to output Q_B	vom Eingang B an Ausgang Q_B		10 < 16	14 < 21
input B to output Q_C	vom Eingang B an Ausgang Q_C		22 < 32	26 < 35
input B to output Q_D	vom Eingang B an Ausgang Q_D		22 < 32	26 < 35
input set-to-0 to any output Q	vom Rückstelleingang 0 an Ausgang $Q_A \dots Q_D$		—	25 < 40
input set-to-9 to output Q_A, Q_D	vom Rückstelleingang 9 an Ausgang Q_A, Q_D		14 < 30	—
input set-to-9 to output Q_B, Q_C	vom Rückstelleingang 9 an Ausgang Q_B, Q_C		—	24 < 42

TRUTH TABLES ●
LOGISCHES VERHALTEN

MH . . 90A

INPUT EINGANG	OUTPUT AUSGANG				
	A	Q_A	Q_B	Q_C	Q_D
0	L	L	L	L	L
1	H	L	L	L	L
2	L	H	L	L	L
3	H	H	L	L	L
4	L	L	H	L	L
5	H	L	H	L	L
6	L	H	H	L	L
7	H	H	H	L	L
8	L	L	L	H	H
9	H	L	L	H	H

MH . . 90A

INPUTS RESET RÜCKSTELLEINGÄNGE				OUTPUT AUSGANG			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_A	Q_B	Q_C	Q_D
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L				
L	X	L	X				
L	X	X	L				
X	L	L	X				

MH7493A

INPUTS RESET RÜCKSTELLEINGÄNGE		OUTPUT AUSGANG			
$R_{0(1)}$	$R_{0(2)}$	Q_A	Q_B	Q_C	Q_D
H	H	L	L	L	L
L	X				
X	L				

MH . . 93A

INPUT EINGANG	OUTPUT AUSGANG				
	A	Q_A	Q_B	Q_C	Q_D
0	L	L	L	L	L
1	H	L	L	L	L
2	L	H	L	L	L
3	H	H	L	L	L
4	L	L	H	L	L
5	H	L	H	L	L
6	L	H	H	L	L
7	H	H	H	L	L
8	L	L	L	H	H
9	H	L	L	H	H
10	L	H	L	H	H
11	H	H	L	H	H
12	L	L	H	H	H
13	H	L	H	H	H
14	L	H	H	H	H
15	H	H	H	H	H

ELECTRICAL CHARACTERISTICS ● KENNDATEN

MH74: $\vartheta_a = 0 \dots +70 \text{ }^\circ\text{C}$
 MH84: $\vartheta_a = -25 \dots +85 \text{ }^\circ\text{C}$
 MH54: $\vartheta_a = -55 \dots +125 \text{ }^\circ\text{C}$

Output voltage — H level $U_{CC} = 4,75 \text{ V}; \text{MH54} : U_{CC} = 4,5 \text{ V}; U_{IH} = 2 \text{ V}$ $U_{IL} = 0,8 \text{ V}, I_{OH} = -0,8 \text{ mA}$	Ausgangsspannung — H-Zustand	MH . . 42	U_{OH}	> 2,4	V
Output voltage — L level $U_{CC} = 4,75 \text{ V}; \text{MH54} : U_{CC} = 4,5 \text{ V}; U_{IH} = 2 \text{ V}$ $U_{IL} = 0,8 \text{ V}, I_{OL} = 16 \text{ mA}$	Ausgangsspannung — L-Zustand	MH . . 42	U_{OL}	< 0,4	V
On-state output voltage $U_{CC} = 4,75 \text{ V}, I_{QL} = 7 \text{ mA}$	Ausgangsspannung, EIN-Zustand am Ausgang	MH74141	U_{QL}	< 2,5	V
Off state output voltage for input counts 0 thru 9 $U_{CC} = 5,25 \text{ V}, I_{Q'} = 0,5 \text{ mA}$	Ausgangsspannung, AUS-Zustand am Ausgang, Eingangsinformation 0 bis 9	MH74141	U_{QH}	> 60	V
Off-state output current $U_{CC} = 5,25 \text{ V}, U_{QH} = 55 \text{ V}$	Ausgangsstrom, AUS-Zustand am Ausgang	MH74141	I_{QH}	< 50	μA
Off-state output current for input counts 10 to 15 $U_{CC} = 5,25 \text{ V}, U_Q = 30 \text{ V}$	Ausgangsstrom, AUS-Zustand am Ausgang, Eingangsinformation 10 bis 15	MH74141	I_Q	< 5	μA
Input current — H level each input A input $U_{CC} = 5,25 \text{ V}; \text{MH54} : U_{CC} = 5,5 \text{ V}; U_{IH} = 2,4 \text{ V}$ $U_{CC} = 5,25 \text{ V}; \text{MH54} : U_{CC} = 5,5 \text{ V}; U_{IH} = 5,5 \text{ V}$ B, C, D input $U_{CC} = 5,25 \text{ V}; U_{IH} = 2,4 \text{ V}$ $U_{CC} = 5,25 \text{ V}; U_{IH} = 5,5 \text{ V}$	Eingangsstrom — H-Zustand pro Eingang Eingang A Eingang B, C, D	MH . . 42 MH74141 MH74141	I_{IH} I_{IH} I_{IH} I_{IH}	< 40 < 1 < 80 < 1	μA mA μA mA
Input current — L level each input A input $U_{CC} = 5,25 \text{ V}; \text{MH54} : U_{CC} = 5,5 \text{ V}; U_{IL} = 0,4 \text{ V}$ B, C, D input $U_{CC} = 5,25 \text{ V}; U_{IL} = 0,4 \text{ V}$	Eingangsstrom — L-Zustand pro Eingang Eingang A Eingang B, C, D	MH . . 42 MH74141	$-I_{IL}$ $-I_{IL}$	< 1,6 < 3,2	mA mA
Short circuit output current $U_{CC} = 5,25 \text{ V}; U_{IH} = 4,5 \text{ V}$ $U_{CC} = 5,5 \text{ V}; U_{IH} = 4,5 \text{ V}$	Kurzschlussausgangsstrom	MH . . 42 MH 5442	$-I_{OS}$ $-I_{OS}$	18 . . . 55 20 . . . 55	mA mA
Supply current $U_{CC} = 5,25 \text{ V}$ $U_{CC} = 5,5 \text{ V}$ $U_{CC} = 5,25 \text{ V}$	Stromaufnahme	MH . . 42 MH 5442 MH74141	I_{CC} I_{CC} I_{CC}	< 56 < 41 27 < 32	mA mA mA

MH . . 42:

Propagation delay time, high-to-low level from inputs A, B, C, D on output through two levels of logic through three levels of logic	Anstiegsverzögerungszeit von H- auf L-Zustand von Eingängen A, B, C, D auf Ausgang über zwei Gatterebenen über drei Gatterebenen	t_{PHL} t_{PHL}	< 25 < 30	ns ns
low-to-high level from inputs A, B, C, D on output through two levels of logic through three levels of logic	von L- auf H-Zustand von Eingängen A, B, C, D auf Ausgang über zwei Gatterebenen über drei Gatterebenen	t_{PLH} t_{PLH}	< 25 < 30	ns ns

MH . . 42

TRUTH TABLE ● LOGISCHES VERHALTEN

INPUTS EINGÄNGE				OUTPUTS ● AUSGÄNGE									
A	B	C	D	0	1	2	3	4	5	6	7	8	9
L	L	L	L	L	H	H	H	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H	H	H
H	H	L	L	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	H	H	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	H	H	L	H	H	H	H
H	H	H	L	H	H	H	H	H	H	L	H	H	H
L	L	L	H	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H
L	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

H — high level ● High-Zustand
 L — low level ● Low-Zustand

MH74141 TRUTH TABLE ● LOGISCHES VERHALTEN

INPUT — EINGANG				On-state output ¹⁾ Durchgeschalteter Ausgang ¹⁾
A	B	C	D	
L	L	L	L	0
H	L	L	L	1
L	H	L	L	2
H	H	L	L	3
L	L	H	L	4
H	L	H	L	5
L	H	H	L	6
H	H	H	L	7
L	L	L	H	8
H	L	L	H	9
L	H	L	H	none — kein
H	H	L	H	none — kein
L	L	H	H	none — kein
H	L	H	H	none — kein
L	H	H	H	none — kein
H	H	H	H	none — kein

¹⁾ All other outputs are off
 Alle anderen Ausgänge im AUS-Zustand

ELECTRICAL CHARACTERISTIC ● KENNDATEN

MH74: $\vartheta_a = 0 \dots +70 \text{ }^\circ\text{C}$
MH84: $\vartheta_a = -25 \dots +85 \text{ }^\circ\text{C}$
MH54: $\vartheta_a = -55 \dots +125 \text{ }^\circ\text{C}$

Output voltage — L level $U_{CC} = 4,75 \text{ V}$; MH54: $U_{CC} = 4,5 \text{ V}$; $I_{OL} = 16 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$; MH54: $U_{CC} = 4,5 \text{ V}$; $I_{OL} = 8 \text{ mA}$	Ausgangsspannung — L-Zustand	MH . . 96 MH . . 164	U_{OL} U_{OL}	< 0,4 < 0,4	V V
Output voltage — H level $U_{CC} = 4,75 \text{ V}$; MH54: $U_{CC} = 4,5 \text{ V}$; $I_{OH} = -400 \text{ } \mu\text{A}$	Ausgangsspannung — H-Zustand		U_{OH}	> 2,4	V
Input current — H level beside input S each input $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 2,4 \text{ V}$ $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 5,5 \text{ V}$	Eingangsstrom — H-Zustand ausser S-Eingang pro Eingang	MH . . 96	I_{IH} I_{IH}	< 40 < 1	μA mA
only input S $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 2,4 \text{ V}$ $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 5,5 \text{ V}$	nur S-Eingang	MH . . 96	I_{IH} I_{IH}	< 200 < 1	μA mA
Input current — L level beside input S each input $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IL} = 0,4 \text{ V}$	Eingangsstrom — L-Zustand ausser S-Eingang pro Eingang	MH . . 96 MH . . 164			
only input S $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$; $U_{IL} = 0,4 \text{ V}$	nur S-Eingang	MH . . 96	$-I_{IL}$ $-I_{IL}$	< 1,6 < 8	mA mA
Short-circuit output current $U_{CC} = 5,25 \text{ V}$ $U_{CC} = 5,5 \text{ V}$ $U_{CC} = 5,25 \text{ V}$ $U_{CC} = 5,5 \text{ V}$	Kurzschlussleistung	MH . . 96 MH 5496 MH . . 164 MH 54164	$-I_{OS}$ $-I_{OS}$ $-I_{OS}$ $-I_{OS}$	18 . . . 57 20 . . . 57 9 . . . 27,5 10 . . . 27,5	mA mA mA mA
Supply current $U_{CC} = 5,25 \text{ V}$ $U_{CC} = 5,5 \text{ V}$ $U_{CC} = 5,25 \text{ V}$; MH54: $U_{CC} = 5,5 \text{ V}$	Stromaufnahme	MH . . 96 MH 5496 MH . . 164	I_{CC} I_{CC} I_{CC}	< 79 < 68 < 54	mA mA mA

DYNAMIC DATA: DYNAMISCHE KENNDATEN:

MH . . 96 $\vartheta_a = +25 \text{ }^\circ\text{C}$, $U_{CC} = 5 \text{ V}$, $N = 10$

Propagation delay time from input C to output from input A ₀ to output from input R to output	Signal-Laufzeit von C-Eingang auf Ausgang von A ₀ -Eingang auf Ausgang von R-Eingang auf Ausgang	t_{PLH} 17 < 40 14 < 35 —	t_{PHL} 23 < 40 — 23 < 55	ns ns ns
---	--	--------------------------------------	--------------------------------------	----------------

MH . . 164 $\vartheta_a = +25 \text{ }^\circ\text{C}$, $U_{CC} = 5 \text{ V}$

Propagation delay time from input R to output $C_L = 15 \text{ pF}$ $C_L = 50 \text{ pF}$	Signal-Laufzeit von R-Eingang auf Ausgang	t_{PLH} 27 < 36 34 < 42	t_{PHL} — —	ns ns
from input C to output $C_L = 15 \text{ pF}$ $C_L = 50 \text{ pF}$	von C-Eingang auf Ausgang	10 . . . 32 10 . . . 37	8 . . . 27 10 . . . 30	ns ns

MH . . 96 TRUTH TABLE ● LOGISCHES VERHALTEN

CLEAR Rückstelleingang	PRESET ENABLE S	INPUTS ● EINGÄNGE					PRESET Doteneingang	CLOCK Takteingang	SERIAL Serieneingang	OUTPUTS ● AUSGÄNGE				
		A ₇	A ₂	A ₁	A ₄	A ₅				C	A ₀	Q ₇	Q ₂	Q ₁
L	L	X	X	X	X	X	X	X	L	L	L	L	L	L
L	X	L	L	L	L	L	X	X	L	L	L	L	L	L
H	H	H	H	H	H	H	X	X	H	H	H	H	H	H
H	H	L	L	L	L	L	X	X	Q ₁₀	Q ₂₀	Q ₃₀	Q ₄₀	Q ₅₀	
H	H	H	L	L	L	H	L	X	H	Q ₁₀	H	Q ₄₀	H	
H	L	X	X	X	X	L	X	X	Q ₁₀	Q ₂₀	Q ₃₀	Q ₄₀	Q ₅₀	
H	L	X	X	X	X	X	↑	H	H	Q _{1n}	Q _{2n}	Q _{3n}	Q _{4n}	Q _{5n}
H	L	X	X	X	X	X	↑	L	L	Q _{1n}	Q _{2n}	Q _{3n}	Q _{4n}	Q _{5n}

H — high level ● High-Zustand
L — low level ● Low-Zustand
X — irrelevant (any input, including transitions)
beliebiger Eingangszustand einschliesslich seiner Änderungen
↑ — transition from low to high level
Änderung des Zustandes von Low- auf High-Zustand
Q₁₀, Q₂₀ etc — the level of Q₁, Q₂ etc, respectively before the indicated steady-state input conditions were established.
Zustand der Ausgänge Q₁, Q₂ usw. vor Einstellung der stabilisierten Bedingungen auf den Eingängen.
Q_{1n}, Q_{2n} etc — the level of Q₁, Q₂ etc, respectively before the most-recent transition of the clock.
Zustand der Ausgänge Q₁, Q₂ usw. vor der ersten Änderung des Takteinganges von Low- auf High-Zustand.

MH . . 164

TRUTH TABLE ● LOGISCHES VERHALTEN

CLOCK Takteingang	CLEAR Rückstelleingang	INPUTS EINGÄNGE		OUTPUTS AUSGÄNGE				
		A ₁	A ₂	Q ₁	Q ₂	Q _n	
X	L	X	X	L	L	L	
L	H	X	X	Q ₁₀	Q ₂₀	Q ₅₀	
↑	H	H	H	H	Q _{1n}	Q _{5n}	
↑	H	L	X	L	Q _{1n}	Q _{5n}	
↑	H	X	L	L	Q _{1n}	Q _{5n}	

H — high level (steady state) ● High-Zustand (stabilisierter Zustand)
L — low level (steady state) ● Low-Zustand (stabilisierter Zustand)
↑ — transition from low to high level
Änderung des Zustandes von Low- auf High-Zustand
Q₁₀, Q₂₀ — the level of Q₁, Q₂ etc, respectively before the indicated steady-state input conditions were established.
Zustand der Ausgänge Q₁, Q₂ usw. vor Einstellung der stabilisierten Bedingungen auf den Eingängen.
Q_{1n}, Q_{2n} — the level of Q₁, Q₂ etc, before the most-recent ↑ transition of the clock.
Zustand der Ausgänge Q₁, Q₂ usw. vor der ersten Änderung des Takteinganges.

ELECTRICAL CHARACTERISTICS • KENNDATEN

MH74: $\theta_a = 0 \dots +70 \text{ }^\circ\text{C}$
 MH84: $\theta_a = -25 \dots +85 \text{ }^\circ\text{C}$
 MH54: $\theta_a = -55 \dots +125 \text{ }^\circ\text{C}$

Values of level H, L of inputs and outputs are equal as at gates.
 Pegelwerte der H- und L-Zuständen von Eingängen und Ausgängen sind die gleichen wie bei Gattern.

Input current — H level each input $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IH} = 2,4 \text{ V}$ $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IH} = 5,5 \text{ V}$	Eingangsstrom — H-Zustand pro Eingang	I_{IH}	< 40 < 1	μA mA
Input current — L level each input $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IL} = 0,4 \text{ V}$ $U_{IH} = 2,4 \text{ V}$	Eingangsstrom — L-Zustand pro Eingang	$-I_{IL}$	< 1,6	mA
Short-circuit output current $U_{CC} = 5,25 \text{ V}, U_{IH} = 4,5 \text{ V}$ $U_{CC} = 5,5 \text{ V}, U_{IH} = 4,5 \text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	18 . . . 57	mA
Supply current $U_{CC} = 5,25 \text{ V}$ $U_{CC} = 5,5 \text{ V}$	Stromaufnahme	MH54154 I_{CC}	20 . . . 55 < 56 < 49	mA mA

DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

$U_{CC} = 5 \text{ V}, \theta_a = +25 \text{ }^\circ\text{C}, N = 10$

Propagation delay time, from input A, B, C, D to output through three levels of logic	Signal-Laufzeit von Eingang A, B, D auf Aus- gang über drei Gatterebenen	t_{PHL}	19 < 33	ns
		t_{PLH}	21 < 36	ns
from each input G1, G2 to output	von Eingängen G1, G2 auf Ausgang	t_{PHL}	15 < 27	ns
		t_{PLH}	17 < 30	ns

TRUTH TABLE • LOGISCHES VERHALTEN

INPUTS EINGÄNGE					OUTPUTS AUSGÄNGE																	
G1	G2	A	B	C	D	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H — high level • High-Zustand
 L — low level • Low-Zustand
 X — high or low level — for function is not conclusive
 High- oder Low-Zustand — für Funktion ist nicht entscheidend

Values of level H, L of inputs and outputs are equal as at gates.

Pegelwerte der H- und L-Zuständen von Eingängen und Ausgängen sind die gleichen wie bei Gattern.

CHARACTERISTIC DATA ● KENNDATEN

MH74: $\vartheta_a = 0 \dots +70 \text{ }^\circ\text{C}$
 MH84: $\vartheta_a = -25 \dots +85 \text{ }^\circ\text{C}$
 MH54: $\vartheta_a = -55 \dots +125 \text{ }^\circ\text{C}$

Input current – H level $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IH} = 2,5 \text{ V}$ $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IH} = 5,5 \text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	< 40	μA
		I_{IH}	< 1	mA
Input current – L level $U_{CC} = 5,25 \text{ V}; \text{MH54: } U_{CC} = 5,5 \text{ V}; U_{IL} = 0,4 \text{ V}$	Eingangsstrom – L-Zustand	$-I_{IL}$	< 1,6	mA
Short-circuit output current $U_{CC} = 5,25 \text{ V}$ $\text{MH54: } U_{CC} = 5,5 \text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	18 . . . 65	mA
		$-I_{OS}$	20 . . . 65	mA
Supply current $U_{CC} = 5,25 \text{ V}$ $\text{MH54: } U_{CC} = 5,5 \text{ V}$	Stromaufnahme	I_{CC}	< 102	mA
		I_{CC}	< 89	mA

DYNAMIC DATA: DYNAMISCHE KENNDATEN:

$U_{CC} = 5 \text{ V}, \vartheta_a = +25 \text{ }^\circ\text{C}, N = 10, C_L = 15 \text{ pF}, R_L = 400 \text{ } \Omega$

Propagation delay time from input COUNT UP CU to output CARRY CA from input COUNT DOWN CD to output BORROW BO from each input EITHER COUNT CD or CU to output Q from input PRESET A, B, C or D to output Q from input CLEAR R to output Q	Signal-Laufzeit von Eingang TAKT VORWÄRTS CU auf Ausgang POSIT. ÜBERTRAG CA von Eingang TAKT RÜCKWÄRTS CD auf Ausgang NEGAT. ÜBERTRAG BO von jedem Eingang TAKT CD oder CU auf Ausgang Q von DATENEINGANG A, B, C oder D auf Ausgang Q von RÜCKSTELLEINGANG R auf Ausgang Q	t_{PLH}	t_{PHL}	
		< 26	< 24	ns
		< 24	< 24	ns
		< 38	< 47	ns
		< 40	< 40	ns
		—	< 35	ns

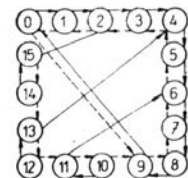
Recommended working conditions: ● Empfohlene Arbeitsbedingungen:

Count frequency	Zählfrequenz maximale	f_{count}	0 . . . 25	MHz
Width of any input pulse	Taktimpulsdauer	t_{pw}	> 20	ns
Data setup time	Vorbereitungszeit	t_{setup}	> 20	ns
Data hold time	Haltezeit	t_{hold}	> 0	ns

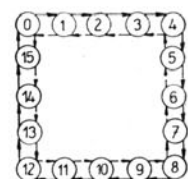
TRUTH TABLE ● LOGISCHES VERHALTEN

CLEAR Rückstell- eingang	PRESET Daten- eingang	COUNT UP Takt- vorwärts	COUNT DOWN Takt- rückwärts	OUTPUTS LEVEL Ausgangs- Zustand
H	X	X	X	L-level adjusting Einstellung „L-Zustand“ (asynchr.)
L	L	X	X	data adjusting Dateneinstellung (asynchr.)
L	H	H	H	without change ohne Änderung
L	H	↑	H	count up • Vorwärtszählen
L	H	H	↑	count down • Rückwärtszählen

H – high level ● High-Zustand
 L – low level ● Low-Zustand
 X – irrelevant level ● beliebiger Eingangszustand
 ↑ – clock impuls, change from low on high level
 Taktimpuls, Änderung von Low- auf High-Zustand



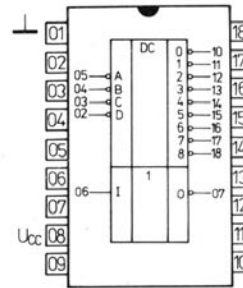
MH74192



MH74193

MONOLITHIC BIPOLAR DECODER-DRIVER OF NINE-DIGIT LED DISPLAY AND INVERTING AMPLIFIER FOR REGULATION OF INTERNAL SUPPLY OF POCKET CALCULATOR.

MONOLITHISCHER BIPOLAR DEKODER-TREIBER VON NEUNSTELLIGEN LED-ANZEIGEN UND INVERTIEREND VERSTÄRKER FÜR INNERE SPEISUNGSREGELUNG VON TASCHENRECHNERS.



Base connection diagram (top view)
 Sockelschaltung (Ansicht von oben)

DECODER TRUTH TABLE
 LOGISCHES VERHALTEN VON DEKODER

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_{CC}	2,7	6,0	V
U_I	-0,5	6,0	V
ϑ_a	10	45	°C
ϑ_{stg}	0	70	°C

Pin	INPUTS				OUTPUTS								
	A	B	C	D	0	1	2	3	4	5	6	7	8
kóde	05	04	03	02	10	11	12	13	14	15	16	17	18
15	L	L	L	L	H	H	H	H	H	H	H	H	H
14	H	L	L	L	H	H	H	H	H	H	H	H	H
13	L	H	L	L	H	H	H	H	H	H	H	H	H
12	H	H	L	L	H	H	H	H	H	H	H	H	H
11	L	L	H	L	H	H	H	H	H	H	H	H	H
10	H	L	H	L	H	H	H	H	H	H	H	H	H
9	L	H	H	L	H	H	H	H	H	H	H	H	H
8	H	H	H	L	H	H	H	H	H	H	H	H	L
7	L	L	L	H	H	H	H	H	H	H	L	H	H
6	H	L	L	H	H	H	H	H	H	H	L	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H
4	H	H	L	H	H	H	H	L	H	H	H	H	H
3	L	L	H	H	H	H	L	H	H	H	H	H	H
2	H	L	H	H	H	H	L	H	H	H	H	H	H
1	L	H	H	H	H	L	H	H	H	H	H	H	H
0	H	H	H	H	L	H	H	H	H	H	H	H	H

Outlines ● Abmessungen IO—18

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = 4,5\text{ V}$

DECODER-DRIVER:

- Input voltage – level H
- Input voltage – level L
- Output voltage – ON state
 $I_{O(ON)} = 20\text{ mA}$
- Output current – OFF state
 $U_{O(OFF)} = 4,5\text{ V}$
- Input current – level H
 $U_{IH} = 4,5\text{ V}$
- Input current – level L
 $U_I = -0,5\text{ V}$

INVERTER:

- Input voltage – level H
- Input voltage – level L
- Output voltage – level H
 $I_O = -100\ \mu\text{A}$
- Output voltage – level L
 $I_O = 4\text{ mA}$
- Input current – level H
 $U_I = 4,5\text{ V}$
- Input current – level L
 $U_I = -0,5\text{ V}$
- Short circuit output current
- Total current consumption

DEKODER-TREIBER:

- Eingangsspannung – H-Zustand
- Eingangsspannung – L-Zustand
- Ausgangsspannung in eingeschalteten Zustand
- Ausgangsstrom in ausgeschalteten Zustand
- Eingangsstrom – H-Zustand
- Eingangsstrom – L-Zustand

INVERTOR:

- Eingangsspannung – H-Zustand
- Eingangsspannung – L-Zustand
- Ausgangsspannung – H-Zustand
- Ausgangsspannung – L-Zustand
- Eingangsstrom – H-Zustand
- Eingangsstrom – L-Zustand
- Kurzschlussausgangsstrom
- Gesamstromaufnahme

	min.-max.	
U_{IH}	$\geq 2,5$	V
U_{IL}	$\leq 0,4$	V
$U_{O(ON)}$	$\leq 0,5$	V
$I_{O(OFF)}$	≤ 150	μA
I_{IH}	$\leq 0,5$	mA
$-I_{IL}$	≤ 150	μA
U_{IH}	$\geq 2,7$	V
U_{IL}	$\leq 2,0$	V
U_{OH}	$\geq 3,5$	V
U_{OL}	$\leq 2,0$	V
I_{IH}	$\leq 2,0$	mA
$-I_{IL}$	≤ 150	μA
$-I_{OS}$	1,2 ... 2,1	mA
I_{CC}	≤ 100	μA

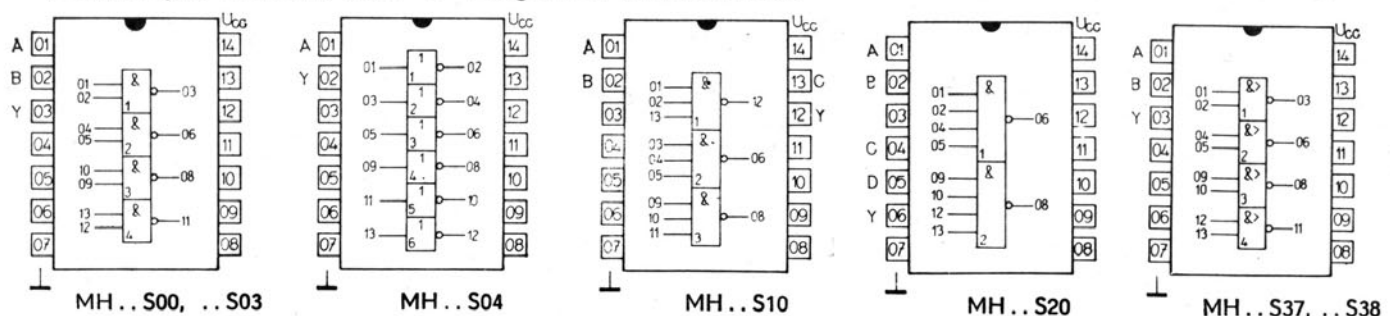
Type Typ	Feature	Art	Logical function Log. Funktion	Outlines Abmessungen
MH74S00 17,50	MH84S00 MH54S00	Quadruple 2 - input positive gate NAND	Vier NAND - Gatter mit je zwei Eingängen $Y = \overline{AB}$	IO 13
MH74S03	MH84S03 MH54S03	Quadruple 2 - input positive gate NAND with open collector outputs	Vier NAND - Gatter mit je zwei Eingängen und offenem Kollektor $Y = \overline{AB}$	IO 13
MH74S04	MH84S04 MH54S04	Hex inverters	Sechsfach Inverter $Y = \overline{A}$	IO 13
MH74S10	MH84S10 MH54S10	Triple 3 - input positive gate NAND	Drei NAND-Gatter mit je drei Eingängen $Y = \overline{ABC}$	IO 13
MH74S20	MH84S20 MH54S20	Dual 4 - input positive gate NAND	Zwei NAND - Gatter mit je vier Eingängen $Y = \overline{ABCD}$	IO 13
MH74S37	MH84S37 MH54S37	Quadruple 2 - input positive NAND buffer	Vier NAND - Leistungsgatter mit je zwei Eingängen $Y = \overline{AB}$	IO 13
MH74S38	MH84S38 MH54S38	Quadruple 2 - input positive NAND buffer with open collector outputs	Vier NAND - Leistungsgatter mit je zwei Eingängen und offenem Kollektor $Y = \overline{AB}$	IO 13
MH74S40	MH84S40 MH54S40	Dual 4 - input positive NAND buffer	Zwei NAND-Leistungsgatter mit je vier Eingängen $Y = \overline{ABCD}$	IO 13
MH74S51	MH84S51 MH54S51	Dual positive AND-OR-INVERT gate	Zwei positive UND/ODER Invert-Gatter $Y = \overline{AB + CD}$	IO 13
MH74S64	MH84S64 MH54S64	4-2-3-2 - input positive AND-OR-INVERT gate	UND/ODER Invert-Gatter mit 4, 2, 3 u. 2 Eingängen $Y = \overline{ABCD + EF + GHI + JK}$	IO 13
MH74S74 26,00	MH84S74 MH54S74	Dual D-type edge-triggered Flip - Flop	Zwei D-Flipflop See truth table Siehe log. Verhalten	IO 13
MH74S112 29,00	MH84S112	Retriggerable monostable J-K multivibrators with clear and preset	Zwei negativ flankengetriggerte JK-Flipflops mit Preset- und Clear - Eingang	IO 14

For the improvement of the dynamic feature are used at all types of integrated circuits of MH...S... series a Schottky desaturation diodes. For the raising of reliability are used at all inputs a clamping diodes.

Für die Verbesserung von dynamischen Eigenschaften sind zu benützen bei allen Typen von integrierten Schaltkreisen die Schottky-Desaturation-Dioden. Für die Erhöhung der Zuverlässigkeit sind alle Eingänge mit Klemmdioden beschaffen.

MAXIMUM RATINGS • GRENZDATEN		MH74S	MH84S	MH54S	
Supply voltage	Betriebsspannung	U_{CC} max	+7	+7	+7 V
Input voltage	Eingangsspannung	U_I min - max	-0,5 ... +5,5	-0,5 ... +5,5	-0,5 ... +5,5 V
Output voltage	Ausgangsspannung 1)	U_{OH} max	+7	+7	+7 V
Output current	Ausgangsstrom 1)	I_{OL} max	+20	+20	+20 mA
Voltage between emitters	Spannungen zwischen Emittoren	U_{EE} max	+5,5	+5,5	+5,5 V
Operating temperature range	Betriebstemperatur	ϑ_a max	0 ... +70	-25 ... +85	-55 ... +125 °C
Storage temperature		ϑ_{stg} max	-55 ... +155	-55 ... +155	-55 ... +155 °C

1) Valid only for MH...S03, ..S38 • Gültig nur für MH...S03, ..S38



RECOMMENDED WORKING CONDITIONS • EMPFOHLENE BETRIEBSWERTE

Series		MH74S..	MH84S..	MH54S..	
Recommended working voltage	Empfohlene Betriebspannung	U_{CC}	4,75 ... 5,25	4,75 ... 5,25	4,5 ... 5,5 V
Input clamp voltage	Eingangsklemmspannung	$-U_D$	< 1,2	< 1,2	- V
$U_{CC} = 4,75 \text{ V}, U_I = -18 \text{ mA}$		$-U_D$	-	-	< 1,2 V
$U_{CC} = 4,5 \text{ V}, U_I = -18 \text{ mA}$					

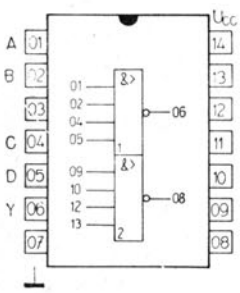
Power dissipation of gatters	Leistungsverbrauch von Gattern			
MH..S00, MH..S10		P	23	mW
MH..S03		P	21,5	mW
MH..S04		P	26	mW
MH..S20		P	21	mW
MH..S37, MH..S38		P	41	mW
MH..S40		P	47	mW
MH..S51		P	28	mW
MH..S64		P	53	mW

Power dissipation of flip-flops	Leistungsverbrauch von Flipflop			
MH..S74		P	90	mW
MH..S112		P	85	mW

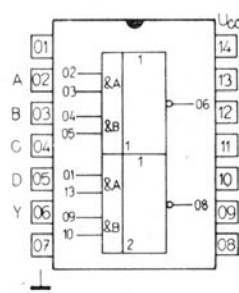
Fan-out from each gate	Ausgangsfächer pro Gatter	N_L	N_H
MH..S00, ..S10, ..S20		max. 10	max. 20
MH..S03		max. 15	
MH..S40		max. 10	max. 20
MH..S74		max. 10	max. 20

STATIC DATA • STATISCHE KENNDATEN

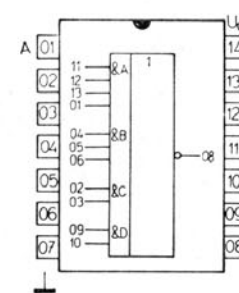
Input voltage – level H	Eingangsspannung – H-Zustand	U_{IH}	> 2	V
Input voltage – level L	Eingangsspannung – L-Zustand	U_{IL}	< 0,8	V
Output voltage – level H	Ausgangsspannung – H-Zustand	U_{OH}	> 2,7	V
MH74S..., MH84S.. MH54S..		U_{OH}	> 2,5	V
Output voltage – level L	Ausgangsspannung – L-Zustand	U_{OL}	< 0,5	V
Short-circuit output current	Kurzschlussausgangsstrom	$-I_{OS}$	40 ... 100	mA
MH..S37, ..S40		$-I_{OS}$	50 ... 225	mA



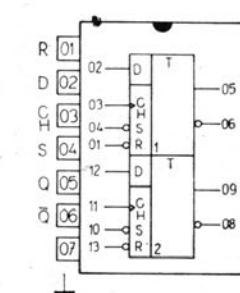
MH..S40



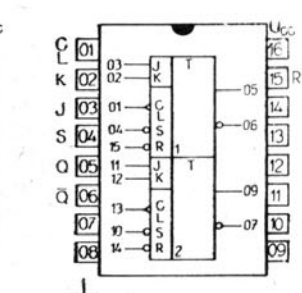
MH..S51



MH..S64



MH..S74



MH..S112

SCHOTTKY-CLAMPED TTL LOGIC INTEGRATED CIRCUITS
SCHOTTKY TTL LOGISCHE INTEGRIERTE SCHALTKREISE

MH..S00 MH..S10 MH..S38
 MH..S03 MH..S20 MH..S40
 MH..S04 MH..S37 MH..S51

CHARACTERISTIC DATA:

KENNDATEN:

Input voltage — H level Eingangsspannung — H-Zustand
 $U_{CC} = 4,75 \text{ V}$; MH54S: $U_{CC} = 4,5 \text{ V}$

Input voltage — L level Eingangsspannung — L-Zustand
 $U_{CC} = 4,75 \text{ V}$; MH54S: $U_{CC} = 4,5 \text{ V}$

Output voltage — H level Ausgangsspannung — H-Zustand
 $U_{CC} = 4,75 \text{ V}$; MH54S: $U_{CC} = 4,5 \text{ V}$; $U_{IL} = 0,8 \text{ V}$, $U_{IH} = 4,5 \text{ V}$
 $I_{OH} = -1 \text{ mA}$ (beside — ausser MH..S03, ..S38)

$I_{OH} = -3 \text{ mA}$ MH54S:
 MH..S37
 MH54S37, ..S40

Output voltage — L level Ausgangsspannung — L-Zustand
 $U_{CC} = 4,75 \text{ V}$; MH54S: $U_{CC} = 4,5 \text{ V}$; $U_{IH} = 2 \text{ V}$
 $I_{OL} = 20 \text{ mA}$
 $I_{OL} = 60 \text{ mA}$ MH54S37, ..S38, ..S40

Output current — H level Ausgangsstrom — H-Zustand
 $U_{CC} = 4,75 \text{ V}$; MH54S: $U_{CC} = 4,5 \text{ V}$; $U_{IL} = 0,8 \text{ V}$
 $U_{OH} = 5,5 \text{ V}$, $U_{IH} = 4,5 \text{ V}$ (only — nur MH..S03, ..S38)

Input current — H level Eingangstrom — H-Zustand
 each input pro Eingang
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 5,5 \text{ V}$, $U_{IL} = 0 \text{ V}$
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 2,7 \text{ V}$, $U_{IL} = 0 \text{ V}$
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_{IH} = 2,7 \text{ V}$, $U_{IL} = 0 \text{ V}$
 MH54S37, ..S38, ..S40

Input current — L level Eingangstrom — L-Zustand
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_{IL} = 0,5 \text{ V}$, $U_{IH} = 4,5 \text{ V}$
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_{IL} = 0,5 \text{ V}$, $U_{IH} = 4,5 \text{ V}$
 MH54S37, ..S38, ..S40

Short-circuit output current Kurzschlussausgangsstrom
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$, $U_{IL} = 0 \text{ V}$
 (beside — ausser MH..S03, ..S38)
 MH54S37, ..S40

Supply current — H level Stromaufnahme — H-Zustand
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$, $U_{IL} = 0 \text{ V}$

MH..S00
 MH..S03
 MH..S04
 MH..S10
 MH..S20
 MH..S37, ..S38
 MH..S40
 MH..S51

Supply current — L level Stromaufnahme — L-Zustand
 $U_{CC} = 5,25 \text{ V}$; MH54S: $U_{CC} = 5,5 \text{ V}$; $U_I = 4,5 \text{ V}$

MH..S00, ..S03
 MH..S04
 MH..S10
 MH..S20
 MH..S37, ..S38
 MH..S40
 MH..S51

MH74S.. : $\theta_a = 0^\circ\text{C}$, $+25^\circ\text{C}$, $+70^\circ\text{C}$
 MH84S.. : $\theta_a = -25^\circ\text{C}$, $+25^\circ\text{C}$, $+85^\circ\text{C}$
 MH54S.. : $\theta_a = -55^\circ\text{C}$, $+25^\circ\text{C}$, $+125^\circ\text{C}$

U_{IH}	> 2,0	V
U_{IL}	< 0,8	V
U_{OH}	> 2,7	V
U_{OH}	> 2,5	V
U_{OH}	> 2,7	V
U_{OH}	> 2,5	V
U_{OL}	< 0,5	V
U_{OL}	< 0,5	V
I_{OH}	< 250	μA
I_{IH}	< 1	mA
I_{IH}	< 50	μA
I_{IH}	< 100	μA
$-I_{IL}$	< 2	mA
$-I_{IL}$	< 4	mA
$-I_{OS}$	40 ... 100	mA
$-I_{OS}$	50 ... 225	mA
I_{CCH}	< 16	mA
I_{CCH}	< 13,2	mA
I_{CCH}	< 24	mA
I_{CCH}	< 12	mA
I_{CCH}	< 8	mA
I_{CCH}	< 36	mA
I_{CCH}	< 18	mA
I_{CCH}	< 17,8	mA
I_{CCL}	< 36	mA
I_{CCL}	< 54	mA
I_{CCL}	< 27	mA
I_{CCL}	< 18	mA
I_{CCL}	< 80	mA
I_{CCL}	< 44	mA
I_{CCL}	< 22	mA

DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

$U_{CC} = 5 \text{ V}$, $\theta_a = 25^\circ\text{C}$, $C_L = 15 \text{ pF}$, $R_L = 280 \Omega$, $U_{IH} = 2,7 \text{ V}$

Propagation delay time

Signal-Laufzeit

MH..S00, S04, S10, ..S20
 MH..S00, S04, S10, ..S20
 MH..S03
 MH..S03

t_{PLH}	2 ... 4,5	ns
t_{PHL}	2 ... 5,0	ns
t_{PLH}	2 ... 7,5	ns
t_{PHL}	2 ... 7,0	ns

$U_{CC} = 5 \text{ V}$, $\theta_a = 25^\circ\text{C}$, $C_L = 50 \text{ pF}$, $R_L = 93 \Omega$, $U_{IH} = 2,7 \text{ V}$

MH..S51
 MH..S51
 MH..S40
 MH..S40

t_{PLH}	2 ... 5,5	ns
t_{PHL}	2 ... 5,5	ns
t_{PLH}	2 ... 6,5	ns
t_{PHL}	2 ... 6,5	ns

$U_{CC} = 5 \text{ V}$, $\theta_a = 25^\circ\text{C}$, $C_L = 15 \text{ pF}$, $R_L = 93 \Omega$, $U_{IH} = 2,7 \text{ V}$

MH..S37
 MH..S37
 MH..S38
 MH..S38

t_{PLH}	< 6,5	ns
t_{PHL}	< 6,5	ns
t_{PLH}	< 10	ns
t_{PHL}	< 10	ns

4 - 2 - 3 - 2 INPUT POSITIVE AND-OR-INVERT GATE
UND/ODER/INVERT-GATTER MIT 4, 2, 3 UND 2 EINGÄNGEN

CHARACTERISTIC DATA:	KENNDATEN:	MH74S64: $\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$	MH84S64: $\vartheta_a = -25^\circ\text{C}, +25^\circ\text{C}, +85^\circ\text{C}$	MH54S64: $\vartheta_a = -55^\circ\text{C}, +25^\circ\text{C}, +125^\circ\text{C}$
Input voltage — level H $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$	Eingangsspannung — H-Zustand	U_{IH}	> 2,0	V
Input voltage — level L $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$	Eingangsspannung — L-Zustand	U_{IL}	< 0,8	V
Output voltage — level H $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0,8\text{ V}, I_{OH} = -1\text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH} U_{OH}	> 2,7 > 2,5	V V
Output voltage — level L $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$ $U_{IH} = 2,0\text{ V}, I_{OL} = 20\text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL} U_{OL}	< 0,5 < 0,5	V V
Input current — level H $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}$ $U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$ $U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom — H-Zustand	I_{IH} I_{IH}	< 1 < 50	mA μA
Input current — level L $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0,5\text{ V}$	Eingangsstrom — L-Zustand	$-I_{IL}$	< 2	mA
Short-circuit output current $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}$ $U_{IL} = 0\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	40 ... 100	mA
Supply current — level H $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}$ $U_{IL} = 0\text{ V}$	Stromaufnahme — H-Zustand	I_{CCH}	< 12,5	mA
Supply current — level L $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Stromaufnahme — L-Zustand	I_{CCL}	< 16	mA
DYNAMIC DATA: $U_{CC} = 5\text{ V}, \vartheta_a = 25^\circ\text{C}, C_L = 15\text{ pF}, R_L = 280\ \Omega$	DYNAMISCHE KENNDATEN:			
Propagation delay time on level H on level L	Signal-Laufzeit nach H-Zustand nach L-Zustand	t_{PLH} t_{PHL}	2 ... 5,5 2 ... 5,5	ns ns

CHARACTERISTIC DATA:

KENNDATEN:

MH74S74: $\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$
 MH84S74: $\vartheta_a = -25^\circ\text{C}, +25^\circ\text{C}, +85^\circ\text{C}$
 MH54S74: $\vartheta_a = -55^\circ\text{C}, +25^\circ\text{C}, +125^\circ\text{C}$

Input voltage — H level $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$	Eingangsspannung — H-Zustand	U_{IH}	> 2,0	V
Input voltage — L level $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}$	Eingangsspannung — L-Zustand	U_{IL}	< 0,8	V
Output voltage — H level $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}; U_{IL} = 0,8\text{ V}$ $I_{OH} = -1\text{ mA}, U_{IH} = 2\text{ V}$	Ausgangsspannung — H-Zustand MH74S74, MH84S74 MH54S74	U_{OH} U_{OH}	> 2,7 > 2,5	V V
Output voltage — L level $U_{CC} = 4,75\text{ V}; \text{MH54S: } U_{CC} = 4,5\text{ V}; U_{IH} = 2\text{ V}$ $I_{OL} = 20\text{ mA}, U_{IL} = 0,8\text{ V}$	Ausgangsspannung — L-Zustand	U_{OL}	< 0,5	V
Input current for max. input voltage each input $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}; U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}, U_I = 4,5\text{ V}$	Eingangsstrom für max. Eingangsspannung pro Eingang	I_{IH}	< 1	mA
Input current — H level $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}; U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}, U_I = 4,5\text{ V}$	Eingangsstrom — H-Zustand	I_{IH}	< 50	μA
input D	Eingang D	I_{IH}	< 150	μA
input R	Rückstelleingang	I_{IH}	< 100	μA
input S	Dateneingang	I_{IH}	< 100	μA
input CH	Takteingang	I_{IH}	< 100	μA
Input current — L level $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}; U_{IL} = 0,5\text{ V}, U_{IH} = 4,5\text{ V}, U_I = 0\text{ V}$	Eingangsstrom — L-Zustand	$-I_L$	< 2	mA
input D	Eingang D	$-I_L$	< 6	mA
input R	Rückstelleingang	$-I_L$	< 4	mA
input S	Dateneingang	$-I_L$	< 4	mA
input CH	Takteingang	$-I_L$	< 4	mA
Short-circuit output current $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}; U_{IL} = 0\text{ V}, U_{IH} = 4,5\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	40 . . . 100	mA
Supply current $U_{CC} = 5,25\text{ V}; \text{MH54S: } U_{CC} = 5,5\text{ V}; U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Stromaufnahme	I_{CC}	< 50	mA

DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

$U_{CC} = 5\text{ V}, \vartheta_a = +25^\circ\text{C}, N = 10, C_L = 15\text{ pF}, R_L = 280\ \Omega$

Propagation delay time from input S or R to output Q or \bar{Q}	Signal-Laufzeit von Daten- oder Rückstell-Eingang auf Ausgang Q oder \bar{Q}	t_{PLH}	< 6	ns
from input S or R to output Q or \bar{Q}	von Daten- oder Rückstell-Eingang auf Ausgang Q oder \bar{Q}	t_{PHL}	< 13,5	ns
input CH on H level	Takteingang auf H-Zustand	t_{PHL}	< 8	ns
input CH on L level	Takteingang auf L-Zustand	t_{PLH}	< 9	ns
from input CH to output Q or \bar{Q}	von Takteingang auf Ausgang Q oder \bar{Q}	t_{PHL}	< 9	ns
Maximum clock frequency	Maximale Zählfrequenz	f_{max}	> 75	MHz

TRUTH TABLE ● LOGISCHES VERHALTEN

INPUTS ● EINGANG				OUTPUT AUSGANG	
S Daten- eingang	R Rückstell- eingang	CH Takt- eingang	D	Q	\bar{Q}
asynchronous mode ● Asynchronregime					
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
synchronous mode ● Synchronregime					
H	H	↑	H	H	L
H	H	↑	L	L	H

H H level ● H-Zustand L L level ● L-Zustand
 X high or low level — for function is not conclusive
 High- oder Low-Zustand — für Funktion ist nicht entscheidend
 † change from low to high level ● Änderungen von Low- auf High-Zustand
 * this state is not steady ● Dieser Zustand ist nicht stabil.

DUAL J-K NEGATIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR •
ZWEI NEGATIV FLANKENGETRIGGERTER J-K FLIPFLOPS MIT PRESET- UND CLEAR-EINGANG

CHARACTERISTIC DATA:	KENNDATEN:	MH74S: $\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$ MH84S: $\vartheta_a = -25^\circ\text{C}, +25^\circ\text{C}, +85^\circ\text{C}$ MH54S: $\vartheta_a = -55^\circ\text{C}, +25^\circ\text{C}, +125^\circ\text{C}$
Input voltage – level H $U_{CC} = 4,75\text{ V}$	Eingangsspannung – H-Zustand	$U_{IH} > 2,0\text{ V}$
Input voltage – level L $U_{CC} = 4,75\text{ V}$	Eingangsspannung – L-Zustand	$U_{IL} < 0,8\text{ V}$
Output voltage – level H $U_{CC} = 4,75\text{ V}$ $U_{IH} = 2\text{ V}, U_{IL} = 0,8\text{ V}, I_{OH} = -1\text{ mA}$ MH74S, MH84S	Ausgangsspannung – H-Zustand	$U_{OH} > 2,7\text{ V}$
Output voltage – level L $U_{CC} = 4,75\text{ V}$ $U_{IH} = 2\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 20\text{ mA}$	Ausgangsspannung – L-Zustand	$U_{OL} < 0,5\text{ V}$
Input current for max. input voltage $U_{CC} = 5,25\text{ V}$ $U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom für max. Eingangsspannung	$I_{IH} < 1\text{ mA}$
Input current – level H $U_{CC} = 5,25\text{ V}$ $U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}, U_I = 4,5\text{ V}$	Eingangsstrom – H-Zustand	
input J, K	Eingang J, K	$I_{IH} < 50\text{ }\mu\text{A}$
input CL	Takteingang	$I_{IH} < 100\text{ }\mu\text{A}$
input R	Rückstelleingang	$I_{IH} < 100\text{ }\mu\text{A}$
input S	Dateneingang	$I_{IH} < 100\text{ }\mu\text{A}$
Input current – level L $U_{CC} = 5,25\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0,5\text{ V}$	Eingangsstrom – L-Zustand	
input J, K	Eingang J, K	$-I_{IL} < 1,6\text{ mA}$
input CL	Takteingang	$-I_{IL} < 4\text{ mA}$
input R	Rückstelleingang	$-I_{IL} < 7\text{ mA}$
input S	Dateneingang	$-I_{IL} < 7\text{ mA}$
Short-circuit output current $U_{CC} = 5,25\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS} 40 \dots 100\text{ mA}$
Supply current $U_{CC} = 5,25\text{ V}$ $U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Stromaufnahme	$I_{CC} < 50\text{ mA}$
DYNAMIC DATA: $U_{CC} = 5\text{ V}, \vartheta_a = +25^\circ\text{C}, C_L = 15\text{ pF}, R_L = 280\text{ }\Omega$	DYNAMISCHE KENNDATEN:	
Propagation delay time from input S or R to output Q or \bar{Q} (input CL on level H) (input CL on level L) from input CL to output Q or \bar{Q}	Signal-Laufzeit von Daten- oder Rückstell-Eingang nach Ausgang Q oder \bar{Q} (Takteingang in H-Zustand) (Takteingang in L-Zustand) von Takteingang nach Ausgang Q oder \bar{Q}	$t_{PLH} 2 \dots 7\text{ ns}$ $t_{PHL} 2 \dots 7\text{ ns}$ $t_{PHL} 2 \dots 7\text{ ns}$ $t_{PLH} 2 \dots 7\text{ ns}$ $t_{PHL} 2 \dots 7\text{ ns}$
Maximum clock frequency	Maximale Zählfrequenz	$f_{max} > 80\text{ MHz}$

TRUTH TABLES • LOGISCHES VERHALTEN

SYNCHRONOUS MODE • SYNCHRON REGIME

INPUTS EINGÄNGE 1)				OUTPUTS AUSGÄNGE 2)	
S	R	J	K	Q	\bar{Q}
Daten-Eingang	Rückstell-Eingang				
H	H	L	L	S	\bar{S}
H	H	H	L	H	L
H	H	L	H	L	H
H	H	H	H	\bar{S}	S

1) State for jump in negative voltage on input CL.
Der Stand vor negativen Spannungssprung an Takteingang.
2) State after jump in negative voltage on input CL.
Der Stand nach Beendigung des negativen Spannungssprunges am Takteingang.

ASYNCHRONOUS MODE • ASYNCHRONREGIME

INPUTS EINGÄNGE					OUTPUTS AUSGÄNGE	
S	R	J	K	CL	Q	\bar{Q}
Daten-Eingang	Rückstell-Eingang			Takt-Eingang		
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*

H H-level • H-Zustand L L-level • L-Zustand
X H or L level • H- oder L-Zustand
S State of output Q after the end of previous jump in negative voltage on input CL.
Der Stand des Ausgangs Q nach Beendigung des vorhergehenden negativen Spannungssprunges am Takteingang.
* This state last only in time, when both asynchronous inputs are in level L.
Dieser Stand dauert nur in der Zeit, wann beide Asynchroneingänge in L-Zustand sind.

Type Typ	Feature	Art	Log. function Log. Funktion	Outlines Abmessungen
MZH 115	Quadruple 2-input positive NAND gate with Y - input	Vier NAND-Gatter mit je zwei Eingängen und Y - Anschluss	$X = \overline{AB}$	IO 14
MZH 145	Dual 5-input positive NAND power gate with Y - input	Zwei NAND-Leistungsgatter mit je fünf Eingängen und Y - Anschluss	$X = \overline{ABCDE}$	IO 14
MZH 165	Quadruple MZ100 LSL - TTL level converter with open collector output and Y - input (on level of MH74, MH54, MH84 series)	Vier MZ100-LSL-TTL Pegelumsetzer mit offenem Kollektor und Y - Anschluss (an Pegel der MH74, MH54, MH84 Serie)		IO 14
MZH 185	Quadruple 2-input positive NAND-Gatter with open collector output - TTL - LSL level converter (on level of MZ 100 series)	Vier NAND - Gatter mit je zwei Eingängen und offenem Kollektor - TTL LSL - Pegelumsetzer (am Pegel der MZ 100 Serie)		IO 13
MZJ 115	J - K - Master - Slave - flipflop with Y - inputs.	J - K - Master - Slave - Flipflop mit Y - Anschlüssen		IO 14
MZK 105	Timing circuit with Y-input for monostable multivibrators, pulse delay, pulse reduction and delay switch circuits	Zeitglied mit Y-Anschluss für monostabile Kippstufe, Impulsverzögerungs-, Impulsverkürzungs- und Einschaltverzögerungsschaltungen		IO 14

MAXIMUM RATINGS:

Supply voltage
MZH 185
 Input voltage
MZH 185
 Voltage on Y-lead
 Current of Y-lead
 Operating temperature range
 Storage temperature range

GRENZDATEN:

Betriebsspannung
 Eingangsspannung
 Spannung am Knotenpunkt N
 Strom am Knotenpunkt N
 Betriebstemperaturbereich
 Lagertemperaturbereich

U_{CC}	max	0 ... 18	V
U_{CC}	max	0 ... 7	V
U_I	max	0 ... 18	V
U_I	max	0 ... 5,5	V
U_Y	max	-1 ... +0,6	V
I_Y	max	-10 ... +2,0	mA
ϑ_a	max	-25 ... +85	°C
ϑ_{stg}	max	-55 ... +155	°C

1) All voltages valid with regard to common point, which is the lead No. 8, at type MZH 185 the lead No. 7.
 Alle Spannungen gelten angesichts zum Nullpunkt, welcher die Ausführung No. 8, beim Typ MZH 185 die Ausführung No. 7 ist.

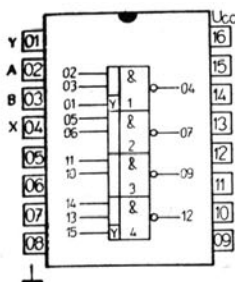
CHARACTERISTIC DATA:

Dissipation power on each gate
 Noise margin

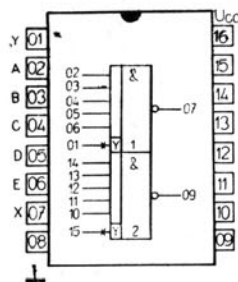
KENNDATEN:

Leistungsverbrauch pro Gatter
 Statische Störsicherheit

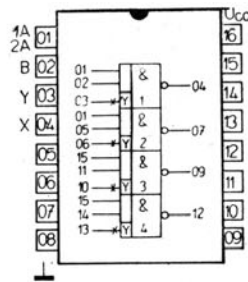
P_{typ}	27	mW
U	5	V



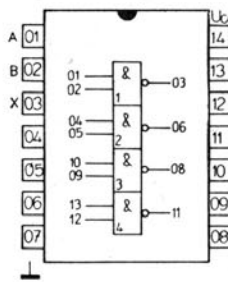
MZH115



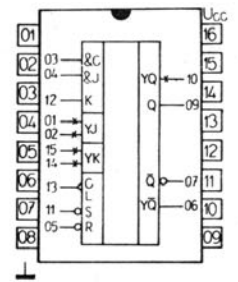
MZH145



MZH165



MZH185



MZJ115

MZH115 LOGIC INTEGRATED CIRCUITS DTL ● LOGISCHE INTEGRIERTE SCHALTKREISE DTL
MZH145 GATES NAND ● LEVEL CONVERTES
MZH165 GATTER NAND ● PEGELUMSETZER LSL - TTL

CHARACTERISTIC DATA ● KENNDATEN

		MZH115	MZH145	MZH165	
Ambient temperature	Umgebungstemperatur	ϑ_a -25 ... +85			°C
Supply voltage	Betriebsspannung	U_{CC} 11,4 ... 13,5 13,5 ... 17,0			V
Fan-out from each output	Ausgangsfächer pro Gatter				
level L	L-Zustand	N_{OL} max. 10	max. 30	max. 10	
level H	H-Zustand	N_{OH} max. 100	max. 100		
Input voltage – level H	Eingangsspannung – H-Zustand				
$U_{CC} = 11,4$ V		U_{IH} > 7,5	> 7,5	> 7,5	V
$U_{CC} = 13,5$ V		U_{IH} > 7,5	> 7,5	> 7,5	V
Input voltage – level L	Eingangsspannung – L-Zustand				
$U_{CC} = 11,4$ V		U_{IL} < 4,5	< 4,5	< 4,5	V
$U_{CC} = 13,5$ V		U_{IL} < 4,5	< 4,5	< 4,5	V
$U_{CC} = 17,0$ V		U_{IL} < 4,5	< 4,5	–	V
Output voltage – level H	Ausgangsspannung – H-Zustand				
$U_{CC} = 11,4$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH} > 10	> 10	–	V
$U_{CC} = 13,5$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH} > 10	> 10	–	V
$U_{CC} = 17,0$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH} > 12	> 12	–	V
Output voltage – level L	Ausgangsspannung – L-Zustand				
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 15$ mA		U_{OL} < 1,7	–	–	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 18$ mA		U_{OL} < 1,7	–	–	V
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 45$ mA		U_{OL} –	< 1,7	–	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 54$ mA		U_{OL} –	< 1,7	–	V
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 20$ mA		U_{OL} –	–	< 0,4	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 20$ mA		U_{OL} –	–	< 0,4	V
Input current – level H	Eingangsstrom – H-Zustand				
$U_{CC} = 13,5$ V, $U_I = 17$ V		I_{IH} < 1,0	< 1,0	–	µA
$U_{CC} = 17$ V, $U_I = 17$ V		I_{IH} < 1,0	< 1,0	–	µA
$U_{CC} = 13,5$ V, $U_I = 17$ V	Input ● Eingang 2, 5, 11, 14	I_{IH} –	–	< 1,0	µA
$U_{CC} = 17$ V, $U_I = 17$ V	Input ● Eingang 2, 5, 11, 14	I_{IH} –	–	< 1,0	µA
$U_{CC} = 13,5$ V, $U_I = 17$ V	Input ● Eingang 1, 15	I_{IH} –	–	< 2,0	µA
$U_{CC} = 17$ V, $U_I = 17$ V	Input ● Eingang 1, 15	I_{IH} –	–	< 1,0	µA
Input current – level L	Eingangsstrom – L-Zustand				
$U_{CC} = 13,5$ V, $U_I = 1,7$ V		$-I_{IL}$ < 1,5	< 1,5	–	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V		$-I_{IL}$ < 1,8	< 1,8	–	mA
$U_{CC} = 13,5$ V, $U_I = 1,7$ V	Input ● Eingang 2, 5, 11, 14	$-I_{IL}$ –	–	< 1,5	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V	Input ● Eingang 2, 5, 11, 14	$-I_{IL}$ –	–	< 1,8	mA
$U_{CC} = 13,5$ V, $U_I = 1,7$ V	Input ● Eingang 1, 15	$-I_{IL}$ –	–	< 3,0	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V	Input ● Eingang 1, 15	$-I_{IL}$ –	–	< 3,6	mA
Short-circuit output current	Kurzschlussausgangsstrom				
$U_{CC} = 13,5$ V, $U_I = 0$ V, $\vartheta_a = 25$ °C		$-I_{OS}$ 10 ... 50	10 ... 50	–	mA
$U_{CC} = 17$ V, $U_I = 0$ V, $\vartheta_a = 25$ °C		$-I_{OS}$ 15 ... 60	15 ... 60	–	mA
Supply current – level H (full circuit)	Stromaufnahme – H-Zustand (gesamte)				
$U_{CC} = 13,5$ V, $U_I = 0$ V		I_{CCH} < 6,4	< 3,2	< 18	mA
$U_{CC} = 17$ V, $U_I = 0$ V		I_{CCH} < 8,4	< 4,2	< 18	mA
Supply current – level L (full circuit)	Stromaufnahme – L-Zustand (gesamte)				
$U_{CC} = 13,5$ V, $U_I = 13,5$ V		I_{CCL} < 12,0	< 6,0	< 24	mA
$U_{CC} = 17$ V, $U_I = 17$ V		I_{CCL} < 16,0	< 8,0	< 84	mA

DYNAMIC DATA:

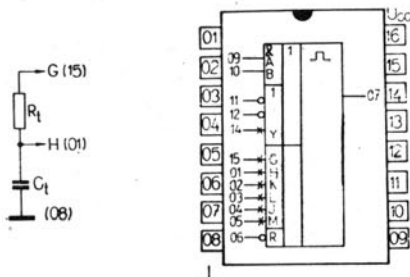
DYNAMISCHE KENNDATEN:

$U_{CC} = 12$ V, $C_L = 10$ pF, $\vartheta_a = 25$ °C

Propagation delay time to level H
 level L
 Front time
 Run-out time

Signal-Laufzeit beim Übergang nach H-Zustand
 nach L-Zustand
 Anlaufzeit
 Auslaufzeit

t_{PLH}	90 ... 310	90 ... 310	< 300	ns
t_{PHL}	90 ... 310	90 ... 310	< 500	ns
t_r	200 ... 570	200 ... 570	–	ns
t_f	70 ... 210	70 ... 210	–	ns



MZK115

MZH165

TRUTH TABLE ● LOGISCHES VERHALTEN

A	B	X
L	L	H
H	L	H
L	H	H
H	H	L

CHARACTERISTIC DATA ● KENNDATEN

Values of H and L levels are equal as at gates of MH7400 series	Pegelwerte von H- und L-Zuständen sind die Gleiche wie bei Gattern von MH7400 Reihe			
Ambient temperature	Umgebungstemperatur	ϑ_a	-25 ... +85	°C
Supply voltage	Betriebsspannung	U_{CC}	4,75 ... 5,25	V
DYNAMIC DATA:		DYNAMISCHE KENNDATEN:		
Propagation delay time to level L	Signal-Laufzeit beim Übergang nach L-Zustand	t_{PHL}	< 60	ns
level H	H-Zustand	t_{PLH}	< 300	ns

MZH 185

CHARACTERISTIC DATA ● KENNDATEN

Ambient temperature	Umgebungstemperatur	ϑ_a	-25 ... +85	°C
Supply voltage	Betriebsspannung	U_{CC}	11,4 ... 13,5 13,5 ... 17	V
Fan-out from each output max. L level	Ausgangsfächer pro Gatter max. L-Zustand	N_{OL}	30	30
H level	H-Zustand	N_{OH}	100	100
Width of clock pulse min.	Taktimpulsdauer	t_p (clock)	600	600 ns
Width of preset pulse min.	Stellimpulszeit	t_r (\bar{S})	1,0	1,0 μ s
Width of clear pulse min.	Rückstellimpulszeit	t_p (\bar{R})	1,0	1,0 μ s
Input setup time min.	Eingangsvoreilung min.	t_{setup}	0	0 ns
Input hold time min.	Eingangsversetzung min.	t_{hold}	0	0 ns
Values of H and L levels are equal as at gates:	Pegelwerte von H- und L-Zuständen sind die Gleiche wie bei Gattern:			
Supply voltage	Betriebsspannung	U_{CC}	13,5	17,0 V
Input current – H level $U_I = 1,7$ V	Eingangsstrom – H-Zustand			
each input beside clock input	jed. Eingang aus. Takteingang	I_{IH}	< 1,0	< 1,0 μ A
	Takteingang	I_{IH}	< 3,0	< 3,0 μ A
Input current – L level $U_I = 1,7$ V	Eingangsstrom – L-Zustand			
each input beside clock input	jed. Eingang aus. Takteingang	$-I_{IL}$	< 1,5	< 1,8 mA
	Takteingang	$-I_{IL}$	< 3,0	< 3,6 mA
Supply current	Stromaufnahme	I_{CC}	< 14	< 20 mA

MZJ115

DYNAMIC DATA: DYNAMISCHE KENNDATEN:

$U_{CC} = 12$ V, $C_L = 10$ pF, $\vartheta_a = 25$ °C

Propagation delay time to H level across R-output or output	Signal-Laufzeit beim Übergang nach H-Zustand über R-Ausgang oder Ausgang	t_{PLH}	70 ... 330	ns
L level across R-output or output	nach L-Zustand über R-Ausgang oder Ausgang	t_{PHL}	180 ... 580	ns
H level across clock-output	nach H-Zustand über Takt-Ausgang	t_{PLH}	160 ... 520	ns
L level across clock-output	nach L-Zustand über Takt-Ausgang	t_{PHL}	270 ... 770	ns
Front time	Anlaufzeit	t_r	200 ... 570	ns
Run-out time	Auslaufzeit	t_f	70 ... 210	ns

MZJ115

TRUTH TABLE ● LOGISCHES VERHALTEN

t_n		$t_n + 1$
J	K	Q
L	L	\bar{Q}_n
H	L	H
L	H	L
H	H	\bar{Q}_n

Action of inputs \bar{R} and \bar{S} :

If put in L level on input \bar{R} , on output Q is ordered L level.
 If put in H level on input \bar{S} , on output Q is ordered H level.
 Action of inputs R and S is not dependent on clock input.

Funktion von Eingängen \bar{R} und \bar{S} :

L-Zustand an \bar{R} -Eingang bringt Ausgang Q auf L-Zustand.
 H-Zustand an \bar{S} -Eingang bringt Ausgang Q auf H-Zustand.
 Funktion der R- und S-Eingängen ist unabhängig von Takteinganges.

MZH185

TRUTH TABLE ● LOGISCHES VERHALTEN

A	B	X
L	L	H
H	L	H
L	H	\bar{X}
H	H	L

MZK105 LOGIC INTEGRATED CIRCUITS DTL ● LOGISCHE INTEGRIERTE SCHALTKREISE DTL
TIMING CIRCUIT ● ZEITGLIED

CHARACTERISTIC DATA ● KENNDATEN

Ambient temperature	Umgebungstemperatur	θ_a	-25 ... +85	°C
Supply voltage	Betriebsspannung	U_{CC}	11,4 ... 13,5 13,5 ... 17,0	V
Input voltage – level H $U_{CC} = 11,4$ V	Eingangsspannung – H-Zustand	U_{IH}	> 7,5	V
Input voltage – level L $U_{CC} = 11,4$ V $U_{CC} = 13,5$ V $U_{CC} = 17,0$ V	Eingangsspannung – L-Zustand	U_{IL}	< 4,5	V
		U_{IL}	< 4,5	V
		U_{IL}	< 4,5	V
Output voltage – level H $U_{CC} = 11,4$ V, $U_{IL} = 4,5$ V, $-I_O = 0,1$ mA $U_{CC} = 13,5$ V, $U_{IL} = 4,5$ V, $-I_O = 0,1$ mA $U_{CC} = 17,0$ V, $U_{IL} = 4,5$ V, $-I_O = 0,1$ mA	Ausgangsspannung – H-Zustand	U_{OH}	> 10	V
		U_{OH}	> 10	V
		U_{OH}	> 12	V
Output voltage – level L $U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_O = 15$ mA $U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_O = 18$ mA	Ausgangsspannung – L-Zustand	U_{OL}	< 1,7	V
		U_{OL}	< 1,7	V
Input current – level H $U_{CC} = 13,5$ V, $U_{IH} = 17$ V $U_{CC} = 17,0$ V, $U_{IH} = 17$ V	Eingangsstrom – H-Zustand	I_{IH}	< 1,0	μ A
		I_{IH}	< 1,0	μ A
Input current – level L $U_{CC} = 13,5$ V, $U_{IL} = 1,7$ V $U_{CC} = 17,0$ V, $U_{IL} = 1,7$ V	Eingangsstrom – L-Zustand	$-I_{IL}$	< 1,5	mA
		$-I_{IL}$	< 1,8	mA
Short-circuit output current $U_{CC} = 13,5$ V, $\theta_a = 25$ °C $U_{CC} = 17,0$ V, $\theta_a = 25$ °C	Kurzschlussausgangsstrom	$-I_{OS}$	9 ... 25	mA
		$-I_{OS}$	9 ... 25	mA
Supply current – level L $U_{CC} = 13,5$ V $U_{CC} = 17,0$ V	Stromaufnahme – L-Zustand	I_{CCL}	< 19,0	mA
		I_{CCL}	< 23,0	mA
Supply current – level H $U_{CC} = 13,5$ V $U_{CC} = 17,0$ V	Stromaufnahme – H-Zustand	I_{CCH}	< 18,5	mA
		I_{CCH}	< 22,0	mA

RECOMMENDED WORKING CONDITIONS: ● EMPFOHLENE BETRIEBSBEDINGUNGEN:

Input pulse duration (A, B, C, D)	Eingangsimpulsdauer (A, B, C, D)	t_I	> 500	ns
Reset pulse duration (\bar{R})	Rückstellimpulsdauer (\bar{R})	$t_{\bar{R}}$	> 500	ns
Transition time input A, B	Signal-Übergangszeit Eingang A, B	t_{TLH}	> 0,1	V/ μ s
input C, D	Eingang C, D	t_{THL}	> 1	V/ μ s
Preset (input C, D)	Voreilung (Eingang C, D)	t_V	> 500	ns
Fan-out from each output level H	Ausgangsfächer pro Gatter H-Zustand	N_{OH}	max. 100	
level L	L-Zustand	N_{OL}	max. 10	
Resistance of timing circuit	Widerstand des Zeitbestim- menden Gliedes	R_t	5 ... 500	k Ω
resistance range for high accuracy	Widerstandsbereich für hohe Genauigkeit	R_t	40 ... 200	k Ω
Capacitance of timing circuit	Kondensator des Zeitbestim- menden Gliedes	C_t	0 ... (ohne Beschränkung)	pF
Integrating capacitance	Integrationskapazität	C_N	0 ... 500	pF

DYNAMIC DATA: DYNAMISCHE KENNDATEN: $U_{CC} = 12$ V, $U_{CC} = 15$ V, $\theta_a = 25$ °C

Output pulse duration L, J, M connected or J, M connected $R_t = 40$ k Ω , $C_t = 0$ pF	Ausgangsimpulsdauer L, J, M verbunden oder J, M verbunden	t_Q	< 400	ns
Propagation delay time	Signal-Laufzeit	t_{PLH}	350	ns
Propagation delay time L and K connected	Signal-Laufzeit L und K verbunden	t_{PHL}	0,1 · t_I	ns
reset, L and K connected	Rückstellung, L u. K verbun- den für übrige Betriebsarten	t_{PHL}	220	ns
Recovery time	Erholzeit	t_r	$(C_O + C_t) \cdot 10^3$	s, F
Internal capacitance of timing circuit between lead H and O V	Innere Kapazität des Zeitbestim- menden Gliedes zwischen Anschluss H und O V	C_O	10	pF

THREE BASIC INTEGRATED CIRCUITS OF MICROPROCESSOR SYSTEM MH3000 FAMILY IN CO-OPERATION WITH STANDARD BIPOLAR MEMORY ROM ADEQUATE FOR CONSTRUCTION OF HIGH CAPABLE MICROPROCESSOR TO 16 BIT CAPABILITY WITH MINIMUM OF AUXILIARY LOGIC CIRCUITS.

DREI INTEGRIERTE SCHALTKEISE DER MIKROPROZESSOR-SYSTEMS MH3000-SERIE IN ZUSAMMENARBEIT MIT STANDARD ROM-BIPOLARSPEICHER REICHEN FÜR KONSTRUKTION EINES LEISTUNGSFAHIGEN MIKROPROZESSORS MIT EINE 16-BIT-LEISTUNGSFAHIGKEIT MIT MINIMUM VON LOGISCHEN HILFSCHALTKEISEN AUS.

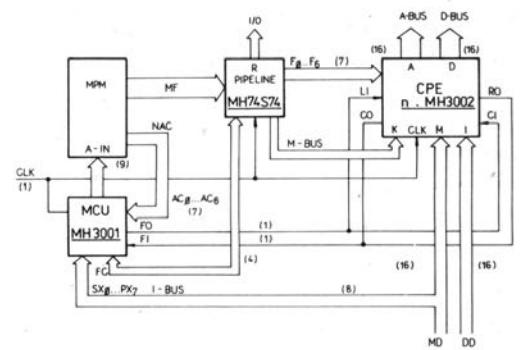
Type Typ	Feature	Art	Abmessungen Outlines
MH3001	Microprogram control unit (CPU) controls the sequence of microinstructions from the microprogram memory	Mikroprogramm-Steuerschaltkreis (CPU) steuert die Folge des Auslesen der Mikroinstruktionen aus dem Mikroprogrammspeicher	IO-20
MH3002	Central processing element (CPE) performing all of the arithmetic, logic and register functions of a 2-bit wide slice through a microprogrammed central processor	Central-Prozessorelement (CPE) realisiert alle arithmetische, logische und Registerfunktionen in einer Breite von 2-Bit mit einem mikroprogrammierbaren Prozessor	IO-19
MH3003	Look-ahead carry generator (LCG) is a high-speed circuit that can anticipate a carry across a full 16-bit MH3002 central processing array	Generator zur Beschleunigung der Übertragung (LCG) ist ein sehr schneller Schaltkreis, welcher ein schnelles Handhaben der Übertragung über eine vollständige Reihe von 16-Bit-Prozessorelementen MH3002 ermöglicht	IO-19

MAXIMUM RATINGS • GRENZDATEN

	min.	max.	
U_{CC}	-0,5	+7,0	V
U_I 1)	-1,0	+5,5	V
U_O 1) 2)	-0,5	+7,0	V
I_O		100	mA
θ_{a} 3)	0	+70	°C
θ_{stg}	-55	+150	°C

CHARACTERISTIC DATA KENNDATEN

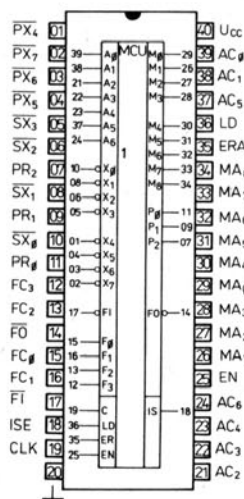
Output voltage level H	Ausgangsspannung H-Zustand	U_{OH}	$\geq 2,4$	V
level L	L-Zustand	U_{OL}	$\leq 0,45$	V
Input voltage level H	Eingangsspannung H-Zustand	U_{IH}	$\geq 2,0$	V
level L	L-Zustand	U_{IL}	$\leq 0,8$	V
Input clamp voltage $U_{CC} = 5,25$ V, $I_I = -5$ mA	Eingangsklemmspannung	$-U_D$	$\leq 1,0$	V



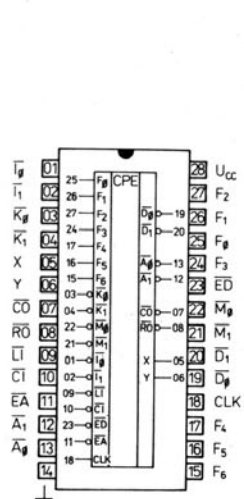
Functional block diagram of a typical processor system 16 bit.
 Funktions-Blockschaltung von typischen Prozessorsystems 16 Bit.

1) Voltage with regard to common point — to lead (\perp). ● Spannung mit Rücksicht zu dem gemeinsamen Punkt — zur Ausführung (\perp).
 2) Voltage including supply voltage. ● Spannung einschliesslich Speisespannung.
 3) Operation out of quoted operating temperature range is not guaranteed. ● Betrieb ausser dem angegebenen Betriebstemperaturbereich ist nicht garantiert.

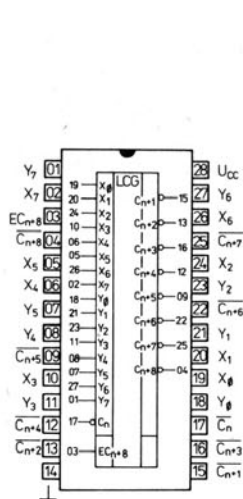
- MPM microprogram control unit ● Mikroprogrammsteuerung
- R pipeline register ● Pipeline-Register
- A-BUS address memory bus ● Adressenspeicher-BUS
- B-BUS data memory bus ● Datenspeicher-BUS
- M-BUS mask bus ● Masken-BUS
- M-D data from memory ● Daten aus dem Speicher
- D-D data from external devices ● Daten aus den äusseren Peripherieeinrichtungen
- MF micro-function ● Mikrofunktion
- NAC next address control ● nachfolgende Adresssteuerung



MH3001



MH3002



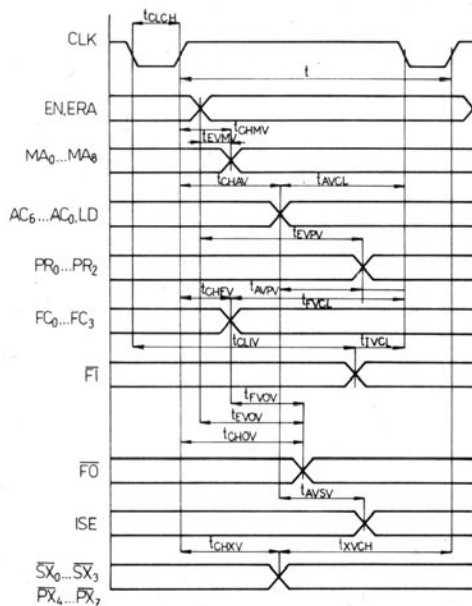
MH3003

CHARACTERISTIC DATA KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

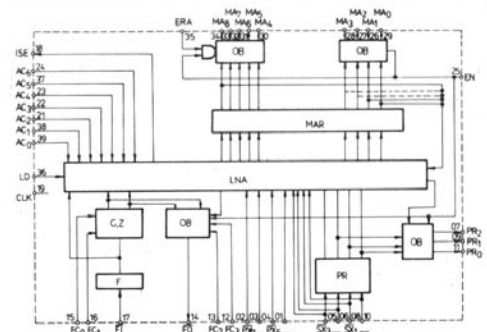
		min.-max.		
Input current – level L Eingangsstrom – L-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 4,5\text{ V}, U_{IL} = 0,45\text{ V}, U_I = 0\text{ V}$				
input CLK	Eingang CLK	$-I_{IL}$	≤ 750	μA
input EN	Eingang EN	$-I_{IL}$	≤ 500	μA
all other inputs	alle andere Eingänge	$-I_{IL}$	≤ 250	μA
Input current – level H Eingangsstrom – H-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}, U_{IL} = 0\text{ V}, U_I = 4,5\text{ V}$				
input CLK	Eingang CLK	I_{IH}	≤ 120	μA
input EN	Eingang EN	I_{IH}	≤ 80	μA
all other inputs	alle andere Eingänge	I_{IH}	≤ 40	μA
Output current – level H Eingangsstrom – H-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 5,25\text{ V}$				
		I_{OH}	≤ 100	μA
Short circuit output current Kurzschlussausgangsstrom				
alle Ausgänge ausser $PR_0 \dots PR_2$				
$U_{CC} = 5,0\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$				
		$-I_{OS}$	$15 \dots 60$	mA
Power supply current – level L Stromaufnahme – L-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$				
		I_{CCL}	≤ 240	mA
Output leak current – level H Ausgangs-Reststrom – H-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 5,25\text{ V}$				
all outputs beside $PR_0 \dots PR_2$	alle Ausgänge ausser $PR_0 \dots PR_2$	I_{OZH}	≤ 100	μA
Output leak current – level L Ausgangs-Reststrom – L-Zustand				
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 0,45\text{ V}$				
all outputs beside $PR_0 \dots PR_2, ISE$	alle Ausgänge ausser $PR_0 \dots PR_2, ISE$	I_{OZL}	≤ 100	μA

DYNAMIC DATA: DYNAMISCHE KENNDATEN:
 $U_{CC} = 5\text{ V}, \vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

t	≤ 85	ns
t _{CLCH}	≤ 30	ns
t _{AVCL}	≤ 10	ns
t _{FVCL}	≤ 0	ns
t _{XVCH}	≤ 35	ns
t _{IVCL}	≤ 15	ns
t _{CHAV}	≤ 5	ns
t _{CHFV}	≤ 0	ns
t _{CHXV}	≤ 20	ns
t _{CLIV}	≤ 20	ns
t _{CHOV}	$10 \dots 45$	ns
t _{CHMV}	$10 \dots 45$	ns
t _{FVOV}	≤ 30	ns
t _{AVPV}	≤ 40	ns
t _{EVPV}	≤ 32	ns
t _{EVMV}	≤ 32	ns
t _{EVOV}	≤ 32	ns
t _{AVSV}	≤ 40	ns



Waveform • Impulsiagramm



Functional diagram • Funktions-Blackschaltung

- OB output buffer • Ausgangspuffer
- MAR microprogram address register • Register der Mikroprogramm-Adresse
- LNA next address logic • Logik der nachfolgenden Adresse
- C, Z C-flag, Z-flag • C- und Z-Zustandsschaltungen
- F F-latch • F-Register
- PR microprogram latch • Mikroprogramm-Register
- $\overline{SX}_0 \dots \overline{SX}_3$ secondary instruction BUS inputs (active L) • Sekundär-instruktion-BUS-Eingänge (aktiver L-Pegel)
- $\overline{PX}_4 \dots \overline{PX}_7$ primary instruction BUS inputs (active L) • Primärinstruktion-BUS-Eingänge (aktiver L-Pegel)
- $PR_0 \dots PR_2$ PR-latch outputs, open collector (active H) • Programmregister-Ausgänge (aktiver H-Pegel)
- $FC_0 \dots FC_3$ flag logic control inputs (active H) • Zustandsteuerlogik-Eingänge (aktiver H-Pegel)
- \overline{FO} flag logic three-state output (active L) • Zustandslogik-Ausgang (aktiver L-Pegel)
- \overline{FI} flag logic input (active L) • Zustandslogik-Eingang (aktiver L-Pegel)
- ISE interrupt strobe enable output (active H) • Freigabeausgang des Kennzeichnungssignals für die Unterbrechung (aktiver H-Pegel)
- CLK clock input • Takteingang
- $AC_0 \dots AC_6$ next address control function inputs (active H) • Funktionseingänge für die Auswahl der nachfolgenden Adresse (aktiver H-Pegel)
- EN enable input (active H) • Freigabeingang (aktiver H-Pegel)
- $MA_0 \dots MA_3$ microprogram column address three-state outputs • Spalten-adressen-Ausgänge des Mikroprogramms (Ausgänge mit drei Zuständen)
- $MA_4 \dots MA_8$ microprogram row address three-state outputs • Zeilen-adressen-Ausgänge des Mikroprogramms (Ausgänge mit drei Zuständen)
- ERA enable row address input (active H) • Freigabeingang der Zeilenadresse des Mikroprogramms (aktiver H-Zustand)
- LD microprogram address load input (active H) • Mikroprogrammadressen-Eingang (aktiver H-Pegel)

BIPOLAR SCHOTTKY TTL MICROPROCESSOR SYSTEM
BIPOLAR SCHOTTKY-TTL-MIKROPROZESSORSYSTEM
MH3000

MH3002

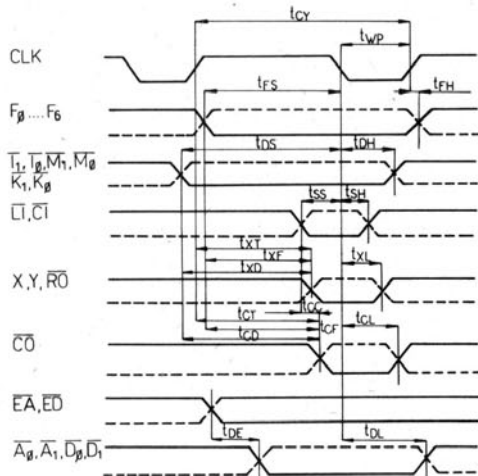
CHARACTERISTIC DATA KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Output current in high impedance state – level H $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 5,25\text{ V}$	Ausgangsstrom im Zustand der hohen Impedanz – H-Zustand	I_{OZH}	≤ 100	μA
Output current in high impedance state – level L $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 0,45\text{ V}$	Ausgangsstrom im Zustand der hohen Impedanz – L-Zustand	$-I_{OZL}$	≤ 100	μA
Short circuit output current ¹⁾ $U_{CC} = 5,0\text{ V}, U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	15 ... 60	mA
Input current – level H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}, U_I = 0\text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	≤ 40	μA
input $F_0 \dots F_6, \text{CLK}, K_0, K_1, \text{EA}, \text{ED}$	● Eingang	I_{IH}	≤ 60	μA
input $I_0, I_1, M_0, M_1, \text{LI}$	● Eingang	I_{IH}	≤ 180	μA
input CI	● Eingang			
Input current – level L	Eingangsstrom – L-Zustand	$-I_{IL}$	$\leq 0,25$	mA
input ● Eingang $F_0 \dots F_6, \text{CLK}, K_0, K_1, \text{EA}, \text{ED}$		$-I_{IL}$	$\leq 1,5$	mA
input ● Eingang $I_0, I_1, M_0, M_1, \text{LI}$		$-I_{IL}$	$\leq 4,0$	mA
input ● Eingang CI				
Power supply current $U_{CC} = 5,25\text{ V}, U_{IL} = 0\text{ V}, U_{IH} = 4,5\text{ V}$	Stromaufnahme	I_{CC}	≤ 190	mA

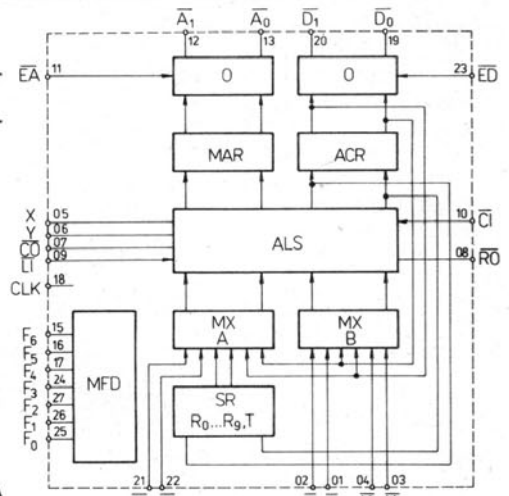
DYNAMIC DATA: DYNAMISCHE KENNDATEN:

t_{XF}	≤ 52	ns	t_{CF}	≤ 65	ns
t_{XD}	≤ 42	ns	t_{CD}	≤ 55	ns
t_{XT}	≤ 60	ns	t_{CC}	≤ 25	ns
t_{XL}	20 ... 92	ns	t_{DL}	≤ 50	ns
t_{CL}	20 ... 105	ns	t_{DE}	≤ 25	ns
t_{CT}	≤ 70	ns			

¹⁾ Not more than one output can be shorted at a time. ●
 Nicht mehr als ein Ausgang darf gleichzeitig kurzgeschlossen sein.



Waveforms ● Impulsdiagramm



Functional diagram ● Funktions-Blockschaltung

- O output buffer ● Ausgangspuffer
- MAR memory address register ● Register des Adressenspeichers
- AC AC register ● AC-Register
- ALS arithmetic/logic section ● arithmetisch-logische Sektion
- MFD mikro function decoder ● Mikrofunctions-Dekoder
- MX-A multiplexer A ● Multiplexer A
- MX-B multiplexer B ● Multiplexer B
- SR Scratchpad registers ● Rauschunterdrückungs-Register

- $F_0 \dots F_6$ mikro-function BUS inputs ● BUS-Eingänge zur Bestimmung der Mikrofunktionen
- $\overline{K_0}, \overline{K_1}$ mask and constant BUS inputs ● BUS-Eingänge der Maskierungs- und Konstanten-Bit
- $\overline{M_0}, \overline{M_1}$ memory data BUS inputs ● Daten-BUS-Eingänge aus dem Speicher
- $\overline{I_0}, \overline{I_1}$ external BUS inputs ● Peripherie-BUS-Eingänge
- $\overline{\text{LI}}$ shift right input ● Eingang der Rechtsverschiebung
- $\overline{\text{CI}}$ carry input ● Eingang der Übertragung
- $\overline{\text{ED}}$ memory data enable input ● Freigabeeingang der Speicherdatenausgabe
- $\overline{\text{EA}}$ memory address enable input ● Freigabeeingang der Speicheradressen
- CLK clock input ● Takteingang
- $\overline{D_0}, \overline{D_1}$ memory data BUS outputs (three state) ● Speicher-Daten-BUS-Ausgänge (drei Zustände)
- $\overline{A_0}, \overline{A_1}$ memory address BUS outputs (three state) ● Speicher-Adressen-BUS-Ausgänge (drei Zustände)
- $\overline{\text{CO}}$ ripple carry output (three state) ● Ausgang der asynchronen Übertragung
- $\overline{\text{RO}}$ shift right output (three state) ● Rechtsverschiebungsausgang (drei Zustände)
- X, Y standard carry look-ahead cascade outputs ● Standardausgänge für die Übertragungsbeschleunigung

CHARACTERISTIC DATA KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

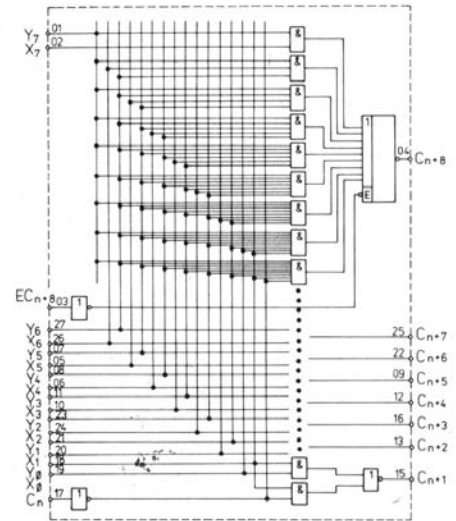
		min.-max.	
Input current – level H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}$	Eingangsstrom – H-Zustand		
input C_n, EC_{n+8}	Eingang C_n, EC_{n+8}	I_{IH}	$\leq 40\ \mu\text{A}$
all other inputs	alle andere Eingänge	I_{IH}	$\leq 100\ \mu\text{A}$
Input current – level L $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}$	Eingangsstrom – L-Zustand		
input X_6, X_7, C_n, EC_{n+8}	Eingang X_6, X_7, C_n, EC_{n+8}	$-I_{IL}$	$\leq 0,25\text{ mA}$
input $Y_7, X_0 \dots X_5$	Eingang $Y_7, X_0 \dots X_5$	$-I_{IL}$	$\leq 0,5\text{ mA}$
input $Y_0 \dots Y_6$	Eingang $Y_0 \dots Y_6$	$-I_{IL}$	$\leq 1,5\text{ mA}$
Short-circuit output current all outputs $U_{CC} = 5,0\text{ V}$	Kurzschlussausgangsstrom alle Ausgänge	$-I_{OS}$	$15 \dots 65\text{ mA}$
Power supply current $U_{CC} = 5,25\text{ V}$	Stromaufnahme	I_{CC}	$\leq 130\text{ mA}$
Leak output current in high impedance state $U_{CC} = 5,25\text{ V}, U_O = 0,45\text{ V}$ $U_{CC} = 5,25\text{ V}, U_O = 5,25\text{ V}$	Ausgangsreststrom im Zustand der hohen Impedanz	$-I_O$ $+I_O$	$\leq 100\ \mu\text{A}$ $\leq 100\ \mu\text{A}$

DYNAMIC DATA:
 $\vartheta_a = +25^\circ\text{C}, U_{CC} = 5,0\text{ V}$

DYNAMISCHE KENNDATEN:
 $f = 1\text{ MHz}, U_{IH} = 5,0\text{ V}$

$t_{XC} \text{)}$	$3 \dots 20$	ns	$C_O (C_n+8)$	≤ 12	pF
$t_{YC} \text{)}$	$3 \dots 20$	ns	C_I	≤ 20	pF
$t_{CC} \text{)}$	≤ 30	ns			
$t_{EN} \text{) } 2)$	≤ 40	ns			
$t_{DS} \text{) } 2)$	≤ 40	ns			

- $R_1 = 1\text{ k}\Omega, R_2 = 2\text{ k}\Omega, C_L = 30\text{ pF}$
- $R_1 = 10\text{ k}\Omega, R_2 = 1\text{ k}\Omega, C_L = 0\text{ pF}$

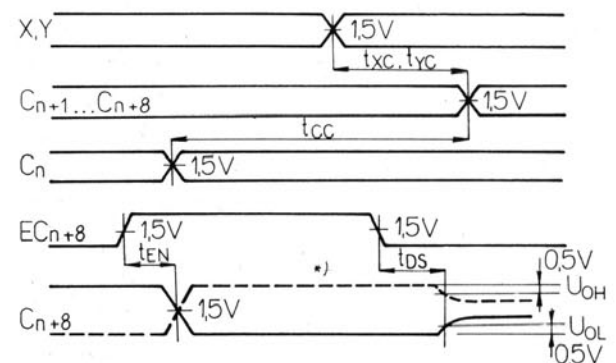


Functional diagram ● Funktions-Blockschaltung

- $X_0 \dots X_7$ standard carry look-ahead inputs (active H) ● Standardeingang für Übertragungsbeschleunigung (H aktiv)
- $Y_0 \dots Y_7$ standard carry look-ahead inputs (active H) ● Standardeingang für Übertragungsbeschleunigung (H aktiv)
- C_n carry input (active L) ● Übertragungseingang (L aktiv)
- EC_{n+8} C_{n+8} carry output enable (active H) ● C_{n+8} Übertragungs-Freigabeausgang (aktiv H)
- $C_{n+1} \dots C_{n+8}$ carry outputs (active L) ● Übertragungsausgang (aktiv L)

LOGIC EQUATIONS ● LOGISCHE GLEICHUNGEN

$$\begin{aligned} \overline{C_n+1} &= Y_0 X_0 + Y_0 C_n \\ \overline{C_n+2} &= Y_1 X_1 + Y_1 Y_0 X_0 + Y_1 Y_0 C_n \\ \overline{C_n+3} &= Y_2 X_2 + Y_2 Y_1 X_1 + Y_2 Y_1 Y_0 X_0 + Y_2 Y_1 Y_0 C_n \\ \overline{C_n+4} &= Y_3 X_3 + Y_3 Y_2 X_2 + Y_3 Y_2 Y_1 X_1 + Y_3 Y_2 Y_1 Y_0 X_0 + Y_3 Y_2 Y_1 Y_0 C_n \\ \overline{C_n+5} &= Y_4 X_4 + Y_4 Y_3 X_3 + Y_4 Y_3 Y_2 X_2 + Y_4 Y_3 Y_2 Y_1 X_1 + Y_4 Y_3 Y_2 Y_1 Y_0 X_0 + Y_4 Y_3 Y_2 Y_1 Y_0 C_n \\ \overline{C_n+6} &= Y_5 X_5 + Y_5 Y_4 X_4 + Y_5 Y_4 Y_3 X_3 + Y_5 Y_4 Y_3 Y_2 X_2 + Y_5 Y_4 Y_3 Y_2 Y_1 X_1 + Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 X_0 + Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 C_n \\ \overline{C_n+7} &= Y_6 X_6 + Y_6 Y_5 X_5 + Y_6 Y_5 Y_4 X_4 + Y_6 Y_5 Y_4 Y_3 X_3 + Y_6 Y_5 Y_4 Y_3 Y_2 X_2 + Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 X_1 + Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 X_0 + Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 C_n \\ \overline{C_n+8} &= 1) \\ \overline{C_n+8} &= Y_7 X_7 + Y_7 Y_6 X_6 + Y_7 Y_6 Y_5 X_5 + Y_7 Y_6 Y_5 Y_4 X_4 + Y_7 Y_6 Y_5 Y_4 Y_3 X_3 + Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 X_2 + Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 X_1 + Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 X_0 + Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 C_n \end{aligned}$$



Waveforms ● Impulssdiagramm

- C_{n+8} = high impedance state when EC_{n+8} low ● Zustand der hohen Impedanz, wenn an EC_{n+8} L-Zustand ist.
- When EC_{n+8} high ● wenn Eingang EC_{n+8} den H-Zustand hat.

BIPOLAR INTEGRATED SCHOTTKY TTL CIRCUITS
 FOR PERIPHERY STAGES OF BIPOLAR MICROPROCESSOR
 SYSTEM TESLA MH3000 OR UNIPOLAR MICROPROCESSOR
 SYSTEM 8080

BIPOLARE INTEGRIERTE SCHOTTKY-TTL-SCHALTKREISE
 FÜR PERIPHERIESTUFEN VON BIPOLAR MIKROPROZESSOR-
 SYSTEMS TESLA MH3000
 ODER UNIPOLAR MIKROPROZESSORSYSTEMS 8080

Type Typ	Feature	Art	Abmessungen Outlines
MH3205	High speed ONE of EIGHT binary decoder with delay time max. 18 ns and low input load current (max. 0,25 mA)	Schneller 1- aus 8-Binär-Dekoder mit Vorbereitungszeit max. 18 ns und niedrigem Eingangslaststrom (max. 0,25 mA)	IO-14
MH3212	Fully parallel 8-bit data register and buffer with three state outputs, asynchronous register clear and flip-flop for interrupt generation — replaces buffers, latches and multiplexers in microcomputer systems	8-Bit paralleles Datenregister/Puffer mit Ausgängen mit drei Zuständen, asynchronem Löschen der Register und Flip-Flop zur Unterbrechungsgenerierung — ersetzt Puffer, Signalspeicher und Multiplexer in Mikrocomputer-Systemen	IO-15
MH3214	Interrupt control unit (ICU) for eight level priority interrupt	Prioritäts-Steuereinheit für Unterbrechungen mit acht Ebenen	IO-15
MH3216	High speed 4-bit parallel bidirectional non-inverting bus driver/receiver with three state outputs — available to meet a wide variety of applications for driving system bus and buffering in micro-computer systems	Schneller 4-Bit-parallele nichtinvertierende Zweiweg-BUS-Treiber/Empfänger mit Ausgängen drei Zuständen — insbesondere bestimmt zur verschiedenen Treiber- und Pufferanwendungen von Mikrocomputern-Teilsysteme	IO-14
MH3226	High speed 4-bit parallel bidirectional inverting bus driver/receiver with three state outputs — available to meet a wide variety of applications for driving system bus and buffering in microcomputer systems	Schneller 4-Bit-parallele invertierende Zweiweg-BUS-Treiber/Empfänger mit Ausgängen mit drei Zuständen — insbesondere bestimmt zur verschiedenen Treiber- und Pufferanwendungen von Mikrocomputern-Teilsysteme	IO-14

All integrated circuits are full compatible with TTL and DTL circuits, Schottky bipolar technology. Inputs are furnished with Schottky barrier diodes. ● Alle integrierte Schaltkreise sind mit TTL- und DTL-Schaltkreise voll kompatibel. Schottky-Bipolar-Technologie. Eingänge sind mit Schottky-Barrier-Dioden ausgestattet.

MAXIMUM RATINGS ● GRENZDATEN

			min.	max.	
Supply voltage ¹⁾	Betriebsspannung ¹⁾	U_{CC}	-0,5	+7	V
Voltage of all outputs ¹⁾	Spannung von aller Ausgängen ¹⁾	U_O	-0,5	+7	V
Input voltage ¹⁾	Eingangsspannung ¹⁾	U_I	-1,0	+5,5	V
Output current	Ausgangsstrom	I_O		125	mA
		MH3212		100	mA
Operating temperature range	Betriebstemperaturbereich	ϑ_a	0	+70	°C
Storage temperature range	Lagerungstemperaturbereich	ϑ_{stg}	-55	+155	°C

1. Voltage with regard to common point — to lead ⊥. ● Spannung mit Rücksicht zu dem gemeinsamen Punkt — zur Ausführung ⊥.
 2. Operation beside quoted operating temperature range is not guaranteed. ● Betrieb ausser den angegebenen Betriebstemperaturbereich ist nicht garantiert.

MH3205

- A, B, C Address inputs ● Adressen-Eingänge
- $\bar{E}_1, \bar{E}_2, \bar{E}_3$ enable inputs ● Freigabe-Eingänge
- 0...7 decoded outputs ● Dekodierte Ausgänge

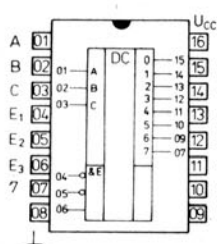
MH3212

- $D_1 \dots D_8$ data inputs ● Daten-Eingänge
- $Q_1 \dots Q_8$ data outputs ● Daten-Ausgänge
- \bar{S}_1, \bar{S}_2 device select inputs ● Schaltkreis-Auswahl-Eingänge
- MD mode input ● Betriebsart

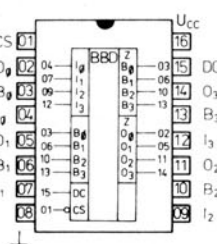
- R clear input ● Löschen-Eingang
- \bar{IT} interrupt output ● Unterbrechung-Ausgang
- SB strobe input ● Übernahme-Eingang

MH3216, MH3226

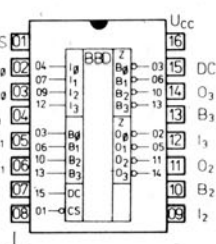
- $I_0 \dots I_3$ data inputs ● Daten-Eingänge
- $O_0 \dots O_3$ data outputs ● Daten-Ausgänge
- $B_0 \dots B_3$ data bus bi-directional ● Zweiweg-Daten-BUS
- \bar{DC} data input enable direction control ● Dateneingabe freigeben Richtungssteuerung
- \bar{CS} chip select ● Schaltkreis-Auswahl



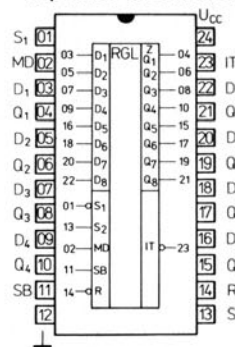
MH3205



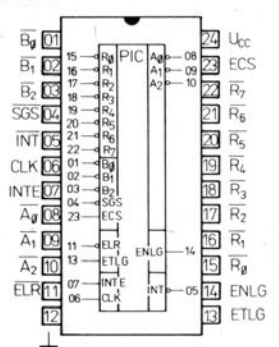
MH3212



MH3216



MH3226



MH3214

CHARACTERISTIC DATA:

Input voltage — level H
 $U_{CC} = 5,0 \text{ V}$

Input voltage — level L
 $U_{CC} = 5,0 \text{ V}$

Output voltage — level H
 $U_{CC} = 4,75 \text{ V}, I_{OH} = -1,5 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,85 \text{ V}$

Output voltage — level L
 $U_{CC} = 4,75 \text{ V}, I_{OL} = 10 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,85 \text{ V}$
 $U_{CC} = 4,75 \text{ V}, I_{OL} = 40 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,85 \text{ V}$

Input current — level H
 each input
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 5,25 \text{ V}$

Input current — level L
 each input
 $U_{CC} = 5,25 \text{ V}, U_{IL} = 0,45 \text{ V}$

Short-circuit output current ¹⁾
 $U_{CC} = 5,0 \text{ V}$

Supply current
 $U_{CC} = 5,25 \text{ V}$

Input clamp voltage
 $U_{CC} = 4,75 \text{ V}, I_I = -5 \text{ mA}$

KENNDATEN:

Eingangsspannung — H-Zustand

Eingangsspannung — L-Zustand

Ausgangsspannung — H-Zustand

Ausgangsspannung — L-Zustand

Eingangsstrom — H-Zustand
 pro Eingang

Eingangsstrom — L-Zustand
 pro Eingang

Kurzschlussausgangsstrom ¹⁾

Stromaufnahme

Eingangsklemmspannung

$\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

U_{IH}	$\geq 2,0$	V
U_{IL}	$\leq 0,85$	V
U_{OH}	$\leq 2,4$	V
U_{OL}	$\leq 0,45$	V
U_{OL}	$\leq 0,8$	V
I_{IH}	≤ 10	μA
$-I_{IL}$	$\leq 0,25$	mA
$-I_{OS}$	40 ... 120	mA
I_{CC}	≤ 70	mA
$-U_D$	$\leq 1,0$	V

DYNAMIC DATA:

$U_{CC} = 5,0 \text{ V}, \vartheta_a = +25^\circ\text{C}$

Propagation delay time
 $C_L = 30 \text{ pF}$
 input A, B, C, E_1, E_2, E_3 to level H, output to level H

input A, B, C, E_1, E_2, E_3 to level L, output to level L

input A, B, C, E_1, E_2, E_3 to level H, output to level L

input A, B, C, E_1, E_2, E_3 to level L, output to level H

DYNAMISCHE KENNDATEN:

Signal-Laufzeit

Eingang A, B, C, E_1, E_2, E_3 auf H-Zustand, Ausgang auf H-Zustand	t_{++}	≤ 18	ns
Eingang A, B, C, E_1, E_2, E_3 auf L-Zustand, Ausgang auf L-Zustand	t_{--}	≤ 18	ns
Eingang A, B, C, E_1, E_2, E_3 auf H-Zustand, Ausgang auf L-Zustand	t_{+-}	≤ 18	ns
Eingang A, B, C, E_1, E_2, E_3 auf L-Zustand, Ausgang auf H-Zustand	t_{-+}	≤ 18	ns

Input capacitance
 $f = 1 \text{ MHz}, U_{CC} = 0 \text{ V}, U_{IH} = 2,0 \text{ V}$

Eingangskapazität

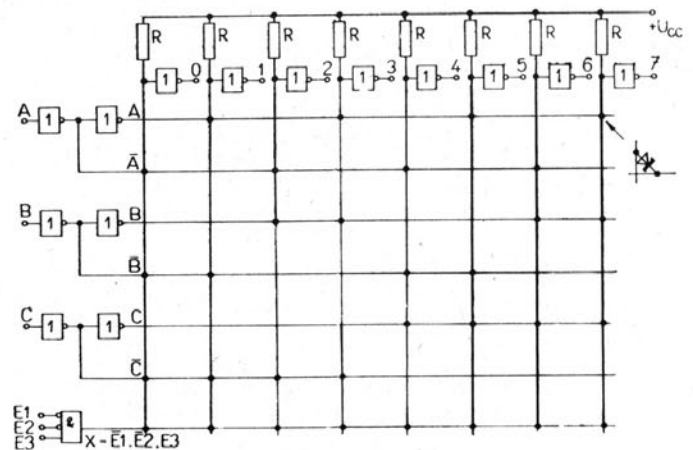
C_I	4	pF
-------	---	----

FUNCTION TABLE • FUNKTIONSTABELLE

INPUTS • EINGÄNGE						OUTPUTS • AUSGÄNGE							
A	B	C	E_1	E_2	E_3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	H	H	L	L	H	H	H	H	H	H	L	H	H
H	H	H	L	L	H	H	H	H	H	H	H	L	H
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

H — high level • High-Zustand L — low level • Low-Zustand
 X — irrelevant level H or L • Beliebiger Eingangszustand (H oder L)

FUNCTION BLOCK DIAGRAM • FUNKTION-BLOCKSCHALTUNG



¹⁾ Not more than one output should be shorted at a time. • Nicht mehr als ein Ausgang darf gleichzeitig kurzgeschlossen sein.

CHARACTERISTIC DATA:	KENNDATEN:	$\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$	
Input voltage — level H each input $U_{CC} = 5,0\text{ V}$	Eingangsspannung — H-Zustand pro Eingang	U_{IH}	$\geq 2,0$ V
Input voltage — level L each input $U_{CC} = 5,0\text{ V}$	Eingangsspannung — L-Zustand pro Eingang	U_{IL}	$\leq 0,85$ V
Output voltage — level H $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, I_{OH} = -1\text{ mA}, U_{IL} = 0,85\text{ V}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 3,65$ V
Output voltage — level L $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, I_{OL} = 15\text{ mA}, U_{IL} = 0,85\text{ V}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,45$ V
Input current — level H $U_{CC} = 5,25\text{ V}, U_I = 5,25\text{ V}$ input SB, S ₂ , R, D ₁ ...D ₈ input MD input S ₁	Eingangsstrom — H-Zustand Eingang SB, S ₂ , R, D ₁ ...D ₈ Eingang MD Eingang S ₁	I_{IH} I_{IH} I_{IH}	≤ 10 μA ≤ 30 μA ≤ 40 μA
Input current — level L $U_{CC} = 5,25\text{ V}, U_I = 0,45\text{ V}$ input SB, S ₂ , R, D ₁ ...D ₈ input MD input S ₁	Eingangsstrom — L-Zustand Eingang SB, S ₂ , R, D ₁ ...D ₈ Eingang MD Eingang S ₁	$-I_{IL}$ $-I_{IL}$ $-I_{IL}$	$\leq 0,25$ mA $\leq 0,75$ mA $\leq 1,0$ mA
Short-circuit output current ¹⁾ $U_{CC} = 5,0\text{ V}, U_O = 0\text{ V}$	Kurzschlussausgangsstrom ¹⁾	$-I_{OS}$	$15 \dots 75$ mA
Output leak current in state of high impedance $U_{CC} = 5,25\text{ V}, U_O = 0,45\text{ V}, U_I = 5,25\text{ V}$	Ausgangs-Ableitstrom im Zustand mit hohe Impedanz	$ I_{OZ} $	≤ 20 μA
Supply current $U_{CC} = 5,25\text{ V}$	Stromaufnahme	I_{CC}	≤ 130 mA
Input clamp voltage $U_{CC} = 4,75\text{ V}, I_I = -5\text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1,0$ V
DYNAMIC DATA: $U_{CC} = 5,0\text{ V}, \vartheta_a = +25^\circ\text{C}, R = 300\ \Omega/600\ \Omega, C_L = 30\text{ pF}$	DYNAMISCHE KENNDATEN:		
Propagation delay time from input D to output Q from input SB and $\overline{S_1} \cdot S_2$ to output Q from input SB to output IT from input S ₁ · S ₂ to output IT from input R to outputs Q	Signal-Laufzeit von Eingang D auf Ausgang Q von Eingang SB und $\overline{S_1} \cdot S_2$ auf Ausgang Q von Eingang SB auf Ausgang IT von Eingang S ₁ · S ₂ auf Ausgang IT von Eingang R auf Ausgänge Q	t_{PD} t_{WE} t_R t_S t_C	≤ 30 ns ≤ 40 ns ≤ 40 ns ≤ 30 ns ≤ 55 ns
Access time of outputs Q from input $\overline{S_1} \cdot S_2$ $U_{CC} = 5,0\text{ V}, \vartheta_a = +25^\circ\text{C}, R = 10\text{ k}\Omega/1\text{ k}\Omega, C_L = 5\text{ pF}$	Zugriffszeit von Ausgängen Q aus Eingang $\overline{S_1} \cdot S_2$	t_E	≤ 45 ns
Access time of outputs Q from input $\overline{S_1} \cdot S_2$ $U_{CC} = 5,0\text{ V}, \vartheta_a = +25^\circ\text{C}, f = 1\text{ MHz}, U_I = 2,5\text{ V}$	Zugriffszeit von Ausgängen Q aus Eingang $\overline{S_1} \cdot S_2$	t_D	≤ 45 ns
Input capacitance input S ₁ , MD input S ₂ , R, SB, D ₁ ...D ₈	Eingangskapazität Eingang S ₁ , MD Eingang S ₂ , R, SB, D ₁ ...D ₈	C_I C_I	≤ 12 pF ≤ 9 pF
Output capacitance of outputs Q ₁ ...Q ₈	Ausgangskapazität von Ausgängen Q ₁ ...Q ₈	C_O	≤ 12 pF

FUNCTION TABLE • FUNKTIONSTABELLE

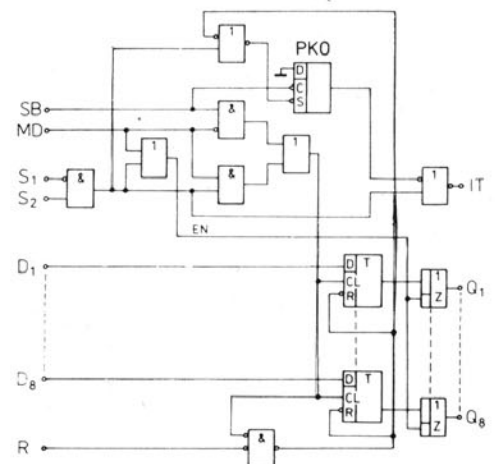
INPUTS • EINGÄNGE			FUNCTION • DATENAUSGANGSSIGNALE		
SB	MD	$\overline{S_1} \cdot S_2$			
L	L	L	3-state ●	Hochohmiger Zustand	
H	L	L	3-state ●	Hochohmiger Zustand	
X	H	L	data latch ●	Datenspeicher	
L	L	H	data latch ●	Datenspeicher	
H	L	H	data latch ●	Dateneingabe	
X	H	H	data latch ●	Dateneingabe	

INPUTS • EINGÄNGE			OUTPUTS • AUSGÄNGE		
R	$\overline{S_1} \cdot S_2$	SB	*) (SR)	IT	
L	L	X	H	H	
L	H	H	H	L	
H	L	L	L	L	
H	H	X	H	L	
H	L	L	Q ₁	§	
H	L	H	Q ₁	§	

Remarks to the function table — p. 76 ● Bemerkungen zur Funktionstabelle — S. 76.

¹⁾ Not more than one output should be shorted at a time. ● Nicht mehr als ein Ausgang darf gleichzeitig kurzgeschlossen sein.

FUNCTION BLOCK DIAGRAM • FUNKTION-BLOCKSCHALTUNG



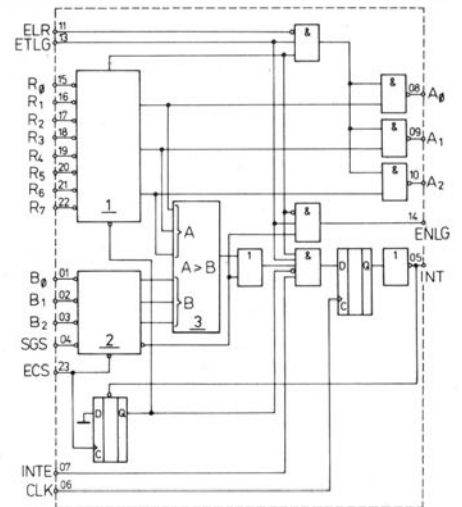
CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Input voltage – level H $U_{CC} = 5,0\text{ V}$	Eingangsspannung – H-Zustand	U_{IH}	$\geq 2,0$	V
Input voltage – level L $U_{CC} = 5,0\text{ V}$	Eingangsspannung – L-Zustand	U_{IL}	$\leq 0,8$	V
Output voltage – level H output ENLG $U_{CC} = 4,75\text{ V}, I_{OH} = -1\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	Ausgangsspannung – H-Zustand Ausgang ENLG	U_{OH}	$\geq 2,4$	V
Output voltage – level L all outputs $U_{CC} = 4,75\text{ V}, I_{OL} = 15\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	Ausgangsspannung – L-Zustand alle Ausgänge	U_{OL}	$\leq 0,45$	V
Input current – level H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	≤ 80	μA
input ETLG	Eingang ETLG	I_{IH}	≤ 40	μA
other inputs	übrige Eingänge			
Input current – level L $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}$	Eingangsstrom – L-Zustand	$-I_{IL}$	$\leq 0,5$	mA
input ETLG	Eingang ETLG	$-I_{IL}$	$\leq 0,25$	mA
other inputs	übrige Eingänge			
Short-circuit output current output ENLG $U_{CC} = 5,0\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	Kurzschlussausgangsstrom Ausgang ENLG	$-I_{OS}$	$20 \dots 55$	mA
Supply current $U_{CC} = 5,25\text{ V}$	Stromaufnahme	I_{CC}	≤ 130	mA
Output leak current outputs INT, $A_0 \dots A_2$ $U_{CC} = 5,25\text{ V}, U_O = 5,25\text{ V}$	Ausgangs-Reststrom Ausgänge INT, $A_0 \dots A_2$	I_O	≤ 100	μA

DYNAMIC DATA • DYNAMISCHE KENNDATEN:

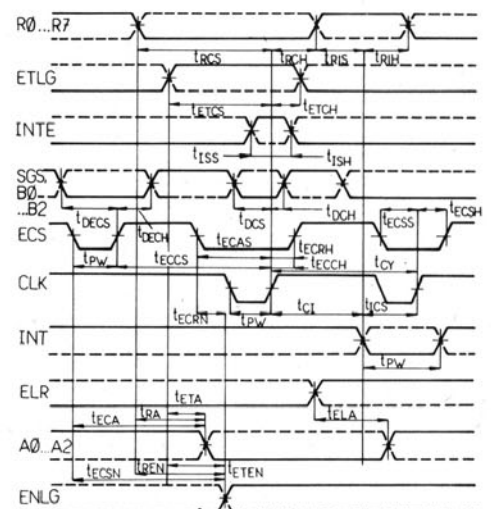
$\vartheta_a = +25^\circ\text{C}, U_{CC} = 5,0\text{ V}$

t_{CY}	≤ 80	ns
t_{PW}	≤ 25	ns
t_{ISS}	≤ 16	ns
t_{ISH}	≤ 20	ns
t_{ETCS}	≤ 25	ns
t_{ETCH}	≤ 20	ns
t_{ECCS}	≤ 80	ns
t_{ECCH}	≤ 0	ns
t_{ECRS}	≤ 110	ns
t_{ECRH}	≤ 0	ns
t_{ECSS}	≤ 75	ns
t_{ECSSH}	≤ 0	ns
t_{DCS}	≤ 70	ns
t_{DCH}	≤ 0	ns
t_{RCS}	≤ 90	ns
t_{RCH}	≤ 0	ns
t_{ICS}	≤ 55	ns
t_{CI}	≤ 25	ns
t_{RIS}	≤ 10	ns
t_{RIH}	≤ 35	ns
t_{RA}	≤ 100	ns
t_{ELA}	≤ 55	ns
t_{ECA}	≤ 120	ns
t_{ETA}	≤ 70	ns
t_{DECS}	≤ 15	ns
t_{DECH}	≤ 15	ns
t_{REN}	≤ 70	ns
t_{ETEN}	≤ 25	ns
t_{ECRN}	≤ 90	ns
t_{ECSN}	≤ 55	ns
C_I	≤ 10	pF
C_O	≤ 12	pF



Functional diagram • Funktions-Blockschaltung

- $R_0 \dots R_7$ priority interrupt request inputs (R₇ highest priority) • Anforderungsebenen-Eingänge (R₇ – höchste Priorität)
- $B_0 \dots B_2$ current status inputs • Eingänge für jeweils gültiger Zustand
- SGS status group select input • Eingang für Auswahl der Zustandsgruppe
- ECS enable current status input • Freigabeingang des jeweils gültigen Zustandes
- INTE interrupt strobe enable input • Unterbrechungsfreigabeingang
- CLK clock input • Takteingang (für int. Flip-Flop)
- ELR enable level read input • Leserfreigabeingang für Unterbrechungsebene
- ETLG enable this level group input • Freigabeingang dieser Ebenengruppe
- $A_0 \dots A_2$ request level outputs • Anforderungsebenen-Ausgänge
- INT interrupt acknowledge • Unterbrechungs-Ausgang
- ENLG enable next level group output • Freigabeingang der nächsten Ebenengruppe



Waveforms • Impulsdiagramm

CHARACTERISTIC DATA:

Input voltage — level H
 $U_{CC} = 5,0 \text{ V}$

Input voltage — level L
 $U_{CC} = 5,0 \text{ V}$

Output voltage — level H
 outputs O
 $U_{CC} = 4,75 \text{ V}, I_{OH} = -1 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,95 \text{ V}$
 outputs B
 $U_{CC} = 4,75 \text{ V}, I_{OH} = -10 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,95 \text{ V}$

Output voltage — level L
 outputs O, B
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,95 \text{ V}$

$I_{OL} = 15 \text{ mA}$, outputs ● Ausgänge O
 $I_{OL} = 25 \text{ mA}$, outputs ● Ausgänge B
 outputs B
 $U_{CC} = 4,75 \text{ V}, I_{OL} = 50 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,95 \text{ V}$

Input current — level H
 $U_{CC} = 5,25 \text{ V}, U_I = 5,25 \text{ V}$
 inputs DC, CS
 inputs I

Input current — level L
 $U_{CC} = 5,25 \text{ V}, U_I = 0,45 \text{ V}$
 inputs DC, CS
 inputs I, B

Short-circuit output current ¹⁾
 $U_{CC} = 5,0 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,95 \text{ V}$

outputs O
 outputs B

Supply current
 $U_{CC} = 5,25 \text{ V}$

Output leak current
 $U_{CC} = 5,25 \text{ V}, U_O = 0,45 \text{ V}/5,25 \text{ V}$
 outputs O
 outputs B

Input clamp voltage
 $U_{CC} = 4,75 \text{ V}, I_I = -5 \text{ mA}$

DYNAMIC DATA:

Propagation delay time
 from input to output O
 $C_L = 30 \text{ pF}, R_1 = 300 \Omega, R_2 = 600 \Omega$

from input to output B
 $C_L = 30 \text{ pF}, R_1 = 90 \Omega, R_2 = 180 \Omega$

Outputs operating time
 from inputs DC, CS

outputs ● Ausgänge O: $C_L = 30 \text{ pF}, R_1 = 300 \Omega/10 \text{ k}\Omega, R_2 = 600 \Omega/1 \text{ k}\Omega$
 outputs ● Ausgänge B: $C_L = 300 \text{ pF}, R_1 = 90 \Omega/10 \text{ k}\Omega, R_2 = 180 \Omega/1 \text{ k}\Omega$

Outputs blocking time
 from inputs DC, CS
 outputs ● Ausgänge O: $C_L = 5 \text{ pF}, R_1 = 300 \Omega/10 \text{ k}\Omega, R_2 = 600 \Omega/1 \text{ k}\Omega$
 outputs ● Ausgänge B: $C_L = 5 \text{ pF}, R_1 = 90 \Omega/10 \text{ k}\Omega, R_2 = 180 \Omega/1 \text{ k}\Omega$

Input capacitance ● Eingangskapazität
 $U_{IH} = 2,5 \text{ V}, f = 1 \text{ MHz}$ $C_I \leq 6 \text{ pF}$

Output capacitance ● Ausgangskapazität
 $f = 1 \text{ MHz}$
 outputs ● Ausgänge O $C_O \leq 10 \text{ pF}$
 outputs ● Ausgänge B $C_O \leq 18 \text{ pF}$

¹⁾ Not more than one output can be shorted at a time. ●
 Nicht mehr als ein Ausgang darf gleichzeitig kurzgeschlossen sein.

KENNDATEN:

Eingangsspannung — H-Zustand

Eingangsspannung — L-Zustand

Ausgangsspannung — H-Zustand

Ausgänge O

Ausgänge B

Ausgangsspannung — L-Zustand

Ausgänge O, B

Ausgänge O

Ausgänge B

Eingangsstrom — H-Zustand

Eingänge DC, CS

Eingänge I

Eingangsstrom — L-Zustand

Eingänge DC, CS

Eingänge I, B

Kurzschlussausgangsstrom ¹⁾

Ausgänge O

Ausgänge B

Stromaufnahme

Ausgangs-Ableitstrom

Ausgänge O

Ausgänge B

Eingangsklemmspannung

DYNAMISCHE KENNDATEN:

Signal-Laufzeit

von Eingang auf Ausgang O

von Eingang auf Ausgang B

Ausgänge-Ansprechzeit

von Eingänge DC, CS

Ausgänge-Sperrzeit

von Eingänge DC, CS

$\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

$U_{IH} \geq 2,0 \text{ V}$

$U_{IL} \leq 0,95 \text{ V}$

$U_{OH} \geq 3,65 \text{ V}$

$U_{OH} \geq 2,4 \text{ V}$

$U_{OL} \leq 0,45 \text{ V}$

$U_{OL} \leq 0,45 \text{ V}$

$U_{OL} \leq 0,6 \text{ V}$

$I_{IH} \leq 80 \mu\text{A}$

$I_{IH} \leq 40 \mu\text{A}$

$-I_{IL} \leq 0,5 \text{ mA}$

$-I_{IL} \leq 0,25 \text{ mA}$

$-I_{OS} 15 \dots 65 \text{ mA}$

$-I_{OS} 30 \dots 120 \text{ mA}$

$I_{CC} \leq 120 \text{ mA}$

$|I_{OZ}| \leq 20 \mu\text{A}$

$|I_{OZ}| \leq 100 \mu\text{A}$

$-U_D \leq 1,0 \text{ V}$

$\vartheta_a = +25^\circ\text{C}, U_{CC} = 5 \text{ V}$

$t_{PD1} \leq 25 \text{ ns}$

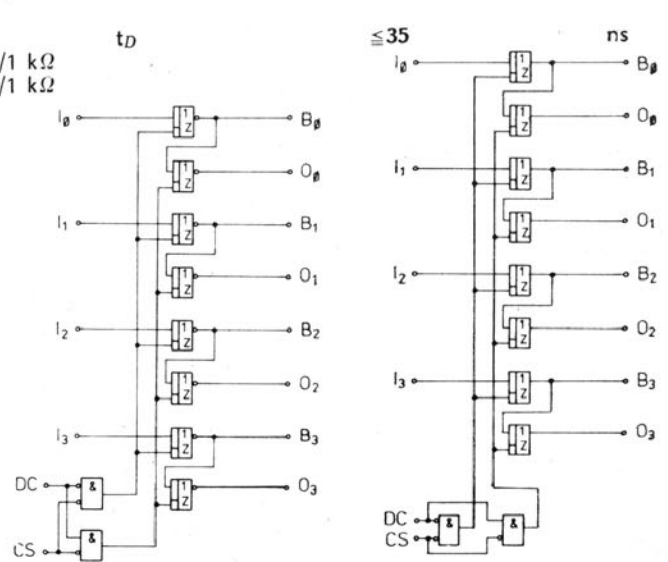
MH3216 $t_{PD2} \leq 30 \text{ ns}$

MH3226 $t_{PD2} \leq 25 \text{ ns}$

MH3216 $t_E \leq 65 \text{ ns}$

MH3226 $t_E \leq 54 \text{ ns}$

$t_D \leq 35 \text{ ns}$



FUNCTION TABLE ● FUNKTIONSTABELLE

INPUT ● EINGANG		FUNCTION FUNKTION
DC	CS	
L	L	I → B
H	L	B → O
L	H	} high impedance } hohe Impedanz
H	H	

FUNCTION BLOCK DIAGRAM ● FUNKTION-BLOCKSCHALTUNG

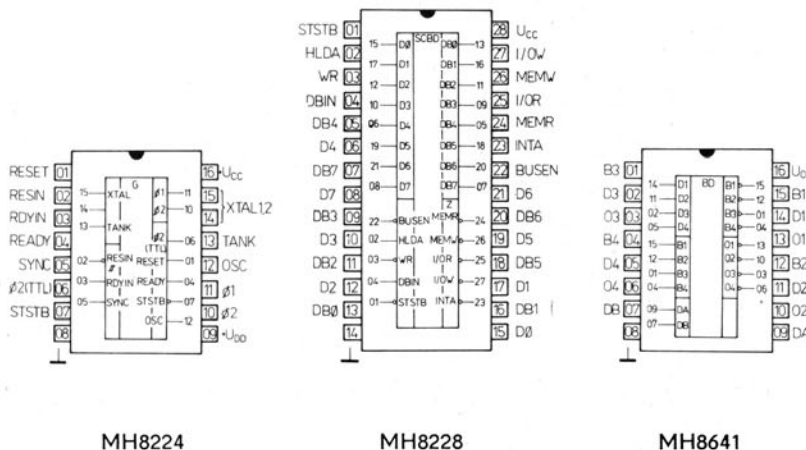
BIPOLAR INTEGRATED SCHOTTKY TTL CIRCUITS
BIPOLARE INTEGRIERTE SCHOTTKY-TTL-SCHALTKEISE

Type Typ	Feature	Art	Outlines Abmessungen
MH8224	Clock generator and driver for CPU 8080A, controlled by a crystal, included circuits to provide power-up reset, advance status strobe and synchronization of ready.	Taktgeber und Treiber für Mikroprozessor 8080A, Quarz-gesteuert, mit Erzeugung eines Rücksetzsignals beim Einschalten der Versorgungsspannung, Flip-Flop zur Synchronisierung des Bereit-Zustandes.	IO—14
MH8228	System controller and bus driver for CPU 8080A — it generates all signals required to directly interface input/output, RAM, ROM components with CPU circuit.	System-Steuerschaltkreis und Zweiweg-BUS-Treiber für Mikroprozessor CPU 8080A — er erzeugt alle Signale, die zur direkten Kopplung von E/A-, RAM, ROM-Bausteinen erforderlich sind.	IO—19
MH8641	Quad high speed drivers/receivers for use in bus organized data transmission systems interconnected by 120 Ω impedance lines.	Vier sehr schnellen Puffer/Empfänger für bus-organisierten Datenübertragungssysteme, welche durch Leitung mit 120 Ω-Impedanz durchgeschaltet sind.	IO—14

MAXIMUM RATINGS • GRENZDATEN

			min.	max.		
Supply voltage	Speisespannung	MH8224	U_{CC}	-0,5	+7	V
			U_{DD}	-0,5	+13,5	V
Input voltage	Eingangsspannung	MH8641	U_I	-1,5	+7	V
			U_{ID}		+5,5	V
Output current	Ausgangsstrom	MH8224, MH8228	I_O		100	mA
Output voltage	Ausgangsspannung	MH8641	U_O		+5,5	V
Operating temperature range	Betriebstemperaturbereich		ϑ_a	0	+70	°C
Storage temperature range	Lagerungstemperaturbereich		ϑ_{stg}	-55	+155	°C

1. Voltage with regard to common point — to lead (⊥). • Spannung mit Rücksicht zu dem gemeinsamen Punkt — zur Aus-führung (⊥).
2. Operation beside quoted operating temperature range is not guaranteed. • Betrieb ausser den angegebenen Betriebstemperaturbereich ist nicht garantiert.



BIPOLAR PERIPHERY CIRCUIT FOR MICROPROCESSOR SYSTEMS
BIPOLARE PERIPHERIESCHALTWERKE FÜR MIKROPROZESSORSYSTEME
MHB8080A, 8085

MH8224
53-

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Input voltage – level H $U_{CC} = 5\text{ V}, U_{DD} = 12\text{ V}$ input RESIN other inputs	Eingangsspannung – H-Zustand Eingang RESIN alle andere Eingänge	U_{IH} U_{IH}	$\geq 2,6\text{ V}$ $\geq 2,0\text{ V}$	V
Input voltage – level L $U_{CC} = 5\text{ V}, U_{DD} = 12\text{ V}$	Eingangsspannung – L-Zustand	U_{IL}	$\leq 0,8\text{ V}$	V
Output voltage – level H $U_{CC} = 4,75\text{ V}, U_{DD} = 11,4\text{ V}, U_{IH} = 2\text{ V},$ $U_{IH} = 2,6\text{ V (RESIN)}, U_{IL} = 0,8\text{ V}$ – $I_{OH} = 100\ \mu\text{A}$, output ● Ausgang ϕ_1, ϕ_2 – $I_{OH} = 100\ \mu\text{A}$, output ● Ausgang READY, RESET – $I_{OH} = 1\text{ mA}$, other outputs ● alle andere Ausgänge	Ausgangsspannung – H-Zustand	U_{OH} U_{OH} U_{OH}	$\geq 9,4\text{ V}$ $\geq 3,6\text{ V}$ $\geq 2,4\text{ V}$	V
Output voltage – level L $U_{CC} = 4,75\text{ V}, U_{DD} = 11,4\text{ V}, U_{IH} = 2\text{ V},$ $U_{IH} = 2,6\text{ V (RESIN)}, U_{IL} = 0,8\text{ V}$ $I_{OL} = 2,5\text{ mA}$, output ● Ausgang ϕ_1, ϕ_2 RESET, STSTB $I_{OL} = 15\text{ mA}$, other outputs ● alle andere Ausgänge	Ausgangsspannung – L-Zustand	U_{OL} U_{OL}	$\leq 0,45\text{ V}$ $\leq 0,45\text{ V}$	V
Input RESIN voltage $U_{CC} = 5\text{ V}, U_{DD} = 12\text{ V}$	RESIN-Eingangs-Hysteresespannung	$U_{IH} - U_{IL}$	$\geq 0,25\text{ V}$	V
Input current – level H $U_{CC} = 5,25\text{ V}, U_{DD} = 12\text{ V}, U_I = 5,25\text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	$\leq 10\ \mu\text{A}$	
Input current – level L $U_{CC} = 5,25\text{ V}, U_{DD} = 12\text{ V}, U_I = 0,45\text{ V}$	Eingangsstrom – L-Zustand	$-I_{IL}$	$\leq 0,25\text{ mA}$	
Output short circuit current 1) output OSC, ϕ_2 (TTL), STSTB, RESET, READY $U_{CC} = 5\text{ V}, U_{DD} = 12\text{ V}, U_O = 0\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	$10 \dots 60\text{ mA}$	
Power supply current $U_{CC} = 5,25\text{ V}, U_{DD} = 12\text{ V}$	Stromaufnahme	I_{CC} I_{DD}	$\leq 115\text{ mA}$ $\leq 12\text{ mA}$	
Input forward clamp voltage $U_{CC} = 4,75\text{ V}, U_{DD} = 12\text{ V}, I_I = -5\text{ mA}$	Eingangsklemmspannung	$-U_{DD}$	$\leq 1,0\text{ V}$	V

1. Output drivers ϕ_1, ϕ_2 do not have short circuit protection. ●
Ausgangstreiber ϕ_1, ϕ_2 haben keinen Kurzschluss-Schutz.

DYNAMIC DATA ● DYNAMISCHE KENNDATEN:

$U_{CC} = 5\text{ V}, U_{DD} = 12\text{ V}, \vartheta_a = 25^\circ\text{C}, \text{XTAL} = 18,432\text{ MHz}$

t_{CY}	488,28	ns
t_{ϕ_1}	≥ 89	ns
t_{ϕ_2}	≥ 236	ns
t_{D1}	≥ 0	ns
t_{D2}	≥ 95	ns
t_{D3}	109 ... 129	ns
t_r	≤ 20	ns
t_f	≤ 20	ns
$t_{D\phi_2}$	-5 ... +15	ns
t_{DSS}	296 ... 326	ns
t_{PW}	≥ 40	ns
t_{DRS}	≥ 167	ns
t_{DRH}	≥ 217	ns
t_{DR}	≥ 192	ns
f_{max}	$\leq 18,432$	MHz

CRYSTAL REQUIREMENTS ● QUARZ-ANFORDERUNGEN

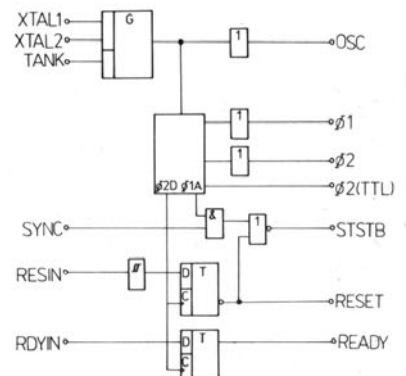
XTAL 18,432 MHz $\pm 0,005\%$ ($\vartheta_a = 0 \dots +70^\circ\text{C}$)

Resonance: Series (Fundamental), with tank circuit use 3rd overtone mode.

Load capacitance: 20 ... 35 pF
Equivalent resistance: 75 ... 20 Ω
Power dissipation: 4 mW

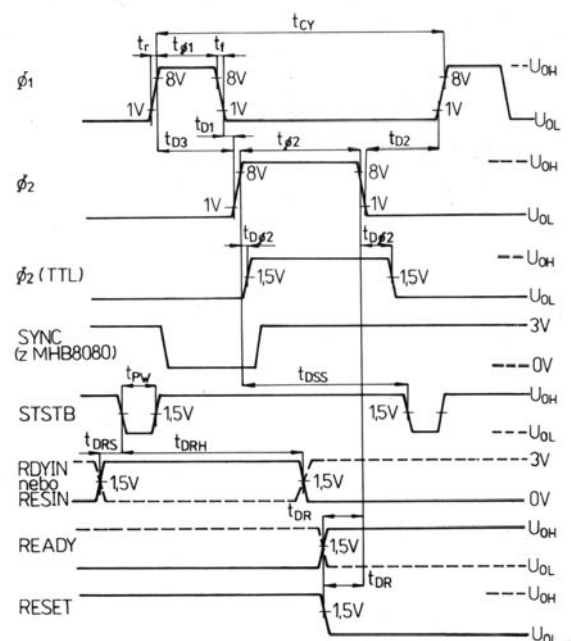
Resonanz: Reihenresonanz (Voraussetzung)

Lastkapazität: 20 ... 35 pF
Ersatzwiderstand: 75 ... 20 Ω
Verlustleistung: 4 mW



Functional diagram ●
Funktions-Blockschaltung

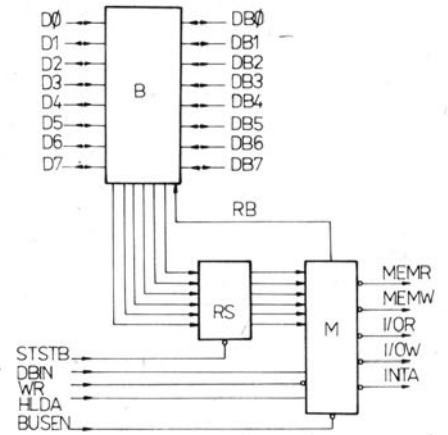
- RESET reset output ● Rücksetz-Ausgang
- RESIN reset input ● Rücksetz-Eingang
- READY ready output ● Bereit-Ausgang
- RDYIN ready input ● Bereit-Eingang
- SYNC sync input ● Synchr. Eingang
- STSTB status STB ● Zustandsübernahme (aktiv L)
- ϕ_1, ϕ_2 clock output for CPU 8080 ● Taktgeber für CPU 8080
- ϕ_2 (TTL) clock output – TTL level ● Taktgeber ϕ_2 -TTL-Pegel
- XTAL₁, XTAL₂ connections for crystal ● Anschlüsse für externen Quarz
- TANK used with overtone XTAL ● Eingang für Oberwellen-Quarz
- OSC oscillator output ● Oszillator-Ausgang



Waveforms ● Impulsdiagramm

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

		min.-max.	
Input voltage – level H $U_{CC} = 5\text{ V}$	Eingangsspannung – H-Zustand	U_{IH}	$\geq 2,0\text{ V}$
Input voltage – level L $U_{CC} = 5\text{ V}$	Eingangsspannung – L-Zustand	U_{IL}	$\leq 0,8\text{ V}$
Output voltage – level H $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$ $I_{OH} = 10\ \mu\text{A}$, output ● Ausgang $D_0 \dots D_7$ $I_{OH} = -1\text{ mA}$, all other outputs ● alle andere Ausgänge	Ausgangsspannung – H-Zustand	U_{OH}	$\geq 3,6\text{ V}$
		U_{OH}	$\geq 2,4\text{ V}$
Output voltage – level L $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$ $I_{OL} = 2\text{ mA}$, output ● Ausgang $D_0 \dots D_7$ $I_{OL} = 10\text{ mA}$, all other outputs ● alle andere Ausgänge	Ausgangsspannung – L-Zustand	U_{OL}	$\leq 0,45\text{ V}$
		U_{OL}	$\leq 0,45\text{ V}$
Input current – level H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	$\leq 100\ \mu\text{A}$
input STSTB	Eingang STSTB	I_{IH}	$\leq 20\ \mu\text{A}$
input $DB_0 \dots DB_7$	Eingang $DB_0 \dots DB_7$	I_{IH}	$\leq 100\ \mu\text{A}$
all other inputs	alle andere Eingänge	I_{IH}	$\leq 100\ \mu\text{A}$
Input current – level L $U_{CC} = 5,25\text{ V}, U_{IH} = 0,45\text{ V}$	Eingangsstrom – L-Zustand	I_{IH}	$\leq 500\ \mu\text{A}$
input STSTB	Eingang STSTB	I_{IH}	$\leq 750\ \mu\text{A}$
input D_2, D_6	Eingang D_2, D_6	I_{IH}	$\leq 250\ \mu\text{A}$
input D_0, D_1, D_4, D_5, D_7	Eingang D_0, D_1, D_4, D_5, D_7	I_{IH}	$\leq 250\ \mu\text{A}$
all other inputs	alle andere Eingänge	I_{IH}	$\leq 250\ \mu\text{A}$
Short-circuit output current $U_{CC} = 5,0\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$ all outputs	Kurzschlussausgangsstrom alle Ausgänge	$-I_{OS}$	$19 \dots 90\text{ mA}$
Power supply current $U_{CC} = 5,25\text{ V}$	Stromaufnahme	I_{CC}	$\leq 190\text{ mA}$
Output leak current for three state control output $U_{CC} = 5,25\text{ V}, U_O = 5,25\text{ V}$ $U_{CC} = 5,25\text{ V}, U_O = 0,45\text{ V}$	Ausgangsreststrom im hochohmigen Zustand von Steuerausgang	I_O	$\leq 100\ \mu\text{A}$
		$-I_O$	$\leq 100\ \mu\text{A}$
Output current INTA $U_{CC} = 5,0\text{ V}, U_O = 12\text{ V}, R = 1\text{ k}\Omega$	Ausgangsstrom INTA	I_{INTA}	$\leq 5\text{ mA}$
Input clamp voltage $U_{CC} = 4,75\text{ V}, I_I = -5\text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1\text{ V}$



Functional diagram ● Funktions-Blockschaltung

- $D_0 \dots D_7$ data BUS (8080 side) ● Daten-BUS (8080-Seite)
- $D_{B0} \dots D_{B7}$ data BUS (system side) ● Daten-BUS (Systemseite)
- I/O R I/O read ● E/A Lesen
- I/O W I/O write ● E/A Schreiben
- MEMR memory read ● Speicher Lesen
- MEMW memory write ● Speicher Schreiben
- DBIN signal from CPU8080 ● DBIN-Signal (vom CPU 8080)
- INTA interrupt acknowledge ● Unterbrechungs-Quittierung
- HLDA signal from CPU8080 ● HLDA-Signal (vom CPU 8080)
- WR signal from CPU8080 ● WR-Signal (vom CPU 8080)
- BUSEN BUS enable input ● BUS-Freigabe-Eingang
- STSTB status strobe (from MH8224) ● Zustandsübernahme (vom MH8224)

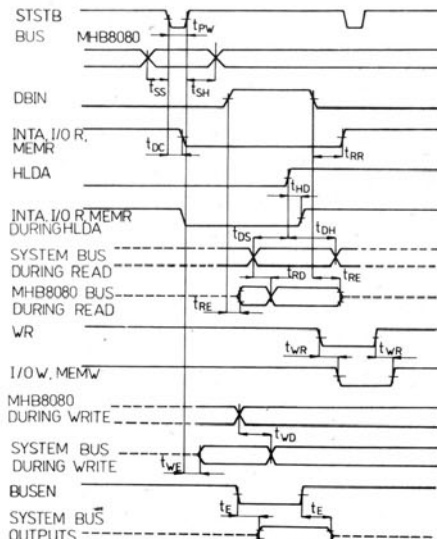
N	1	2	3	4	5	6	7	8	9	10
D0	L	L	L	L	L	L	L	H	L	H
D1	H	H	L	H	L	L	L	L	H	H
D2	L	L	L	H	H	L	L	L	L	L
D3	L	L	L	L	L	L	L	L	L	H
D4	L	L	L	L	L	L	H	L	L	L
D5	H	L	L	L	L	L	L	L	H	L
D6	L	L	L	L	L	L	L	L	L	L
D7	H	H	L	H	L	L	L	L	L	L

MEMR MEMW I/O R I/O W NONE INTA

DYNAMIC DATA ● DYNAMISCHE KENNDATEN:

$U_{CC} = 5\text{ V}, \vartheta_a = +25^\circ\text{C}$

t_{PW}	≥ 22	ns
t_{SS}	≥ 8	ns
t_{SH}	≥ 5	ns
t_{DC}	$20 \dots 60$	ns
t_{RR}	≤ 30	ns
t_{RE}	≤ 45	ns
t_{RD}	≤ 30	ns
t_{WR}	$5 \dots 45$	ns
t_{WE}	≤ 30	ns
t_{WD}	$5 \dots 40$	ns
t_E	≤ 30	ns
t_{HD}	≤ 25	ns
t_{DS}	≤ 10	ns
t_{DH}	≤ 20	ns
C_I	≤ 12	pF
C_O	≤ 15	pF
$C_{I/O}$	≤ 15	pF

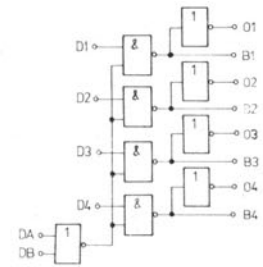


- 1 instruction fetch ● Befehlsabruf
- 2 memory read ● Speicher Lesen
- 3 memory write ● Speicher Schreiben
- 4 stack read ● Stapel Lesen
- 5 stack write ● Stapel Schreiben
- 6 input read ● Eingang Lesen
- 7 output write ● Ausgang Schreiben
- 8 interrupt acknowledge ● Unterbrechungs-Quittierung
- 9 halt acknowledge ● Halt-Quittung
- 10 interrupt acknowledge while halt ● Unterbrechungs-Quittung während des Halt-Zustandes

Waveforms ● Impulssdiagramm

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

		min.-max.	
Input voltage – level H $U_{CC} = 5,0\text{ V}$, input DA, DB, $D_1 \dots D_4$ ● Eingang	Eingangsspannung – H-Zustand $U_{IH(DA)}$ $U_{IH(DB)}$	$\geq 2,0$	V
Input voltage – level L $U_{CC} = 5,0\text{ V}$, input DA, DB, $D_1 \dots D_4$ ● Eingang	Eingangsspannung – L-Zustand $U_{IL(DA)}$ $U_{IL(DB)}$	$\leq 0,8$	V
Input receiver threshold voltage – level H $U_{CC} = 5,0\text{ V}$, $U_{IL}(D_1 \dots D_4) = 0,8\text{ V}$, $U_{OL(R)} \leq 0,4\text{ V}$, $I_{OL(R)} = 16\text{ mA}$, input $B_1 \dots B_4$ ● Eingang $B_1 \dots B_4$	Empfängereingang – Schwellenspannung – H-Zustand $U_{ILH(R)}$	$\geq 1,7$	V
Input receiver threshold voltage – level L $U_{CC} = 5,0\text{ V}$, $U_{IL}(D_1 \dots D_4) = 0,8\text{ V}$, $U_{OH(R)} \geq 2,4\text{ V}$, $I_{OH(R)} = 400\text{ }\mu\text{A}$, input $B_1 \dots B_4$ ● Eingang $B_1 \dots B_4$	Empfängereingang – Schwellenspannung – L-Zustand $U_{IHL(R)}$	$\leq 1,3$	V
Input current – level H $U_{CC} = 5,25\text{ V}$, $U_{IH}(DA, DB) = 2,4\text{ V}$ input DA, DB input $D_1 \dots D_4$	Eingangsstrom – H-Zustand Eingang DA, DB Eingang $D_1 \dots D_4$	$I_{IH(DA)}$ $I_{IH(DB)}$ $I_{IH(D)}$	$\leq 40\text{ }\mu\text{A}$ $\leq 40\text{ }\mu\text{A}$
$U_{CC} = 5,25\text{ V}$, $U_{IH}(DA, DB) = 5,5\text{ V}$ input DA, DB input $D_1 \dots D_4$	Eingang DA, DB Eingang $D_1 \dots D_4$	$I_{IH(DA)}$ $I_{IH(D)}$	$\leq 1,0\text{ mA}$ $\leq 1,0\text{ mA}$
Input current – level L $U_{CC} = 5,25\text{ V}$, $U_{IL}(DA, DB) = 0,4\text{ V}$ input DA, DB	Eingangsstrom – L-Zustand Eingang DA, DB	$-I_{IL(DA)}$	$\leq 1,6\text{ mA}$
$U_{CC} = 5,25\text{ V}$, $U_{IL}(D_1 \dots D_4) = 0,4\text{ V}$ input $D_1 \dots D_4$	Eingang $D_1 \dots D_4$	$-I_{IL(D)}$	$\leq 1,6\text{ mA}$
BUS input current – $B_1 \dots B_4$ $U_{IL}(DA, DB, D_1 \dots D_4) = 0,8\text{ V}$, $U_{CC} = 0\text{ V}$, $I_{IH}(B_1 \dots B_4) = 4,0\text{ V}$, $U_{CC} = 5,25\text{ V}$	BUS-Eingangsstrom $B_1 \dots B_4$ I_{BUS} I_{BUS}	$\leq 100\text{ }\mu\text{A}$ $\leq 100\text{ }\mu\text{A}$	
BUS output voltage – $B_1 \dots B_4$ – level L $U_{CC} = 4,75\text{ V}$, $U_{IL}(DA, DB) = 0,8\text{ V}$, $U_{IH}(D_1 \dots D_4) = 2,0\text{ V}$, $I_{B1} \dots I_{B4} = 50\text{ mA}$	BUS-Ausgangsspannung $U_{OL(BUS)}$	$\leq 0,7$	V
Receiver output voltage $O_1 \dots O_4$ – level H $U_{CC} = 4,75\text{ V}$, $U_{IL}(DA, DB, D_1 \dots D_4) = 0,8\text{ V}$, $U_{IL}(B_1 \dots B_4) = 0,5\text{ V}$, $I_{OH}(O_1 \dots O_4) = -400\text{ }\mu\text{A}$	Empfänger-Ausgangsspannung $U_{OH(R)}$	$\geq 2,4$	V
Receiver output voltage $O_1 \dots O_4$ – level L $U_{CC} = 4,75\text{ V}$, $U_{IL}(DA, DB, D_1 \dots D_4) = 0,8\text{ V}$, $U_{IH}(B_1 \dots B_4) = 4,0\text{ V}$, $I_{OL}(O_1 \dots O_4) = 16\text{ mA}$	Empfänger-Ausgangsspannung $U_{OL(R)}$	$\leq 0,4$	V
Receiver short-circuit output current $O_1 \dots O_4$ ¹⁾ $U_{CC} = 5,25\text{ V}$, $U_{IL}(DA, DB, D_1 \dots D_4) = 0,8\text{ V}$, $U_{IL}(B_1 \dots B_4) = 0,5\text{ V}$	Empfänger-Kurzschlussausgangsstrom $O_1 \dots O_4$ ¹⁾ $-I_{OS(R)}$	18 ... 55	mA
Power supply current $U_{CC} = 5,25\text{ V}$, $U_{IL}(DA, DB) = 0\text{ V}$, $U_{IH}(D_1 \dots D_4) = 2,0\text{ V}$	Stromaufnahme I_{CC}	≤ 70	mA
Input clamp voltage $U_{CC} = 4,75\text{ V}$, $I_I(DA, DB, D_1 \dots D_4, B_1 \dots B_4) = -16\text{ mA}$	Eingangsklemmspannung $-U_D$	$\leq 1,5$	V



Functional diagram ● Funktions-Blockschaltung

- $D_1 \dots D_4$ buffer inputs ● Puffereingang
- $B_1 \dots B_4$ bidirectional BUS ● Zweiweg-BUS
- DA, DB blocking inputs ● Blockierungseingänge
- $O_1 \dots O_4$ receiver outputs ● Empfängerausgänge

TRUTH TABLE ● LOGISCHES VERHALTEN
 BUFFER ● PUFFER

INPUTS ● EINGÄNGE			BUS
DA	DB	$D_1 \dots D_4$	$B_1 \dots B_4$
L	L	L	H
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	H

RECEIVER ● EMPFÄNGER

BUS	OUTPUTS ● AUSGÄNGE
$B_1 \dots B_4$	$O_1 \dots O_4$
H	L
L	H

¹⁾ Not more than one output can be shorted at a time. ●
 Nicht mehr als ein Ausgang darf gleichzeitig kurzgeschlossen sein.

DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

Propagation delay time of output $B_1 \dots B_4$ from input DA, DB ¹⁾	Signal-Laufzeit von Ausgang $B_1 \dots B_4$ aus Eingang DA, DB	$t_{PLH(DA)}$	≤ 30	ns
		$t_{PHL(DA)}$	≤ 23	ns
		$t_{PLH(D)}$	≤ 25	ns
		$t_{PHL(D)}$	≤ 15	ns
		$t_{PLH(R)}$	≤ 30	ns
		$t_{PHL(R)}$	≤ 30	ns

¹⁾ Output lead ● Ausgangslast $B_1 \dots B_4$: $C_L = 15\text{ pF}$, $R_1 = 91\text{ }\Omega$, $R_2 = 200\text{ }\Omega$
²⁾ Output lead ● Ausgangslast $O_1 \dots O_4$: $C_L = 15\text{ pF}$, $R_1 = 390\text{ }\Omega$, $4 \times \text{KA206}$

Type Typ	Feature	Art	Outlines Abmessungen
MH7489	Bipolar 64-bit memory RAM organized as 16 words of four bits each, with positive logic, diode-clamped and buffered inputs. The complement of the information which has been written into the memory is nondestructively read out. Open collector output.	Bipolarer 64-Bit-Schreib-Lese-Speicher mit einer Kapazität von 16 Wörtern zu je 4 Bit, mit positive Logik, Eingangs-Klemmdioden und getrennten Eingängen. Der Speicherinhalt wird beim Lesen nicht gelöscht. Offene Kollektorausgänge.	IO—14
MH74S187	Bipolar high speed mask programmable memory ROM 1024 bit organized as 256 word of four bits each. Open collector output.	Bipolarer schneller durch Maske programmierbarer 1024-Bit-Festwertspeicher mit einer Kapazität von 256 Wörtern je zu 4 Bit. Offene Kollektorausgänge.	IO—14
MH74188	Bipolar high-speed 256-bit programmable read-only memory organized as 32 words of eight bits each, with diode-clamped inputs. Open collector output.	Bipolarer schneller programmierbarer 256-Bit-Festwertspeicher mit einer Kapazität von 32 Wörtern zu je 8 Bit, mit Eingangs-Klemmdioden. Offene Kollektorausgänge.	IO—14
MH74S201 MH74S201E	Bipolar Schottky-clamped high-speed 256-bit memory RAM organized as 16 lines and 16 columns. Tri-State output.	Bipolarer schneller 256-Bit-Schottky-Schreib-Lesespeicher mit einer Organisation von 16 Zeilen und 16 Kolonnen. Drei Ausgangszustände.	IO—14
MH74S287	Bipolar Schottky-clamped 1024-bit programmable read-only memory organized as 256 words of four bits each, with diode-clamped inputs and open collectors. Tri-State outputs.	Bipolarer programmierbarer 1024-Bit-Schottky-Festwertspeicher mit einer Organisation von 256 Wörtern zu je 4-Bit, mit Eingangs-Klemmdioden und offenen Kollektoren. Drei Ausgangszustände.	IO—14
MH74S370	Bipolar high speed mask programmable memory ROM 2048 bit organized as 512 word of four bits each. Tri-State outputs.	Bipolarer schneller durch Maske programmierbarer 2048-Bit-Festwertspeicher mit einer Kapazität von 512 Worten je zu 4 Bit. Drei Ausgangszustände.	IO—14
MH74S571	Bipolar high speed electrically programmable memory PROM 2048 bit organized as 512 word of four bits each, with diode-clamped inputs and open collectors outputs. Tri-State outputs.	Bipolarer schneller programmierbarer 2048-Bit-Festwertspeicher mit einer Kapazität von 512 Wörtern je zu 8 Bit, mit Eingangs-Klemmdioden und offenen Kollektorausgängen. Drei Ausgangszustände.	IO—14
MH82S11	Bipolar high speed memory RAM 1024 bit organized as 32×32 bit. Tri-State output.	Bipolarer schneller 1024-Bit-Speicher RAM mit einer Kapazität von 32×32 Bit. Drei Ausgangszustände.	IO—18/C2

MAXIMUM RATINGS ● GRENZDATEN

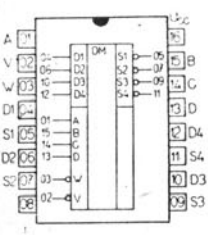
		min.	max.		
Supply voltage	Betriebsspannung	U_{CC}	0	+7,0	V
Input voltage	Eingangsspannung	U_I		+5,5	V
Input current	Eingangsstrom	I_I		-12	mA
MH74S187, MH74S201, MH74S287, MH74S571		I_I		-18	mA
Output voltage	Ausgangsspannung	U_O	0	+5,5	V
Operating temperature range	Betriebstemperaturbereich	ϑ_a	0	+70	°C
Storage temperature range	Lagertemperaturbereich	ϑ_{stg}	-55	+155	°C

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

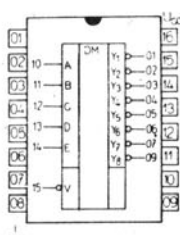
		min.	nom.	max.		
Working voltage	Speisespannung	U_{CC}	4,75	5,0	5,25	V
Operating temperature	Lagertemperatur	ϑ_a	0	+25	+70	°C

STATIC DATA ● STATISCHE DATEN

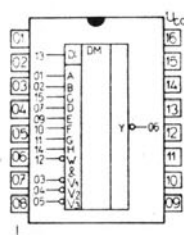
Input clamp voltage	Eingangsspannung				
$U_{CC} = 4,75$ V, $I_I = -12$ mA		$-U_D$		1,5	V
$U_{CC} = 4,75$ V, $I_I = -18$ mA	MH74S201, .. S201E, .. S287	$-U_D$		1,2	V
Input voltage — H level	Eingangsspannung — H-Zustand	U_{IH}		2,0	V
Input voltage — L level	Eingangsspannung — L-Zustand	U_{IL}		0,8	V



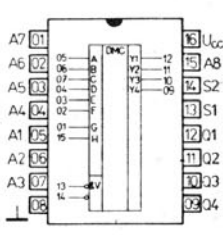
MH7489



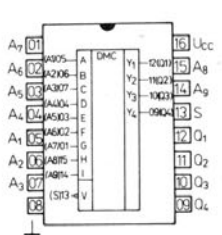
MH74188



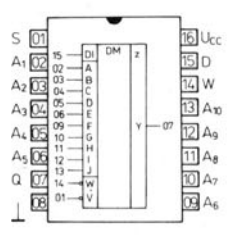
MH74S201 75,
MH74S201E



MH74S187 67,-
MH74S287 75,-



MH74S370
MH74S571 70,2



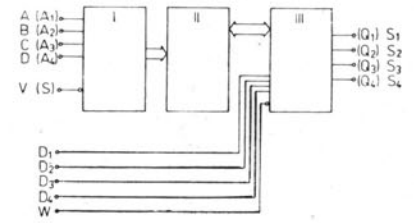
MH82S11

- I. controlled row address decoder — permits one of 16 rows in the memory cell array to be selected, or can inhibit the memory
- II. memory cell matrix — 16 rows, 4 columns
- III. input and output data unit — retrieves the data stored in the selected row of memory cells (i. e. reads a word) and ensures that the stored information is available at the corresponding memory outputs

geregelter Dekoder von Zeilenadresse — vermittelt die Wahl einer der 16 Zeilen der Speicherzellenmatrix, ev. die Speicherblockierung

Speicherzellenmatrix — 16 Zeilen, 4 Kolonnen

Dateneingangs- und Ausgangsblock — ermittelt die in der Adressierzeile der Speicherzellenmatrix gespeicherte Information (Auslesen des Wortinhalts) und übergibt diese Information an die entsprechenden Speicherausgänge



FUNCTION TABLE ● LOGISCHES VERHALTEN

OPERATION SPEICHER VERHALTEN	INPUT ● EINGANG V	W	CONDITION OF OUTPUTS ZUSTAND AM AUSGANG
WRITE ● EINSCHREIBEN	L	L	Complement of data inputs ● Invertiertes Eingangssignal
READ ● AUSLESEN	L	H	Complement of selected words ● Invertiertes angesteuertes Signal
INHIBIT STORAGE ● KEINE VERÄNDERUNG	H	L	Complement of data inputs ● Invertiertes Eingangssignal
DO NOTHING ● KEINE VERÄNDERUNG	H	H	H

RECOMMENDED WORKING CONDITIONS ●
 EMPFOHLENE BETRIEBSDATEN

U_{CC}	$4,75 \text{ V} \leq U_{CC} \leq 5,25$	V
U_{IL}	$-0,5 \text{ V} \leq U_{IL} \leq +0,8$	V
U_{IH}	$2,0 \text{ V} \leq U_{IH} \leq 5,5$	V
U_{OH}	$2,4 \text{ V} \leq U_{OH} \leq 5,5$	V
I_{OL}	≤ 16	mA
ϑ_a	$0^\circ \text{C} \leq \vartheta_a \leq +70$	$^\circ \text{C}$

STATIC DATA ● KENNDATEN

$\vartheta_a = 0^\circ \text{C}, +25^\circ \text{C}, +70^\circ \text{C}$

Output current — H level Ausgangsstrom — H-Zustand
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2 \text{ V}, U_{OH} = 5,5 \text{ V}, U_{IL} = 0,8 \text{ V}$

Output voltage — L level Ausgangsspannung — L-Zustand
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 16 \text{ mA}$
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 12 \text{ mA}$

Input current — H level Eingangsstrom — H-Zustand
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}, U_{IL} = 0 \text{ V}$
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 5,5 \text{ V}, U_{IL} = 0 \text{ V}$

Input current — L level Eingangsstrom — L-Zustand
 $U_{CC} = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}, U_{IH} = 4,5 \text{ V}$

Supply current Stromaufnahme
 $U_{CC} = 5,25 \text{ V}$

I_{OH}	< 20	μA
U_{OL}	$< 0,4$	V
U_{OL}	$< 0,45$	V
I_{IH}	< 40	μA
I_{IH}	< 1	mA
$-I_{IL}$	$< 1,6$	mA
I_{CC}	< 105	mA

DYNAMIC DATA ● DYNAMISCHE KENNDATEN

$U_{CC} = 5 \text{ V}, \vartheta_a = +25^\circ \text{C}, C_L = 30 \text{ pF}, R_{L1} = 300 \Omega, R_{L2} = 600 \Omega$

Selection time	Adressierungszeit	t_{AVQV}	< 60	ns
Memory enable time	Speicher-Freigabezeit	t_{SLQL}	< 50	ns
Blocking time	Blockierungszeit	t_{SHQH}	< 50	ns
Time duration of writing pulse	Schreiberholzeit	t_{WLWH}	< 40	ns

Time parameters of inputs course on inputs at WRITE CYCLE: 1) Zeitparameter von Impulseverlauf auf Eingängen beim Betrieb SCHREIBEN: 1)

Setup time, data input D_1, D_2, D_3, D_4	Vorbereitungszeit von Dateneingängen D_1, D_2, D_3, D_4	t_{DVWH}	≥ 40	ns
Hold time, data input D_1, D_2, D_3, D_4	Haltezeit von Dateneingängen D_1, D_2, D_3, D_4	t_{WHDV}	≥ 5	ns
Setup time, select input A, B, C, D	Vorbereitungszeit von Adresseneingängen A, B, C, D	t_{AVWL}	≥ 0	ns
Hold time, select input A, B, C, D	Haltezeit von Adresseneingängen A, B, C, D	t_{WHAV}	≥ 5	ns
Setup time, memory enable input V	Vorbereitungszeit von Freigabeeingang V	t_{SLWH}	≥ 40	ns
Hold time, memory enable input V	Haltezeit von Freigabeeingang V	t_{WHSV}	≥ 5	ns
Width of write-enable impulse	Schreibfreigabeimpulsdauer	t_{WLWH}	≥ 40	ns

1. With regard to input W (write enables) ● Mit Rücksicht zu dem Eingang W (Speicherfreigabe)

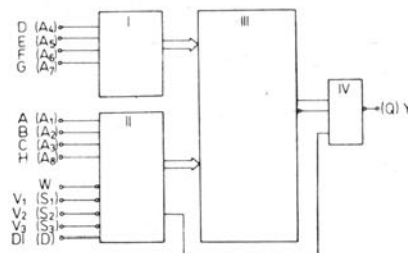
- I. row address decoder (converter changing the four-bit binary code into a 1-out-of-16 code — it selects one of the 16 rows in the memory cell matrix; each row contains 16 memory cells)
- II. controlled column address decoder (converter changing the four-bit binary code into 1-out-of-16 code — it permits one of the 16 columns (of 16 memory cells each) in the memory cell matrix to be chosen, ensures that the information applied to input DI is written in the memory cells, controls an output block IV)
- III. memory cells matrix (consists of 256 memory cells organized in 16 rows and 16 columns)
- IV. output sense amplifier — reads the contents of the memory cells

Zeilenadressendekoder (Umsetzer des 4-Bit-Binärkodes in den Code 1 von 16) — vermittelt die Wahl einer der 16 Zeilen der Speicherzellenmatrix; in jeder Zeile befinden sich 16 Speicherzellen

gesteuerter Spaltenadressendekoder (Umsetzer des 4-Bit-Binärkodes in den Code 1 von 16) — vermittelt die Wahl einer der 16 Spalten der Speicherzellenmatrix (in jeder Spalte befindet sich 16 Speicherzellen), die Eingabe (das Einlesen) der dem Eingang DI zugeführten Informationen in die Zellenmatrix, steuert den Funktionsblock IV

Speicherzellenmatrix (enthält 256 Speicherzellen, angeordnet in 16 Zeilen und 16 Spalten)

Ausgangs-Leseverstärker — dient zur Auslesen des in der Speicherzellenmatrix gespeicherten Informationen



FUNCTION TABLE ● LOGISCHES VERHALTEN

OPERATION SPEICHER VERHALTEN	INPUT ● EINGANG V	W	CONDITION OF OUTPUT ZUSTAND AM AUSGANG
WRITE ● EINSCHREIBEN	L	L	high impedance ● hohe Impedanz
READ ● AUSLESEN	L	H	complement of selected words ● invertiertes angesteuertes Signal
DO NOTHING ● KEINE VERÄNDERUNG	H	X	high impedance ● hohe Impedanz

RECOMMENDED WORKING CONDITIONS ●
EMPFOHLENE BETRIEBSDATEN

U_{CC}	$4,75 \text{ V} \leq U_{CC} \leq 5,25$	V
U_{IL}	$-0,5 \text{ V} \leq U_{IL} \leq +0,8$	V
U_{IH}	$+2,0 \text{ V} \leq U_{IH} \leq +5,5$	V
I_{OL}	≤ 16	mA
$-I_{OH}$	$\leq 10,3$	mA
ϑ_a	$0^\circ \text{C} \leq \vartheta_a \leq +70$	$^\circ\text{C}$

STATIC DATA ● KENNDATEN

$\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$

Output voltage — L level
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 16 \text{ mA}$

Output voltage — H level
 $U_{CC} = 4,75 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OH} = -10,3 \text{ mA}$

Output current for high impedance level
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, U_O = 2,4 \text{ V}$
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}, U_G = 0,4 \text{ V}$

Input current — H level
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 5,5 \text{ V}, U_{IL} = 0 \text{ V}$
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,7 \text{ V}, U_{IL} = 0 \text{ V}$

Input current — L level
 $U_{CC} = 5,25 \text{ V}, U_I = 0,5 \text{ V}, U_{IH} = 4,5 \text{ V}$

Short-circuit output current
 $U_{CC} = 5,25 \text{ V}, U_{IH} = 4,5 \text{ V}, U_{IL} = 0 \text{ V}, U_O = 0 \text{ V}$

Supply current
 $U_{CC} = 5,25 \text{ V}$

U_{OL}	$< 0,45$	V
U_{OH}	$> 2,4$	V
I_{OZH}	< 40	μA
$-I_{OZL}$	< 40	μA
I_{IH}	< 1	mA
I_{IH}	< 25	μA
$-I_{IL}$	< 250	μA
$-I_{OS}$	$30 \dots 100$	mA
I_{CC}	< 140	mA

DYNAMIC DATA ● DYNAMISCHE KENNDATEN

$U_{CC} = 4,75 \dots 5,25 \text{ V}, \vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}, R_1 = 300 \Omega, R_2 = 1 \text{ k}\Omega, C_1 = 30 \text{ pF}, U_Z = 5 \text{ V}$

Memory enable time from address	Speicher-Freigabezeit von Adresse	t_{AVQV}	≤ 65	≤ 80	ns
Memory enable time from selection	Speicher-Freigabezeit von Auswahl	t_{SLQV}	≤ 30	≤ 50	ns
Blocking time past selection	Blockierungszeit nach Auswahl	t_{SHQZ}	≤ 20	≤ 20	ns
Blocking time past write cycle	Blockierungszeit nach Einschreiben	t_{WLQZ}	≤ 35	≤ 35	ns
Recovery time	Erholungszeit	t_{WHQV}	≤ 40	≤ 60	ns
Time duration of writing pulse	Schreiberholzeit	t_{WLWH}	≤ 65	≤ 80	ns
Time parameters of impulse course on inputs at WRITE CYCLE: 1)	Zeitparameter von Impulserverlauf auf Eingängen beim Betrieb SCHREIBEN: 1)				
Setup time, data input DI	Vorbereitungszeit von Dateneingang DI	t_{DVWH}	≤ 65	≤ 80	ns
Hold time, data input DI	Haltezeit von Dateneingang DI	t_{WHDV}	≤ 0	≤ 0	ns
Setup time, select inputs A...H	Vorbereitungszeit von Adresseneingängen A...H	t_{AVWL}	≤ 20	≤ 25	ns
Hold time, select inputs A...H	Haltezeit von Adresseneingängen A...H	t_{WHAV}	≤ 0	≤ 0	ns
Setup time, memory enable input V	Vorbereitungszeit von Freigabeeingang V	t_{SLWL}	≤ 0	≤ 5	ns
Hold time, memory enable input V	Haltezeit von Freigabeeingang V	t_{WHSH}	≤ 0	≤ 5	ns
Width of write-enable impulse	Schreibfreigabeeimpulsdauer	t_{WLWH}	≤ 65	≤ 80	ns

MH74S201 .. S201E

1. With regard to input W (write enables) ● Mit Rücksicht zu dem Eingang W (Speicherfreigabe)

LOGIC INTEGRATED CIRCUITS TTL LSI
LOGISCHE INTEGRIERTE SCHALTKREISE TTL LSI
BIPOLAR MEMORY RAM 1024 BIT ● BIPOLAR 1024-BIT-SPEICHER RAM

MH82S11

- I. row address decoder — enables one of the 32 rows in the memory cell matrix (in each row is 32 memory cells).
- II. column address decoder — enables one of the 32 columns in the memory cell matrix (in each column is 32 memory cells). Write information on input D into memory cell matrix. Control function block IV.
- III. Memory cell matrix — contains 1024 memory cells organized in 32 rows and 32 columns.
- IV. output amplifiers block.

Zeilenadressendekoder — vermittelt die Wahl einer von 32 Zeilen in Speichermatrix (in jeder Zeile ist 32 Speicherzellen).

Kolonnenadressendekoder — vermittelt die Wahl einer von 32 Kolonnen in Speichermatrix (in jeder Kollonne ist 32 Speicherzellen). Es schreibt Information am Eingang D in Speicherzellenmatrix. Es kontrolliert Funktionsblock IV.

Speicherzellenmatrix — enthält 1024 Speicherzellen angeordneten in 32 Zeilen und 32 Kolonnen.

Ausgangsverstärkerblock.

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_{CC}	0	+7,0	V
U_I		+5,5	V
I_I		-12	mA
U_O	0	+5,5	V
I_{OH}		-2,0	mA
I_{OL}		16	mA
ϑ_a	0	+70	°C
ϑ_{stg}	-55	+155	°C

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

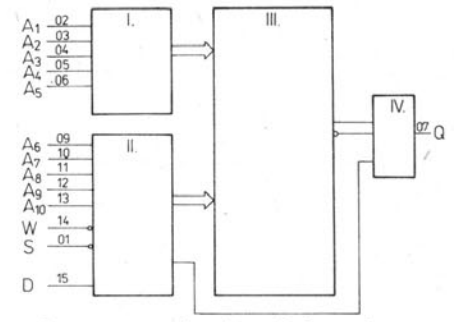
U_{CC}	4,75	≤	U_{CC}	≤	5,25	V
U_{IL}	0	≤	U_{IL}	≤	+0,8	V
U_{IH}	2,1	≤	U_{IH}	≤	5,25	V
$\vartheta_a = 0^\circ\text{C}$	2,2	≤	U_{IH}	≤	5,25	V
I_{OL}					16	mA
$-I_{OH}$					≤ 2,0	mA
ϑ_a	0	≤	ϑ_a	≤	70	°C

CHARACTERISTIC DATA: KENN DATEN:

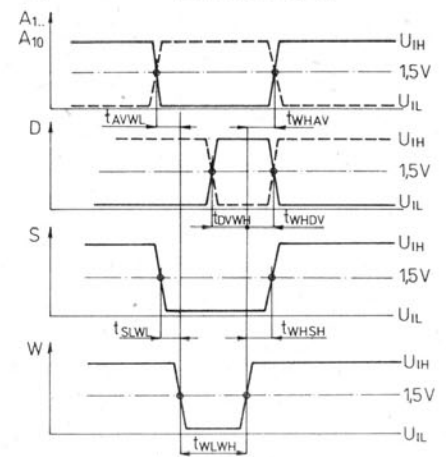
STATIC DATA:	STATISCHE DATEN:	$\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$	min.-max.
Output voltage — level L	Ausgangsspannung — L-Zustand		
$U_{CC} = 4,75\text{ V}, U_{IH} = 2,1\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 16\text{ mA}$		U_{OL}	≤ 0,45 V
Output voltage — level H	Ausgangsspannung — H-Zustand		
$U_{CC} = 4,75\text{ V}, U_{IH} = 2,1\text{ V}, U_{IL} = 0,8\text{ V}, I_{OH} = -2,0\text{ mA}$		U_{OH}	≥ 2,4 V
Input clamp voltage	Eingangsklemmspannung		
$U_{CC} = 4,75\text{ V}, I_I = -12\text{ mA}$		$-U_D$	≤ 1,5 V
Input current — level H	Eingangsstrom — H-Zustand		
$U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$		I_{IH}	≤ 1 mA
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}$		I_{IH}	≤ 25 μA
Input current — level L	Eingangsstrom — L-Zustand		
$U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}, U_{IH} = 4,5\text{ V}$		$-I_{IL}$	≤ 250 μA
Output current for high impedance level	Ausgangsstrom für den Zustand der hohen Impedanz		
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,1\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 2,4\text{ V}$		I_{OZH}	≤ 40 μA
$U_{CC} = 5,25\text{ V}, U_{IH} = 2,1\text{ V}, U_{IL} = 0,8\text{ V}, U_O = 0,4\text{ V}$		I_{OZL}	≤ 40 μA
Short-circuit output current	Kurzschlussausgangsstrom		
$U_{CC} = 5,25\text{ V}, U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}, U_O = 0\text{ V}$		$-I_{OS}$	20 ... 100 mA
Supply current	Stromaufnahme		
$U_{CC} = 5,25\text{ V}, \vartheta_a = +70^\circ\text{C}$		I_{CC}	≤ 130 mA
$U_{CC} = 5,25\text{ V}, \vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}$		I_{CC}	≤ 155 mA

DYNAMIC DATA: DYNAMISCHE KENN DATEN:
 $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}, U_{CC} = 5,0\text{ V} \pm 0,25\text{ V}$

t_{AVQV}	≤ 90 ns	t_{WLQZ}	≤ 40 ns
t_{SLQV}	≤ 40 ns	t_{WHQV}	≤ 40 ns
t_{SHQZ}	≤ 40 ns	t_{WLWH}	≤ 80 ns



- D data input ● Dateneingang
- $A_1 \dots A_{10}$ address inputs ● Adresseneingänge
- S chip select input ● Chipauswahl-Eingang
- W write enable input ● Schreib-Freigabe-Eingang
- Q output ● Ausgang



Input waveforms — WRITE mode ●
 Eingangsimpulsdiagramm-Schreibzyklus.

t_{DVWH}	≥ 85 ns
t_{WHQV}	≥ 5 ns
t_{AVWL}	≥ 20 ns
t_{WHAV}	≥ 5 ns
t_{SLWL}	≥ 5 ns
t_{WHSH}	≥ 5 ns
t_{WLWH}	≥ 80 ns

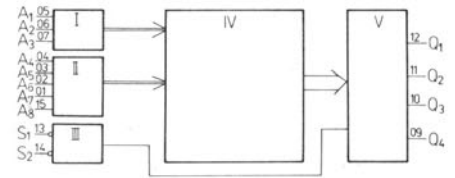
FUNCTION TABLE ● LOGISCHES VERHALTEN

Operation	INPUTS ● EINGÄNGE			OUTPUT ● AUSGANG
	S	W	D	
READ ● LESEN	L	H	X	V
WRITE ● SCHREIBEN	L	L	V	Z
BLOCKING ● BLOCKIEREN	H	X	X	Z

- L — 0 V ≤ U_{IL} ≤ 0,8 V
- H — 2,1 V ≤ U_{IH} ≤ 5,25 V
- V — information L or H on input or output. ● L- oder H-Information auf Eingang oder Ausgang.
- X — irrelevant level L or H (without influence on output level) ● beliebiger L- oder H-Zustand (ohne Einfluss auf Ausgangszustand).
- Z — output high impedance ● hohe Ausgangsimpedanz.

- I. address decoder — enables one quad of rows (converter of three-bit binary code into a 1-out-of-8 code)
- II. address decoder — enables column in memory matrix (converter of five-bit binary code into 1-out-of-32 code)
- III. external control circuit
- IV. memory matrix — consists of 1024 memory cells organized in 32 rows and 32 columns
- V. output amplifiers block

- Zeilenadressendekoder — vermittelt die Wahl eines der Zeilenquartette (Umsetzer des 3-Bit-Binärkodes in den Kode 1 von 8)
- Kolonnenadressendekoder — vermittelt die Kolonnenwahl in Speichermatrix (Umsetzer des 5-Bit-Binärkodes in den Kode 1 von 32)
- externer Regelschaltkreis
- Speicherzellenmatrix — enthält 1024 Speicherzellen angeordneten in 32 Zeilen und 32 Kolonnen
- Ausgangsverstärkerblock



CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:

STATISCHE KENNDATEN:

Output voltage — H level $U_{CC} = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OH} = -6,5 \text{ mA}$	Ausgangsspannung — H-Zustand	$U_{OH} \geq 2,4 \text{ V}$
Output voltage — L level $U_{CC} = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 16 \text{ mA}$	Ausgangsspannung — L-Zustand	$U_{OL} \leq 0,5 \text{ V}$
Input current — H level $U_{CC} = 5,25 \text{ V}, U_{IH} = 5,5 \text{ V}, U_{IL} = 0 \text{ V}, U_{CC} = 5,25 \text{ V}, U_{IH} = 2,7 \text{ V}, U_{IL} = 0 \text{ V}$	Eingangsstrom — H-Zustand	$I_{IH} \leq 1 \text{ mA}$ $I_{IH} \leq 25 \text{ }\mu\text{A}$
Input current — L level $U_{CC} = 5,25 \text{ V}, U_{IL} = 0,45 \text{ V}, U_{IH} = 4,5 \text{ V}$	Eingangsstrom — L-Zustand	$-I_{IL} \leq 250 \text{ }\mu\text{A}$
Input clamp voltage $U_{CC} = 4,75 \text{ V}, I_{IL} = -18 \text{ mA}$	Eingangsklemmspannung	$-U_D \leq 1,2 \text{ V}$
Short-circuit output current $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Kurzschlussausgangsstrom	$-I_{OS} 30 \dots 100 \text{ mA}$
Output current for high impedance level $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{OZH} = 2,4 \text{ V}, U_{IL} = 0,8 \text{ V}, U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{OZL} = 0,5 \text{ V}, U_{IL} = 0,8 \text{ V}$	Ausgangsstrom für den Zustand der hohen Impedanz	$I_{OZH} \leq 50 \text{ }\mu\text{A}$ $-I_{OZL} \leq 50 \text{ }\mu\text{A}$
Supply current $U_{CC} = 5,25 \text{ V}, U_{IL} = 0 \text{ V}, U_{IH} = 4,5 \text{ V}$	Stromaufnahme	$I_{CC} \leq 135 \text{ mA}$

DYNAMIC DATA:
($U_{CC} = 5 \text{ V}$)

DYNAMISCHE KENNDATEN:

Memory enable time from address	Speicher-Freigabezeit von Adresse	$t_{AVQV} \leq 65 \text{ ns}$
Memory enable time from selection	Speicher-Freigabezeit von Auswahl	$t_{SLQV} \leq 55 \text{ ns}$
Blocking time past selection	Blockierungszeit nach Auswahl	$t_{SHQZ} \leq 25 \text{ ns}$

FUNCTION TABLE ● LOGISCHES VERHALTEN

OPERATION SPEICHER VERHALTEN	INPUTS EINGÄNGE $S_1 \quad S_2$		OUTPUTS ● AUSGÄNGE $Q_1 \dots Q_4$ in selected word ● im adressierten Worte
	READ ● AUSLESEN	L	L
DO NOTHING ● KEINE VERÄNDERUNG	L	H	high impedance ● hohe Impedanz
	H	L	high impedance ● hohe Impedanz
	H	H	high impedance ● hohe Impedanz

Functional block diagram ● Funktions-Blockschaltung

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_{CC}	4,75	5,25	V
U_I	-0,5	+5,25	V
$-I_I$		18	mA
ϑ_a	0	+70	°C
ϑ_{stg}	-55	+155	°C

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

U_{CC}	$4,75 \leq U_{CC} \leq 5,25$	V
U_{IL}	$-0,5 \leq U_{IL} \leq +0,8$	V
U_{IH}	$+2,0 \leq U_{IH} \leq +5,5$	V
I_{OL}	≤ 16	mA
$-I_{OH}$	$\leq 6,5$	mA
ϑ_a	$0 \leq \vartheta_a \leq +70$	°C

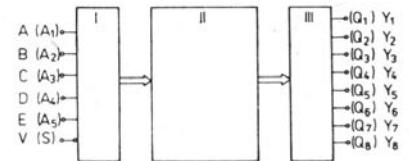
- Level V signify logical level H or L, for each output is determined by the claim to contents of the addressed word of the programmed memory. ● V-Zustand bedeutet H- oder L-Zustand; für jeden Ausgang ist bestimmt durch die Anforderung auf den Inhalt des adressierten Wortes von programmierten Speicher.
- For level H on lovely output READ are up to parameter U_{OH} , for level L parameter U_{OL} . ● Für den H-Zustand an beliebigem Ausgang AUSLESEN korrespondiert der Parameter U_{OH} , für den L-Zustand der Parameter U_{OL} .
- The high impedance state of outputs $Q_1 \dots Q_4$ at regime DO NOTHING given the parameters I_{OZH} and I_{OZL} . ● Zustand den hohen Impedanz von Ausgängen $Q_1 \dots Q_4$ bei dem Betrieb KEINE VERÄNDERUNG zeigen die Parameter I_{OZH} und I_{OZL} an.

- I. controlled row address decoder — enables one of the 32 rows in the memory cell matrix (one of 32 eight-bit words) to be chosen, can also inhibit the memory
- II. memory cell matrix — 32 rows, 8 column array
- III. output amplifier — provides for the transfer of the data read from the selected location to the outputs of the memory

gesteuerter Zeilenadressendekoder — vermittelt die Wahl einer der 32 Zeilen der Speicherzellenmatrix (die Wahl eines von den insgesamt 32 8-Bit-Wörtern), sichergestellt die Regimeblockierung des Speichers

Speicherzellenmatrix — 32 Zeilen, 8 Kolonnen

Ausgangsverstärker — vermittelt die Übertragung der in der adressierte Zeile der Speicherzellenmatrix enthaltenen Information an die Speicherausgänge



STATIC DATA ● KENNDATEN

$\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$

Input current — H level $U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$ $U_{CC} = 5,25\text{ V}, U_{IH} = 2,4\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom — H-Zustand	I_{IH}	< 1 < 40	μA μA
Input current — L level $U_{CC} = 5,25\text{ V}, U_{IL} = 0,4\text{ V}, U_{IH} = 4,5\text{ V}$	Eingangsstrom — L-Zustand	$-I_{IL}$	< 1	mA
Output current — H level $U_{CC} = 4,75\text{ V}, U_{IH} = 2\text{ V}, U_{OH} = 5,5\text{ V}, U_{IL} = 0,8\text{ V}$	Ausgangsstrom — H-Zustand	I_{OH}	< 100	μA
Output voltage — L level 1) $U_{CC} = 4,75\text{ V}, U_{IH} = 2\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 12\text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	< 0,45	V
Supply current — H level $U_{CC} = 5,25\text{ V}, U_{IH} = 4,5\text{ V}$	Stromaufnahme — H-Zustand	I_{CCH}	< 80	mA
Supply current — L level $U_{CC} = 5,25\text{ V}, U_{IH} = 4,5\text{ V}, U_{IL} = 0\text{ V}$	Stromaufnahme — L-Zustand	I_{CCL}	< 110	mA

DYNAMIC DATA ● DYNAMISCHE KENNDATEN

$U_{CC} = 5,0\text{ V}, R_1 = 300\ \Omega, R_2 = 600\ \Omega, C_1 = 30\text{ pF}, U_Z = 5\text{ V}$

Selection time	Adressierungszeit	t_{AVQV}	≤ 50	ns
Memory enable time	Speicher-Freigabezeit	t_{SLQL}	≤ 50	ns
Blocking time	Blockierungszeit	t_{SHQH}	≤ 50	ns
Output capacitance	Ausgangskapazität	C_O	5,5	pF

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

U_{CC}	$4,75\text{ V} \leq U_{CC} \leq 5,25$	V
U_{IL}	$-0,5\text{ V} \leq U_{IL} \leq +0,8$	V
U_{IH}	$+2,0\text{ V} \leq U_{IH} \leq +5,5$	V
I_{OL}	$0\text{ mA} \leq I_{OL} \leq 12$	mA
U_{OH}	$0\text{ V} \leq U_{OH} \leq +5,5$	V
ϑ_a	$0^\circ\text{C} \leq \vartheta_a \leq +70$	$^\circ\text{C}$

RECOMMENDED CONDITIONS FOR PROGRAMMING:

The integrated circuits MH74188 are programming in prescribed recommended circuit and at prescribed recommended working conditions, which are defined in data sheet. If the customer intend to order already in the manufacturing enterprise programmed circuits MH74188, must supplied together with the order a table or a punched tape containing the required programming data. Instructions for constructing the table or punching the tape are available from the manufacturer, in special request.

EMPFOHLENE BETRIEBSDATEN FÜR PROGRAMMIERUNG:

Integrierte Schaltkreise MH74188 programmieren sich in vorgeschriebenen empfohlenen Schaltung und bei vorgeschriebenen empfohlenen Betriebsbedingungen, welche in dem Datenblatt definiert sind. Sofern der Kunde die Lieferung von bereits programmierten Speichern MH74188 direkt von Herstellerwerk wünscht, muss er zusammen mit der Bestellung eine Tabelle oder einen Lochstreifen mit der Spezifikation des Speicherinhaltes vorlegen. Die Art der Gestaltung der Tabelle oder des Lochstreifens kann der Kunde direkt im Herstellerwerk anfordern.

FUNCTION TABLE ● LOGISCHES VERHALTEN

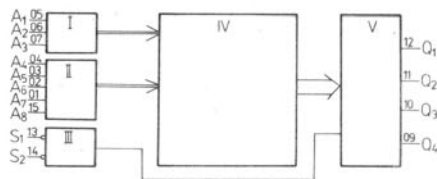
NON-PROGRAMMED MEMORY ● UNPROGRAMMIERTER SPEICHER PROGRAMMED MEMORY ● PROGRAMMIERTER SPEICHER

OPERATION SPEICHER VERHALTEN	INPUT EINGANG V	OUTPUTS AUSGÄNGE $Y_1 \dots Y_8^2)$	INPUT EINGANG V	OUTPUTS AUSGÄNGE $Y_1 \dots Y_8^2)$
READ ● AUSLESEN	L	L	L	$V^3)$
DO NOTHING ● KEINE VERÄNDERUNG	H	H	H	H

- 1. At programmed memory recognize this parameter only at non-programmed outputs. ● Bei programmierten Speichern wird sich dieser Parameter nur an unprogrammierten Ausgängen auswerten.
- 2. In selected word. ● Im adressierten Worte.
- 3. Level V signify logical level H or L and is for each output and each address determined by the claim to contents of the addressed word of the programmed memory. ● V-Zustand bedeutet H- oder L-Zustand und für jeden Ausgang und jede Adresse ist bestimmt durch die Anforderung auf dem Inhalt des adressierten Wortes von programmierten Speicher.

- I. address decoder — enables one quad of rows (converter of three-bit binary code into a 1-out-of-8 code)
- II. address decoder — enables column in memory matrix (converter of five-bit binary code into 1-out-of-32 code)
- III. external control circuit
- IV. memory matrix — consists of 1024 memory cells organized in 32 rows and 32 columns
- V. output amplifiers block

- Zeilenadressendekoder — vermittelt die Wahl eines der Zeilenquartette (Umsetzer des 3-Bit-Binärkodes in den Kode 1 von 8)
- Kolonnenadressendekoder — vermittelt die Kolonnenwahl in Speichermatrix (Umsetzer des 5-Bit-Binärkodes in den Kode 1 von 32)
- externer Regelschaltkreis
- Speicherzellenmatrix — enthält 1024 Speicherzellen angeordneten in 32 Zeilen und 32 Kolonnen
- Ausgangsverstärkerblock



Functional block diagram ● Funktions-Blockschaltung

CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:	STATISCHE KENNDATEN:
Output voltage — H level $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, I_{OH} = -6,5\text{ mA}$	Ausgangsspannung — H-Zustand $U_{OH} \geq 2,4\text{ V}$
Output voltage — L level $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 16\text{ mA}$	Ausgangsspannung — L-Zustand $U_{OL} \leq 0,5\text{ V}$
Input current — H level $U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$ $U_{CC} = 5,25\text{ V}, U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom — H-Zustand $I_{IH} \leq 1\text{ mA}$ $I_{IH} \leq 25\text{ }\mu\text{A}$
Input current — L level $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}, U_{IH} = 4,5\text{ V}$	Eingangsstrom — L-Zustand $-I_{IL} \leq 250\text{ }\mu\text{A}$
Input clamp voltage $U_{CC} = 4,75\text{ V}, I_{IL} = -18\text{ mA}$	Eingangsklemmspannung $-U_D \leq 1,2\text{ V}$
Short-circuit output current $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	Kurzschlussausgangsstrom $-I_{OS} 30 \dots 100\text{ mA}$
Output current for high impedance level $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{OZH} = 2,4\text{ V}, U_{IL} = 0,8\text{ V}$ $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{OZL} = 0,5\text{ V}, U_{IL} = 0,8\text{ V}$	Ausgangsstrom für den Zustand der hohen Impedanz $I_{OZH} \leq 50\text{ }\mu\text{A}$ $-I_{OZL} \leq 50\text{ }\mu\text{A}$
Supply current $U_{CC} = 5,25\text{ V}, U_{IL} = 0\text{ V}, U_{IH} = 4,5\text{ V}$	Stromaufnahme $I_{CC} \leq 135\text{ mA}$

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_{CC}	4,75	5,25	V
U_I	-0,5	+5,25	V
$-I_I$		18	mA
ϑ_a	0	+70	°C
ϑ_{stg}	-55	+155	°C

DYNAMIC DATA: DYNAMISCHE KENNDATEN: ($U_{CC} = 5\text{ V}$)

t_{AVQV}	≤ 65	ns
t_{SLQV}	≤ 55	ns
t_{SHQZ}	≤ 25	ns

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

U_{CC}	$4,75\text{ V} \leq U_{CC} \leq 5,25$	V
U_{IL}	$-0,5\text{ V} \leq U_{IL} \leq +0,8$	V
U_{IH}	$+2,0\text{ V} \leq U_{IH} \leq +5,5$	V
I_{OL}	≤ 16	mA
$-I_{OH}$	$\leq 6,5$	mA
ϑ_a	$0\text{ }^\circ\text{C} \leq \vartheta_a \leq +70$	°C

RECOMMENDED CONDITIONS FOR PROGRAMMING:

The integrated circuits MH74S287 are programming in prescribed recommended circuit and at prescribed recommended working conditions, which are defined in data sheet.

If the customer intend to order already in the manufacturing enterprise programmed circuits MH74S287, must supplied together with the order a table or a punched tape containing the required programming data. Instructions for constructing the table or punching the tape are available from the manufacturer, on special request.

EMPFOHLENE BETRIEBSDATEN FÜR PROGRAMMIERUNG:

Integrierte Schaltkreise MH74S287 programmieren sich in vorgeschriebenen empfohlenen Schaltung und bei vorgeschriebenen empfohlenen Betriebsbedingungen, welche in dem Datenblatt definiert sind.

Sofern der Kunde die Lieferung von bereits programmierten Speichern MH74S287 direkt von Herstellerwerk wünscht, muss er zusammen mit der Bestellung eine Tabelle oder einen Lochstreifen mit der Spezifikation des Speicherinhaltes vorlegen. Die Art der Gestaltung der Tabelle oder des Lochstreifens kann der Kunde direkt im Herstellerwerk anfordern.

FUNCTION TABLE ● LOGISCHES VERHALTEN

NON-PROGRAMMED MEMORY ● UNPROGRAMMIERTER SPEICHER PROGRAMMED MEMORY ● PROGRAMMIERTER SPEICHER

OPERATION SPEICHER VERHALTEN	INPUTS EINGÄNGE		OUTPUTS AUSGÄNGE ($Q_1 \dots Q_4$)	INPUTS EINGÄNGE		OUTPUTS AUSGÄNGE ($Q_1 \dots Q_4$)
	S_1	S_2		S_1	S_2	
READ ● AUSLESEN	L	L	L	L	L	V
DO NOTHING ● KEINE VERÄNDERUNG	L	H	high impedance ● hohe Impedanz	L	H	high impedance ● hohe Impedanz
	H	L	high impedance ● hohe Impedanz	H	L	high impedance ● hohe Impedanz
	H	H	high impedance ● hohe Impedanz	H	H	high impedance ● hohe Impedanz

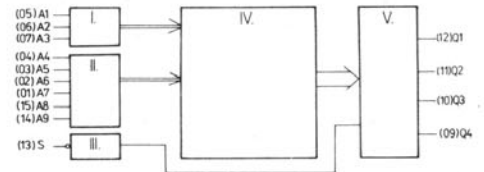
- 1. In selected word. ● Im adressierten Worte.
- 2. Level V signify logical level H or L, for each output is determined by the claim to contents of the addressed word of the programmed memory. ● V-Zustand bedeutet H- oder L-Zustand und für jeden Ausgang ist bestimmt durch die Anforderung auf den Inhalt des adressierten Wortes von programmierten Speicher.
- 3. For level H on lovely output READ are up to parameter U_{OH} , for level L parameter U_{OL} . ● Für den H-Zustand an beliebigen Ausgang AUSLESEN korrespondiert der Parameter U_{OH} , für den L-Zustand der Parameter U_{OL} .
- 4. The high impedance state of outputs $Q_1 \dots Q_4$ at regime DO NOTHING given the parameters I_{OZH} and I_{OZL} . ● Zustand der hohen Impedanz von Ausgängen $Q_1 \dots Q_4$ bei dem Betrieb KEINE VERÄNDERUNG zeigen die Parameter I_{OZH} und I_{OZL} an.

MASK PROGRAMMABLE MEMORY ROM

MASKEN PROGRAMMIERBARE 2048-BIT-SPEICHER ROM

- I. address decoder — enables one quad of rows (converter of three-bit binary code into a 1-out-of-8-code)
- II. address decoder — enables column in memory matrix (converter of six-bit binary code into 1-out-of-64 code)
- III. external control circuit
- IV. memory matrix — consists of 2048 memory cells organized in 32 rows and 64 columns
- V. output amplifiers block

- Zeilenadressendekoder — vermittelt die Wahl eines der Zeilenquartette (Umsetzer des 3-Bit-Binärkodes in den Kode 1 von 8)
- Kolonnenadressendekoder — vermittelt die Kolonnenwahl in Speichermatrix (Umsetzer des 5-Bit-Binärkodes in den Kode 1 von 32)
- Externer Regelschaltkreis
- Speicherzellenmatrix — enthält 2048 Speicherzellen angeordneten in 32 Zeilen und 64 Kolonnen
- Ausgangsverstärkerblock



Functional block diagram ● Funktions-Blockschaltung

CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:

STATISCHE KENNDATEN:

Output voltage – H level $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, I_{OH} = -6,5\text{ mA}$	Ausgangsspannung – H-Zustand	$U_{OH} \geq 2,4\text{ V}$
Output voltage – L level $U_{CC} = 4,75\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 16\text{ mA}$	Ausgangsspannung – L-Zustand	$U_{OL} \leq 0,5\text{ V}$
Input current – H level $U_{CC} = 5,25\text{ V}, U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}, U_{CC} = 5,25\text{ V}, U_{IH} = 2,7\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom – H-Zustand	$I_{IH} \leq 1\text{ mA}$ $I_{IH} \leq 25\text{ }\mu\text{A}$
Input current – L level $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}, U_{IH} = 4,5\text{ V}$	Eingangsstrom – L-Zustand	$-I_{IL} \leq 250\text{ }\mu\text{A}$
Input clamp voltage $U_{CC} = 4,75\text{ V}, I_{IL} = -18\text{ mA}$	Eingangsklemmspannung	$-U_D \leq 1,2\text{ V}$
Short-circuit output current $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	Kurzschlussausgangsstrom	$-I_{OS} 30 \dots 100\text{ mA}$
Output current for high impedance level $U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{OZH} = 2,4\text{ V}, U_{IL} = 0,8\text{ V}, U_{CC} = 5,25\text{ V}, U_{IH} = 2,0\text{ V}, U_{OZL} = 0,5\text{ V}, U_{IL} = 0,8\text{ V}$	Ausgangsstrom für den Zustand der hohen Impedanz	$I_{OZH} \leq 50\text{ }\mu\text{A}$ $-I_{OZL} \leq 50\text{ }\mu\text{A}$
Supply current $U_{CC} = 5,25\text{ V}, U_{IL} = 0\text{ V}, U_{IH} = 4,5\text{ V}$	Stromaufnahme	$I_{CC} \leq 150\text{ mA}$

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_{CC}		5,25	V
U_I	-0,5	+5,25	V
$-I_I$		18	mA
ϑ_a	0	+70	°C
ϑ_{stg}	-55	+155	°C

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

U_{CC}	4,75	$\leq U_{CC} \leq$	5,25	V
U_{IL}	-0,5	$\leq U_{IL} \leq$	+0,8	V
U_{IH}	+2,0	$\leq U_{IH} \leq$	+5,5	V
I_{OL}		$\leq I_{OL} \leq$	16	mA
$-I_{OH}$		$\leq -I_{OH} \leq$	6,5	mA
ϑ_a	0	$\leq \vartheta_a \leq$	+70	°C

DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

t_{AVQV}	≤ 65	ns
t_{SLQV}	≤ 55	ns
t_{SHQZ}	≤ 30	ns

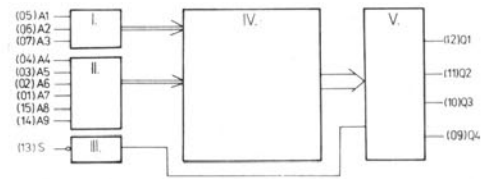
FUNCTION TABLE ● LOGISCHES VERHALTEN

OPERATION SPEICHER VERHALTEN	INPUT EINGANG S	OUTPUTS AUSGÄNGE 1) $Q_1 \dots Q_4$
READ ● AUSLESEN	L	V
DO NOTHING KEINE VERÄNDERUNG	H	high impedance hohe Impedanz

- In selected word. ● Im adressierten Worte.
- Level V signify logical level H or L, for each output is determined by the claim to contents of the addressed word of the programmed memory. ● V-Zustand bedeutet H- oder L-Zustand; für jeden Ausgang ist bestimmt durch die Anforderung auf den Inhalt des adressierten Wortes von programmierten Speicher.
- For level H on lovely output READ are up to parameter U_{OH} , for level L parameter U_{OL} . ● Für den H-Zustand an beliebigem Ausgang AUSLESEN Korrespondiert der Parameter U_{OH} , für den L-Zustand der Parameter U_{OL} .
- The high impedance state of outputs $Q_1 \dots Q_4$ at regime DO NOTHING given the parameters I_{OZH} and I_{OZL} . ● Zustand der hohen Impedanz von Ausgängen $Q_1 \dots Q_4$ bei dem Betrieb KEINE VERÄNDERUNG zeigen die Parameter I_{OZH} und I_{OZL} an.

MH74S571 LOGIC INTEGRATED CIRCUITS TTL LSI ● LOGISCHE INTEGRIERTE SCHALTkreISE TTL LSI
ELECTRIC PROGRAMMABLE MEMORY PROM
ELEKTRISCH PROGRAMMIERBARE SPEICHER PROM 2048 BIT

- | | |
|--|--|
| I. address decoder — enables one quad of rows (converter of three-bit binary code into a 1-out-of-8 code) | Zeilenadressendekoder — vermittelt die Wahl eines der Zeilenquartette (Umsetzer des 3-Bit-Binärkodes in den Kode 1 von 8) |
| II. address decoder — enables column in memory matrix (converter of six-bit binary code into 1-out-of-64 code) | Kolonnenadressendekoder — vermittelt die Kolonnenwahl in Speichermatrix (Umsetzer des 6-Bit-Binärkodes in den Kode 1 von 64) |
| III. external control circuit | externer Steuerschaltkreis |
| IV. memory matrix — consists of 2048 memory cells organized in 32 rows and 64 columns | Speicherzellenmatrix — enthält 2048 Speicherzellen angeordneten in 32 Zeilen und 64 Kolonnen |
| V. output amplifiers block | Ausgangsverstärkerblock |



Functional block diagram ● Funktions-Blockschaltung

CHARACTERISTIC DATA: KENN DATEN:

STATIC DATA:	STATISCHE KENN DATEN:			
Output voltage — H level $U_{CC} = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OH} = -6,5 \text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$	V
Output voltage — L level $U_{CC} = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 16 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,5$	V
Input current — H level $U_{CC} = 5,25 \text{ V}, U_{IH} = 5,5 \text{ V}, U_{IL} = 0 \text{ V}, U_{CC} = 5,25 \text{ V}, U_{IH} = 2,7 \text{ V}, U_{IL} = 0 \text{ V}$	Eingangsstrom — H-Zustand	I_{IH}	≤ 1	mA
		I_{IH}	≤ 25	μA
Input current — L level $U_{CC} = 5,25 \text{ V}, U_{IL} = 0,45 \text{ V}, U_{IH} = 4,5 \text{ V}$	Eingangsstrom — L-Zustand	$-I_{IL}$	≤ 250	μA
Input clamp voltage $U_{CC} = 4,75 \text{ V}, I_{IL} = -18 \text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1,2$	V
Short-circuit output current $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}$	Kurzschlussausgangsstrom	$-I_{OS}$	30 ... 100	mA
Output current for high impedance level $U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{OZH} = 2,4 \text{ V}, U_{IL} = 0,8 \text{ V}, U_{CC} = 5,25 \text{ V}, U_{IH} = 2,0 \text{ V}, U_{OZL} = 0,5 \text{ V}, U_{IL} = 0,8 \text{ V}$	Ausgangsstrom für den Zustand der hohen Impedanz	I_{OZH}	≤ 50	μA
		$-I_{OZL}$	≤ 50	μA
Supply current $U_{CC} = 5,25 \text{ V}, U_{IL} = 0 \text{ V}, U_{IH} = 4,5 \text{ V}$	Stromaufnahme	I_{CC}	≤ 150	mA
DYNAMIC DATA:	DYNAMISCHE KENN DATEN:	t_{AVQV}	≤ 65	ns
		t_{SLQV}	≤ 55	ns
		t_{SHQZ}	≤ 30	ns

MAXIMUM RATINGS ● GRENZ DATEN

	min.	max.	
U_{CC}	0	7,0	V
U_I	-0,5	+5,25	V
$-I_I$		18	mA
ϑ_a	0	+70	$^{\circ}\text{C}$
ϑ_{stg}	-55	+155	$^{\circ}\text{C}$

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBS DATEN

U_{CC}	4,75	$\leq U_{CC}$	$\leq 5,25$	V
U_{IL}	-0,5	$\leq U_{IL}$	$\leq +0,8$	V
U_{IH}	+2,0	$\leq U_{IH}$	$\leq +5,5$	V
I_{OL}		$\leq I_{OL}$	≤ 16	mA
$-I_{OH}$		$\leq -I_{OH}$	$\leq 6,5$	mA
ϑ_a	0	$\leq \vartheta_a$	$\leq +70$	$^{\circ}\text{C}$

- Level V signify logical level H or L, for each output is determined by the claim to contents of the addressed word of the programmed memory. ● V-Zustand bedeutet H- oder L-Zustand; für jeden Ausgang ist bestimmt durch die Anforderung auf den Inhalt des adressierten Wortes von programmierten Speicher.
- For level H on lovely output READ are up to parameter U_{OH} , for level L parameter U_{OL} . ● Für den H-Zustand an beliebigem Ausgang AUSLESEN korrespondiert der Parameter U_{OH} , für den L-Zustand der Parameter U_{OL} .
- The high impedance state of outputs $Q_1 \dots Q_4$ at regime DO NOTHING given the parameters I_{OZH} and I_{OZL} . ● Zustand den hohen Impedanz von Ausgängen $Q_1 \dots Q_4$ bei dem Betrieb KEINE VERÄNDERUNG zeigen die Parameter I_{OZH} und I_{OZL} an.

RECOMMENDED CONDITIONS FOR PROGRAMMING:

The integrated circuits MH74S571 are programming in prescribed recommended circuit and at prescribed recommended working conditions, which are defined in data sheet. If the customer intend to order already in the manufacturing enterprise programmed circuits MH74S571, must supplied together with the order a table or a punched tape containing the required programming data. Instructions for constructing the table or punching the tape are available from the manufacturer, on special request.

EMPFOHLENE BETRIEBS DATEN FÜR PROGRAMMIERUNG:

Integrierte Schaltkreise MH74S571 programmieren sich in vorgeschriebenen empfohlenen Schaltung und bei vorgeschriebenen empfohlenen Betriebsbedingungen, welche in dem Datenblatt definiert sind.

Sofern der Kunde die Lieferung von bereits programmierten Speicher MH74S571 direkt von Herstellerwerk wünscht, muss er zusammen mit der Bestellung eine Tabelle oder einen Lochstreifen mit der Spezifikation des Speicherinhaltes vorlegen. Die Art der Gestaltung der Tabelle oder des Lochstreifens kann der Kunde direkt im Herstellerwerk anfordern.

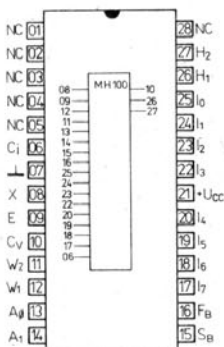
FUNCTION TABLE ● LOGISCHES VERHALTEN

NON-PROGRAMMED MEMORY UNPROGRAMMIERTER SPEICHER			PROGRAMMED MEMORY PROGRAMMIERTER SPEICHER	
OPERATION SPEICHERVERÄNDERUNG	INPUT EINGANG S	OUTPUTS AUSGÄNGE $Q_1 \dots Q_4$ 1)	INPUT EINGANG S	OUTPUTS AUSGÄNGE $Q_1 \dots Q_4$ 1)
READ ● AUSLESEN	L	L	L	V
DO NOTHING ● KEINE VERÄNDERUNG	H	high impedance hohe Impedanz	H	high impedance hohe Impedanz

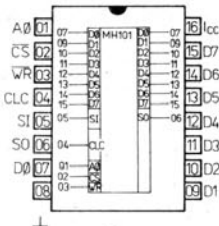
Type Typ	Feature	Art	Outlines Abmessungen
MH100	Circular interpolator suitable as hardware interpolator for interpolation of straight, parabolic and circular line from given initial point for common use in controlling systems of machine and drawing tools, in roboting and there, where generation of general line is required.	Ringinterpolator bestimmt als Hardwareinterpolator für Interpolation von geradlinigen, parabolischen und ringförmigen Strecken vom gegebenen Anfangspunkt aus, für allgemeinen Gebrauch in Steuersystemen von Bearbeitungs- und Zeichengeräten, in der Robotik und dort, wo die Generation einer allgemeinen Strecke gefordert wird.	IO-19
MH101	CRC controller is for security of information transmission by its coding with the assistance of one in a four polynoms: $x^8 + 1$, $x^{16} + x^{15} + x^2 + 1$, $x^{16} + x^{12} + x^5 + 1$, $x^{14} + x^{10} + x^3 + 1$. Circuit can operate in serial or parallel operation, control by odd or even parity and control of output information to value 0 or hexadecimal symbol F0B8 can be used.	CRC-Kontroller ist bestimmt für die Sichestellung von Informationsübertragung durch Verschlüsselung mit Hilfe einer der vier Polynomen: $x^8 + 1$, $x^{16} + x^{15} + x^2 + 1$, $x^{16} + x^{12} + x^5 + 1$, $x^{14} + x^{10} + x^3 + 1$. Der Schalkreis kann in Serien- oder Parallelbetrieb benützt werden, es kann Kontrolle durch ungerade oder gerade Parität, Kontrolle der Ausgangsinformation auf 0-Wert oder auf Hexadezimalzeichen F0B8 angewendet werden.	IO-14
MH102	Hardware multiplier — multiply two words with eight bits, the results is sixteen bit word. This multiplier is suitable as programmed periphery circuit for microprocessor system MHB8080A.	Hardware Multiplikator — er multipliziert zwei Wörter zu je acht Bit, das Ergebnis ist ein Wort bit 16-Bit Länge. Der Schaltkreis ist bestimmt als programmierbare Peripherieschaltung für das Mikroprozessorsystem MHB8080A.	IO-14
MH1KK1	Coder for contactless keyboard in devices for transmission and data processing. Task of the circuit after press down of the button of the digit key is to co-ordinate to every hexadecimal symbol the four bit binary word according to function table.	Koder für kontaktlose Tastaturen in Geräten für Datenübertragung und Datenbearbeitung. Die Aufgabe des Schaltkreises ist es, nach Drücken zuständiger Taste auf der Tastatur gemäss Funktionstabelle jedem Hexadezimalsymbol das Vierbit-Binarwort zuzuordnen.	IO-15

MAXIMUM RATINGS • GRENZDATEN

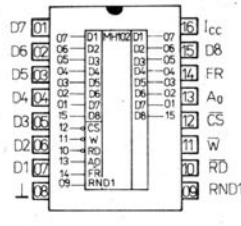
	min.	max.	
I_{CC}	0	180	mA
MH101	0	80	mA
MH1KK1	0	50	mA
U_I	-0,5	+5,25	V
MH100, MH101, MH1KK1	-1,5	+5,25	V
MH102	-1,5	+5,25	V
U_{OH}	0	+5,25	V
I_{OL}	0	10	mA
ϑ_a	-25	+85	°C
MH1KK1	0	+70	°C
ϑ_{stg}	-55	+155	°C



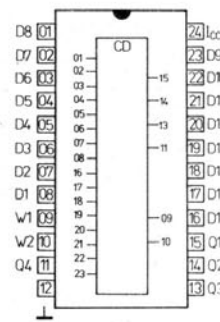
MH100



MH101



MH102



MH1KK1

MAXIMUM RATINGS ● GRENZDATEN

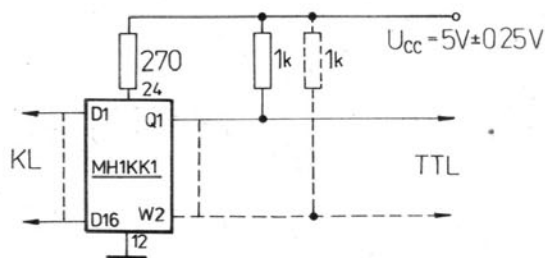
	min.	max.	
I_{CC}		50	mA
U_I	-0,5	+5,5	V
U_O	0	+5,25	V
I_O		10	mA
ϑ_a	0	+70	°C
ϑ_{stg}	-55	+155	°C

RECOMMENDED WORKING CONDITIONS ● EMPFOHLENE BETRIEBSDATEN

	min.	max.	
U_{IL}	-0,5	+0,8	V
U_{IH}	2,2	4,5	V
I_{CC}	10	20	mA
I_{OL}	0	10	mA
U_{OH}	1	5,25	V
ϑ_a	0	+70	°C

TRUTH TABLE ● LOGISCHES VERHALTEN

Input state ● Eingangszustand																Output state Ausgangszustand					
D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	D ₁₂	D ₁₃	D ₁₄	D ₁₅	D ₁₆	Q ₁	Q ₂	Q ₃	Q ₄	W ₁	W ₂
H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	H	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L



Recommended application circuit ●
 Empfohlener Schaltbeispiel

- D₁... D₁₆ data inputs ● Dateneingänge
- Q₁... Q₄ data outputs ● Datenausgänge
- W₁, W₂ select outputs ● Auswahlausgänge
- KL to outputs of contactless keyboard (which are provided with load resistors) ● zur Ausgängen von kontaktlosen Tasten (welche mit Belastungswiderständen beschalten sind)
- TTL to TTL inputs ● zur TTL-Eingängen

CHARACTERISTIC DATA:

KENNDATEN: $\vartheta_a = 0^\circ\text{C}, +25^\circ\text{C}, +70^\circ\text{C}$

		min.-max.	
Input current – level H $I_{CC} = 15\text{ mA}, U_{IH} = 3,3\text{ V}, U_{IL} = 0\text{ V}$	Eingangsstrom – H-Zustand	I_{IH}	$\leq 380\ \mu\text{A}$
$I_{CC} = 15\text{ mA}, U_{IH} = 5,5\text{ V}, U_{IL} = 0\text{ V}$		I_{IH}	$\leq 1\text{ mA}$
Output voltage – level L $I_{CC} = 15\text{ mA}, U_{IH} = 2,2\text{ V}, U_{IL} = 0,8\text{ V}, I_{OL} = 10\text{ mA}$	Ausgangsspannung – L-Zustand	U_{OL}	$\leq 0,4\text{ V}$
Output current – level H $I_{CC} = 15\text{ mA}, U_{IH} = 2,2\text{ V}, U_{IL} = 0,8\text{ V}, U_{OH} = 5,25\text{ V}$	Ausgangsstrom – H-Zustand	I_{OH}	$\leq 400\ \mu\text{A}$
Input clamp voltage $I_{CC} = 15\text{ mA}, I_I = -12\text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1,5\text{ V}$

INFORMATIVE DATA:

INFORMATIONSDATEN:

Level stage delay on the outputs W ₁ , W ₂ with regard to output state Q ₁ ... Q ₄	Zustandsverzögerung auf Ausgängen W ₁ , W ₂ gegen Zuständen auf Ausgängen Q ₁ ... Q ₄	$40\text{ ns} \leq \tau \leq 800$	ns
Propagation delay time of signals from inputs D ₁ ... D ₁₆ to outputs Q ₁ ... Q ₄ , W ₁ , W ₂	Signal-Laufzeitverzögerung von Eingängen D ₁ ... D ₁₆ auf Ausgänge Q ₁ ... Q ₄ , W ₁ , W ₂	$\tau_I \leq 3$	ns

FUNCTIONS TABLE ● FUNKTIONS-VERHALTEN

Address inputs A_0, A_1 for register select R_A, R_L
 Adresseneingänge A_0, A_1 für R_A, R_L Registerauswahl

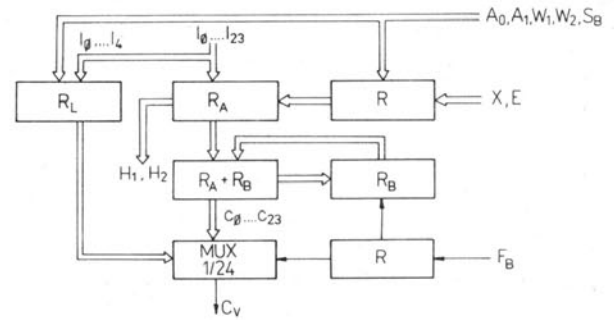
INPUT EINGANG		REGISTER	BIT
A_0	A_1		
L	L	R_{A1}	0...7
L	H	R_{A2}	8...15
H	L	R_{A3}	16...23
H	H	R_L	

For function WRITE valid ● Für Funktion SCHREIBEN gilt
 $W_1 = W_2 = L$.

Input X enable change of register contents 1 if
 $X = L \rightarrow$ contents R_A will be smaller at 1
 $X = H \rightarrow$ contents R_A will be greater at 1
 Clock input E, which controlling of change R_A of 1:
 Change of 1 pass with each leading edge; during of level changes on input X must be on input the level H.
 Clock input F_B for writing into R_B :
 With each leading edge on F_B is writing into R_B contents of $R_A + R_B$
 Output H_1, H_2 indicated the register level R_A :
 Level L on H_1 only for all unit R_A in state level L.
 Level H on H_2 only for all unit R_A in state level H.
 Carry output C_V :
 $C_V = C_O \cdot F_B$, in which C_O is carry output of adder.
 Reset input S_B :
 Reset of register R_B at level L on the input S_B .
 Eingang X erlaubt die Änderung des Registerinhaltes um 1, wenn
 $X = L \rightarrow$ Inhalt R_A wird verkleinert um 1.
 $X = H \rightarrow$ Inhalt R_A wird vergrößert um 1.
 Takteingang E, welcher steuert die Änderungen R_A um 1:
 Die Änderung um 1 läuft mit jede Anlaufkante; im Laufe der Zustandsänderungen auf den Eingang X muss auf dem Eingang E der H-Zustand sein.
 Takteingang F_B für Schreiben in R_B :
 Mit jede Anlaufkante auf R_B schreibt sich in Register R_B den Inhalt $R_A + R_B$.
 Ausgänge H_1, H_2 zeigen der Registerzustand R_A an:
 L — Zustand auf H_1 nur für alle Glieder R_A in L-Zustand.
 L — Zustand auf H_2 nur für alle Glieder R_A in H-Zustand.
 Übertragungsausgang C_V :
 $C_V = C_O \cdot F_B$, wo C_O der Übertragungsausgang von Addierwerk ist.
 Rückstelleingang S_B :
 Bei dem L-Zustand auf dem Eingang S_B stellt sich den Register R_B zurück.

RECOMMENDED WORKING CONDITIONS ●
 EMPFOHLENE BETRIEBSBEDINGUNGEN

	min.	nom.	max.	
I_{CC}	60	120	180	mA
U_{IL}	-0,5		+0,8	V
U_{IH}	2,0		+5,25	V
U_{OH}		5,0	5,25	V
I_{OL}	0		10	mA
∂_a	-25	+25	+85	°C



Functional block diagram
 Funktions-Blockschaltung

- R control block ● Steuerungsblock
- R_A register R_A ● Register R_A
- R_B register R_B ● Register R_B
- R_L register R_L ● Register R_L
- $R_A + R_B$ adder ● Addierwerk
- MUX multiplexer 1-out-of-24 ● Multiplexer 1 von 24
- A_0, A_1, W_1, W_2, S_B — asynchronous control inputs ● Asynchron-Steureingänge
- X, E control inputs ● Steureingänge
- F_B synchronous control input ● Synchron-Steureingang
- $I_0 \dots I_{23}$ data inputs ● Dateneingänge
- H_1, H_2 filling indication ● Füllungsindikator
- C_V carry output ● Übertragungsausgang
- $I_0 \dots I_7$ data inputs (I_0 have lowermost, I_7 highest weight) ● Dateneingänge (I_0 hat die niedrigste, I_7 die höchste Waage)
- A_0, A_1 address inputs for select of registers R_A, R_L ● Adresseneingänge für R_A, R_L — Registersauswahl
- W_1, W_2 writing inputs of registers R_A, R_L ● Schreibeingänge von Register R_A, R_L
- X counting direction input ● Zählrichtungs-Eingang
- E clock input, which controlling of change R_A of 1 ● Takteingang, welcher steuert die Änderungen R_A um 1
- F_B clock input for writing into R_B ● Takteingang für Schreiben in R_B
- H_1, H_2 outputs, which indicated register R_A state ● Ausgänge, welche R_A — Registerzustand zeigen an
- S_B reset input ● Rückstelleingang
- C_i test input (it must be not connected) ● Testeingang (muss frei bleiben)

CHARACTERISTIC DATA:

KENNDATEN:

min.-max.

Input clamp voltage $I_{CC} = 120 \text{ mA}, I_I = -12 \text{ mA}$	Eingangsklemmspannung	$-U_D$	$\leq 1,5$	V
Output voltage — level L $I_{CC} = 60 \text{ mA}, I_O = 10 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,4$	V
Output current — level H $I_{CC} = 180 \text{ mA}, U_O = 5,25 \text{ V}$	Ausgangsstrom — H-Zustand	I_{OH}	≤ 400	μA
Input current — level H $U_{IH} = 3,3 \text{ V}, I_{CC} = 120 \text{ mA}$ $U_{IH} = 5,25 \text{ V}, I_{CC} = 120 \text{ mA}$	Eingangsstrom — H-Zustand	I_{IH3} I_{IH5}	≤ 380 $\leq 2,0$	μA mA
Supply voltage $I_{CC} = 180 \text{ mA}$	Speisespannung	U_{CC}	$\leq 4,0$	V

RECOMMENDED WORKING CONDITIONS
 EMPFOHLENE BETRIEBSDATEN

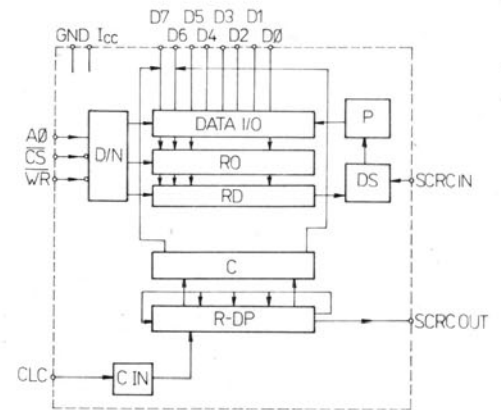
I_{CC}	$40 \leq I_{CC} \leq 80$	mA
$I_{CC \text{ typ.}}$	60	mA
U_{IL}	$-0,5 \leq U_{IL} \leq 0,8$	V
U_{IH}	$2,0 \leq U_{IH} \leq 4,5$	V
I_{OL}	$0 \leq I_{OL} \leq 10$	mA
U_{OH}	$0 \leq U_{OH} \leq 5,25$	V
ϑ_a	$0 \leq \vartheta_a \leq 70$	°C

CONDITION MODE ● BETRIEBSART

Function Funktion	INPUTS EINGÄNGE					STS	SFC
	CS	WR	A0	D5	D4		
$D_0 \dots D_7$ outputs open ● Ausgänge ausgeschalten	H	X	X	X	X		
Write of condition mode ● Betriebsart-Schreiben	L	L	H	X	L		
Data write ● Daten-Schreiben	L	L	L	X	L		
Data register read ● Datenregister-Lesen	L	H	L	H	L		
Read of upper syllable of working register ● Lesen von oberen Silbe des Arbeitsregisters	L	H	L	L	L		
Read of lower syllable of working register ● Lesen von unteren Silbe des Arbeitsregisters	L	H	H	L	L		
Signal error read ● Lesen von Fehlersignalen	L	H	H	H	L		
Serial function ● Serienfunktion	L	L	H	X	H		

POLYNOM SELECT AND SHIFT CONTROL
 POLYNOM-AUSWAHL UND VERSCHIEBUNGSREGELUNG

D_0	INPUTS ● EINGÄNGE				POLYNOM / FCE
	D_1	D_2	D_3		
L	L	H	L	LCR-8 ($x^8 + 1$)	
L	L	L	H	CRC-16 ($x^{16} + x^{15} + x^2 + 1$)	
L	L	H	H	CCITT ($x^{16} + x^{12} + x^5 + 1$)	
L	L	L	L	TS ($x^{14} + x^{10} + x^3 + 1$)	
H	H	X	X	Shift ● Verschiebung	
H	L	X	X	Adjusting ● Einstellung	
L	H	X	X	Adjusting ● Einstellung	



Functional block diagram ● Funktions-Blockschaltung

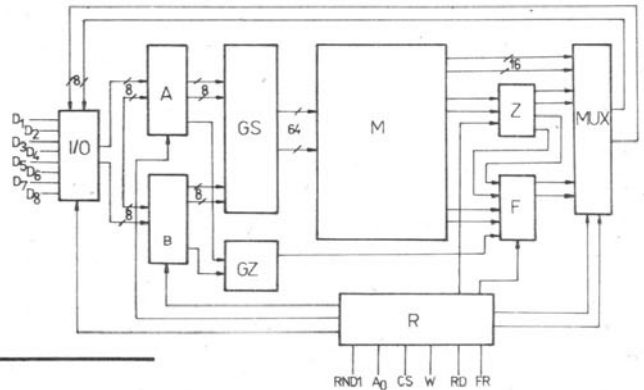
- $D_0 \dots D_7$ inputs/outputs of parallel data ● Paralleldaten-Eingänge / Ausgänge
- CS chip select input ● Chipauswahl
- WR write/read input ● Schreib-/Leseeingang
- A0 mode selection input ● Modeauswahl-Eingang
- SI serial data input SCRCIN ● Seriidaten-Eingang
- CLC clock input ● Takteingang
- SO serial data output SCRCOUT ● Seriidaten-Ausgang
- DIN decoder input ● Eingangsdekoder
- DATA I/O data input/output ● Daten-Eingang/Ausgang
- RO actuation register ● Stellregister
- RD data register ● Datenregister
- C comparator ● Komparator
- R-DP working register/polynom decoder ● Arbeitsregister / Polynomdekoder
- CIN counter input ● Zählereingang
- P paritator ● Paritator
- DS data select ● Datenauswahl

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = -25^\circ\text{C} \dots +85^\circ\text{C}$

		nom.	min.-max.	
Input clamp voltage all inputs $I_{CC} = 60 \text{ mA}, I_I = -12 \text{ mA}$	Eingangsklemmspannung alle Eingänge			
			$\leq 1,5$	V
Input current — level H all inputs $I_{CC} = 60 \text{ mA}, U_{IH} = 3,3 \text{ V}, U_{IL} = 0 \text{ V}$ $I_{CC} = 60 \text{ mA}, U_{IH} = 5,5 \text{ V}, U_{IL} = 0 \text{ V}$	Eingangsstrom — H-Zustand alle Eingänge			
		I_{IH3} I_{IH5}	≤ 380 $\leq 1,0$	μA mA
Output voltage — level L all inputs $I_{CC} = 40 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 10 \text{ mA}$	Ausgangsspannung — L-Zustand alle Eingänge			
		U_{OL}	$\leq 0,4$	V
Supply voltage $I_{CC} = 80 \text{ mA}$ $I_{CC} = 60 \text{ mA}$	Speisespannung			
		U_{CC} U_{CC}	$\leq 2,5$	V V
		1,2		

RECOMMENDED WORKING CONDITIONS
 EMPFOHLENE BETRIEBSDATEN

I_{CC}	$80 \leq I_{CC} \leq 160$	mA
	typ. 120	mA
U_{IL}	$-0,5 \leq U_{IL} \leq 0,8$	V
U_{IH}	$2,0 \leq U_{IH} \leq 4,5$	V
I_{OL}	$0 \leq I_{OL} \leq 10$	mA
U_{OH}	$1,0 \leq U_{OH} \leq 5,25$	V
∂_a	$0 \leq \partial_a \leq 70$	°C



CHARACTERISTIC DATA: KENNDATEN:

		min.-max.
Input clamp voltage $I_{CC} = 120 \text{ mA}, I_I = -12 \text{ mA}$	Eingangsklemmspannung $-U_D$	$\leq 1,5 \text{ V}$
Input current – level H all inputs $I_{CC} = 120 \text{ mA}, U_{IL} = 0 \text{ V}, U_{IH} = 3,3 \text{ V}, U_{IH} = 5,5 \text{ V}$	Eingangsstrom – H-Zustand alle Eingänge I_{IH3} I_{IH5}	$\leq 650 \mu\text{A}$ $\leq 1,5 \text{ mA}$
Output voltage – level L all outputs $I_{CC} = 120 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, I_{OL} = 10 \text{ mA}$	Ausgangsspannung – L-Zustand alle Ausgänge U_{OL}	$\leq 0,4 \text{ V}$
Output current – level H all outputs $I_{CC} = 120 \text{ mA}, U_{IH} = 2,0 \text{ V}, U_{IL} = 0,8 \text{ V}, U_{OH} = 5,25 \text{ V}$	Ausgangsstrom – H-Zustand alle Ausgänge I_{OH}	$\leq 1,4 \text{ mA}$
Supply voltage $I_{CC} = 160 \text{ mA}$ $I_{CC} = 120 \text{ mA}$	Speisespannung U_{CC} U_{CC}	$\leq 2,5 \text{ V}$ $1,2 \text{ — } \text{V}$

Function diagram ● Funktions-Blockschaltung

TRUTH TABLE ● LOGISCHES VERHALTEN

CONTROL INPUT STATE STEUEREINGANGS-ZUSTAND						Function ● Funktion
FR	A ₀	\overline{CS}	\overline{W}	\overline{RD}	RND1	
H	X	X	X	X	X	Multiplier size 7 bit; bit D8; mark: – level H, + level L ● Multiplikatorform 7 Bit; Bit D8; Zeichen: – H-Zustand, + L-Zustand
L	X	X	X	X	X	Multiplier size 8 bit ● Multiplikatorform 8 Bit
X	H	X	X	X	X	Higher Byte (write, read) ● Höher Byte (Schreiben, Lesen)
X	L	X	X	X	X	Lower Byte (write, read) ● Niedriger Byte (Schreiben, Lesen)
X	X	L	X	X	X	Chip selected ● Chip ausgewählt
X	X	H	X	X	X	Chip not selected; on D ₁ ...D ₈ level H; blocked writing into chip ● Chip ist nicht ausgewählt; auf D ₁ ...D ₈ H-Zustand; Blockierte Schreiben in Chip
X	X	X	L	X	X	Data pins in input function ● Datenausführungen in Eingangsfunktion
X	X	X	H	X	X	Blocked writing into input registers ● Blockierte Schreiben in Eingangsregistern
X	X	X	X	L	X	Data pins in output function ● Datenausführungen in Ausgangsfunktion
X	X	X	X	H	X	Chip blocked; on D ₁ ...D ₈ level H; blocked reading out of chip ● Blockiertes Chip; auf D ₁ ...D ₈ H-Zustand; blockiertes Lesen aus dem Chip
H	H	X	X	X	H	Round off; D ₀₁ = D' ₉ + carry (D' ₇ + 1) ● Es rounded ab; D ₀₁ = D' ₉ + Übertragung (D' ₇ + 1)
L	H	X	X	X	H	Round off; D ₀₁ = D' ₉ + carry (D' ₈ + 1) ● Es rounded ab; D ₀₁ = D' ₉ + Übertragung (D' ₈ + 1)
X	X	X	X	X	L	Round not off ● Es rounded nicht ab.

- I/O input/output ● Eingang/Ausgang
- A input register A ● Eingangsregister A
- B input register B ● Eingangsregister B
- F size switch ● Form-Umschalter
- GS part product generation ● Teilproduktgenerierung
- GZ mark generator ● Zeichengenerator
- M sum total matrix ● Summenmatrix
- MUX output multiplexer ● Ausgangsmultiplexer
- R control functions group ● Steuerungsfunktionsgruppe
- Z round off functions group ● Abrundungsfunktionsgruppe
- D₁...D₈ input/output pins (data bus 8080) ● Eingangs-/Ausgangsausführungen (Daten-Bus 8080)
- \overline{CS} chip select (level L activ) ● Chip-Auswahl (L-Zustand aktiv)
- \overline{W} write into chip ● Schreiben in Chip
- \overline{RD} read from chip (at level L) ● Lesen aus Chip (bei dem L-Zustand)
- A₀ Byte selection of input registers addressing (level H – MSB, L – LSB) and output multiplexer ● Byte-Auswahl von Eingangsregisteradressierung (H-Zustand – MSB, L – LSB) und Ausgangsmultiplexers
- FR multiplying size control (level H 8 bit, L 7 bit and mark) ● Multiplikationsform-Steuerung (H-Zustand 8 Bit, L 7 Bit und Zeichen)
- RND1 round off (at level H) ● Abrundung (bei dem H-Zustand)

MH1SD1
MH1SS1

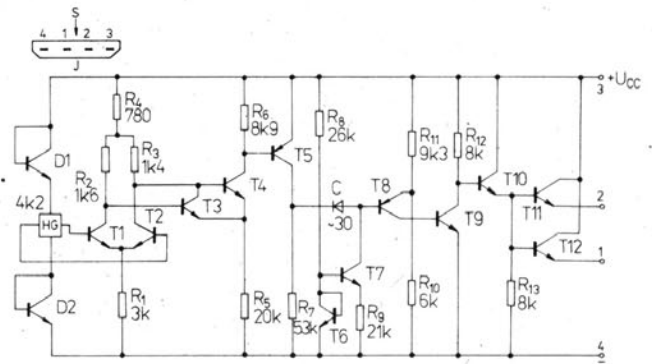
MONOLITHIC INTEGRATED CIRCUITS FOR CONTACTLESS SWITCHES WITH
MAGNETIC FIELD CONTROL ● MONOLITISCHE INTEGRIERTE SCHALTKREISE
FÜR MAGNETISCH BETÄTIGTE KONTAKTLOSE SCHALTER

MAXIMUM RATINGS ● GRENZDATEN

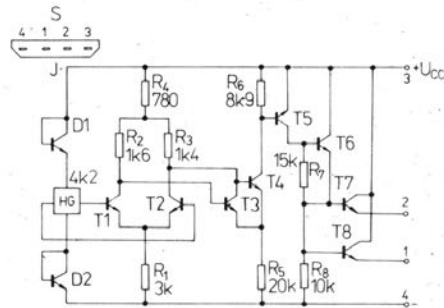
		min.	max.	
$U_{3/4}$	MH1SD1	4,5	5,5	V
	MH1SS1	4,9	5,1	V
$I_{1/4}$			10	mA
$I_{2/4}$			10	mA
$I_{1/4} + I_{2/4}$			20	mA
ϑ_a		0	+55	°C
ϑ_{stg}		-55	+55	°C

Outlines ● Abmessungen

MH1SD1 IO-52
MH1SS1 IO-52, (51)



MH1SD1



MH1SS1

CHARACTERISTIC DATA:

KENNDATEN: $\vartheta_a = 25^\circ\text{C}$, $U_{3/4} = 5,0\text{ V} \pm 0,01\text{ V}$, unless otherwise noted ● wenn nicht anders angegeben

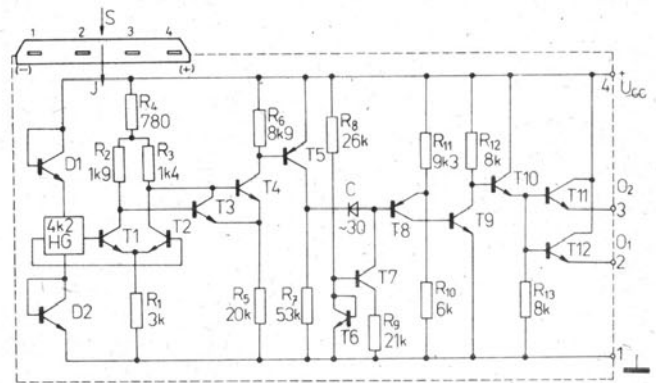
		MH1SD1	MH1SS1	
Output voltage — L level	Ausgangsspannung — L-Zustand			
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$, $B = 0,005\text{ T}$		$U_{1/4L}$	$\leq 0,25$	V
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$, $B = 0,005\text{ T}$		$U_{2/4L}$	$\leq 0,25$	V
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$		$U_{1/4L}$	—	V
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$		$U_{2/4L}$	$\leq 0,25$	V
Output voltage — H level	Ausgangsspannung — H-Zustand			
$R_{L1} = R_{L2} = 330\ \Omega$, $B = 0,08\text{ T}$		$U_{1/4H}$	$\geq 3,15$	V
$R_{L1} = R_{L2} = 330\ \Omega$, $B = 0,08\text{ T}$		$U_{2/4H}$	$\geq 3,15$	V
$I_{L1} = 1 \dots 10\text{ mA}$		$U_{1/4H}$	—	V
$I_{L2} = 1 \dots 10\text{ mA}$		$U_{2/4H}$	$\geq 3,15$	V
Supply current — H level	Speisestrom — H-Zustand			
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$, $B = 0,08\text{ T}$		$I_{3/4H}$	≤ 15	mA
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$		$I_{3/4H}$	—	mA
Magnetic induction for level	Magnetische Induktion für Zustand			
$R_{L1} = R_{L2} = 330\ \Omega$		B_{LH}	$0,03 \dots 0,08$	T
state ON — level H (MH1SS1: $I_{L1} = I_{L2} = 1 \dots 10\text{ mA}$)		B_0	$\leq 0,005$	T
state OFF — level L (MH1SS1: $R_{L1} = R_{L2} = 2,5\text{ k}\Omega$)				
Magnetic hysteresis	Magnetische Hysterese			
$R_{L1} = R_{L2} = 330\ \Omega$		H_B	$\geq 0,015$	T
$I_{L1} = I_{L2} = 1 \dots 10\text{ mA}$		H_B	—	T
Insulatory output current	Ausgang-Isolationsstrom			
$U_{1/2} = 5\text{ V}$		$I_{1/2}$	$\leq 0,1$	mA
$U_{2/1} = 5\text{ V}$		$I_{2/1}$	$\leq 0,1$	mA
Output impulse width	Ausgangsimpulsbreite			
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$		t_p	$20 \dots 1000$	μs
Switching time	Schaltzeit			
$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$				
MH1SS1: $I_{L1} = I_{L2} = 1 \dots 10\text{ mA}$				
rise time	Anstiegszeit	t_r	0,8	μs
fall time	Abfallzeit	t_f	1,4	μs

MONOLITHIC INTEGRATED CIRCUITS FOR CONTACTLESS SWITCHES WITH
 MAGNETIC FIELD CONTROL ● MONOLITISCHE INTEGRIERTE SCHALTKREISE
 FÜR MAGNETISCH BETÄTIGTE KONTAKTLOSE SCHALTER

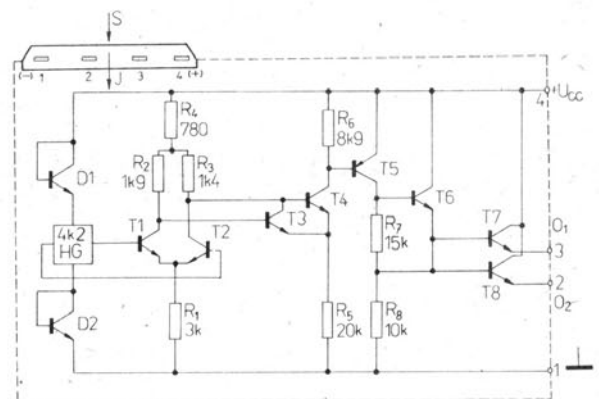
MH3SD2
 MH3SS2

MAXIMUM RATINGS ● GRENZDATEN

U_{CC}		$5 \pm 0,5$	V
$I_{2/1}$	max.	10	mA
$I_{3/1}$	max.	10	mA
$I_{2/1} + I_{3/1}$	max.	20	mA
ϑ_a	min.-max.	$0 \dots +55$	$^{\circ}\text{C}$
ϑ_{stg}	min.-max.	$-55 \dots +55$	$^{\circ}\text{C}$



MH3SD2



MH3SS2

Outlines ● Gehäuse IO-53

CHARACTERISTIC DATA ● KENNDATEN: $\vartheta_a = +25^{\circ}\text{C}$, $U_{CC} = 5,0\text{ V}$

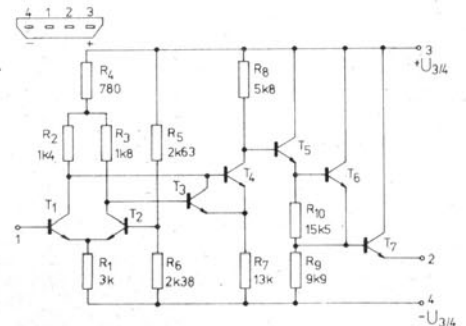
		nom.	min.-max.	
Output voltage – L level Ausgangsspannung – L-Zustand	$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$, $B = -0,025\text{ T}$		$\leq 0,25$	V
	$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$, $B = -0,025\text{ T}$		$\leq 0,25$	V
Output voltage – H level Ausgangsspannung – H-Zustand	$R_{L1} = R_{L2} = 330\ \Omega$, $B = 0,035\text{ T}$	3,4	$\geq 3,15$	V
	$R_{L1} = R_{L2} = 330\ \Omega$, $B = 0,035\text{ T}$	3,4	$\geq 3,15$	V
Supply current – H level Speisestrom – H-Zustand	$R_{L1} = R_{L2} = 330\ \Omega$, $B = 0,035\text{ T}$		≤ 12	mA
	MH3SD2 MH3SS2	6,0	≤ 15	mA
Magnetic induction for Magnetische Induktion für	$R_{L1} = R_{L2} = 330\ \Omega$			
	ON state eingeschalteter Zustand	B_{LH}	$-0,01 \dots +0,035$	T
	OFF state ausgeschalteter Zustand	B_{HL}	$\geq -0,025$	T
Magnetic hysteresis Magnetische Hysterese	$R_{L1} = R_{L2} = 330\ \Omega$	H_B	$\geq 0,015$	T
Insulatory output current Ausgang-Isolationsstrom	$U_{2/3} = 5\text{ V}$	$I_{2/3}$	≤ 250	μA
	$U_{3/2} = 5\text{ V}$	$I_{3/2}$	≤ 250	μA
Switching time Schaltzeiten	$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$			
	rise time Anstiegszeit	t_r	≤ 10	μs
	fall time Abfallzeit	t_f	≤ 10	μs
Impulse width Impulsbreite	$R_{L1} = R_{L2} = 2,5\text{ k}\Omega$	MH3SD2 t_{ip}	$20 \dots 1000$	μs

MH3ST2

**MONOLITHIC INTEGRATED CIRCUIT - SCHMITT TRIGGER
MONOLITISCHER INTEGRIERTER SCHALTKEIS - SCHMITT TRIGGER**

MAXIMUM RATINGS • GRENZDATEN

	min.	max.	
$U_{3/4}$	4,9	5,1	V
I_1		1,0	mA
$I_{2/4}$		15	mA
ϑ_a	0	+55	°C
ϑ_{stg}	-55	+55	°C



Outlines • Abmessungen IO-54

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 25^\circ\text{C}$, $U_{3/4} = 5\text{ V} \pm 0,01\text{ V}$, $R_L = 2,5\text{ k}\Omega$

		min.-max.	
Output voltage — L level $R_L = 2,5\text{ k}\Omega$	Ausgangsspannung — L-Zustand	$U_{2/4L}$	$\leq 0,25\text{ V}$
Output voltage — H level $R_L = 200\ \Omega$	Ausgangsspannung — H-Zustand	$U_{2/4H}$	$\geq 3,15\text{ V}$
Input voltage — L level	Eingangsspannung — L-Zustand	$U_{1/4L}$	$\geq 2,450\text{ V}$
Input voltage — H level	Eingangsspannung — H-Zustand	$U_{1/4H}$	$\leq 2,300\text{ V}$
Input voltage difference (hysteresis)	Eingangsspannung — Differenz (Hysteresis)	$\Delta U_{1/4}$	$\leq 40\text{ mV}$
Supply current — H level	Speisestrom — H-Zustand	$I_{3/4H}$	$\leq 15\text{ mA}$
Switching time — rise time	Schaltzeit — Anstiegszeit	t_r	$\leq 0,5\ \mu\text{s}$
Switching time — fall time	Schaltzeit — Abfallzeit	t_f	$\leq 10\ \mu\text{s}$

MAF100

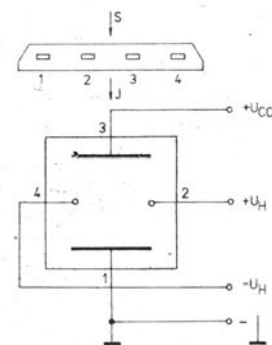
**MONOLITHIC INTEGRATED CIRCUIT - HALL GENERATOR
MONOLITISCHER INTEGRIERTER SCHALTKEIS - HALLGENERATOR**

USE: AS SENSOR FOR MEASURING AND REGULATION OF DC AND AC MAGNETIC FIELDS

ANWENDUNG: ALS SENSOR FÜR MESSUNG UND REGULATION VON MAGNETISCHEN GLEICHSTROM- UND WECHSELSTROM-FELDER

MAXIMUM RATINGS • GRENZDATEN

	max.		
U_{CC}	+5,5	V	
I_{CC}	3	mA	
ϑ_a	min.-max. -40 ... +85	°C	
ϑ_{stg}	min.-max. -40 ... +85	°C	



Base connection
Sockelschaltung

CHARACTERISTIC DATA • KENNDATEN

			min.-max.
Current consumption	Speisestrom	I_{CC}	$\leq 3\text{ mA}$
Output residual voltage	Ausgangs-Restspannung	$ U_{HO} $	$\leq 10\text{ mV}$
Sensitivity $R_L = 20\text{ k}\Omega$	Empfindlichkeit	S	$\geq 1,4\text{ mV}/10^{-2}\text{ T}$

- 1 Ground • Masse
- 2 Output — positive pole • Ausgang — positiver Pol
- 3 + U_{CC}
- 4 Output — negative pole • Ausgang — negativer Pol
- 5 Direction of magnetic induction B • Richtung von magnetischer Induction B

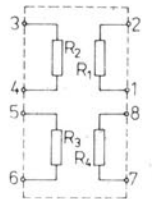
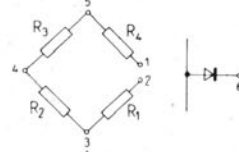
Outlines • Abmessungen IO-53

Type Typ	MAXIMUM RATINGS ● GRENZDATEN					CHARACTERISTIC DATA ● KENNDATEN					
	p kPa	P _{p-} P _{m+} kPa	I _m max. mA	U _p min. V	R _{iz} min. MΩ	R min.-max. Ω	U _s S _{..} min. mV	E max. %	H max. %/10K	TK ₀ %/10K	TK _s %/10K
For laboratory and industry use ● Für Labor- und Industrialanwendung											
TM510/01	0...100	200	15	5	5	400...600	40	±0,5	0,5	3,0	1,2
TM511	0...100	200	15	15	15	400...600	40	±0,4	0,3	3,0	0,5
TM520	0...150	300	15	5	5	800...1200	14...25	±0,5	0,5		1,0
TM530	0...300	450	15	500	20	400...600	60	±0,45	0,15		0,6
TM610/01	0...1000	1500	15	5	5	400...600	75	±0,5	0,5	3,0	1,2
TM611	0...1000	1500	15	15	15	400...600	75	±0,4	0,3	3,0	0,5
TM630	0...3000	4500	15	500	20	400...600	90	±0,5	0,15		0,6
For use in medical electronics ● Für Anwendung in medizinische Elektronik											
TM410/01	-1...+10	75+ 7,5-	15	5	5	400...700	0,105... 0,21*	±1			
TM510/02	-4...+40	200+ 20-	15	5	5	400...600	0,375... 1,0**	±1			
TM440	0...40	300+ 100-	15	7	20	500...800	33...50	±0,3	0,2	5,5	0,7

E nonlinearity
 H hysteresis
 I_m supply current
 p operating pressure range
 P_{m+} permissible overpressure
 P_{m-} permissible underpressure
 R diffusion resistance of each arm
 R_{iz} insulation resistance
 S sensitivity (* in mV/mA . 1 kPa; ** in mV/mA . 10 kPa)
 TK₀ output voltage temperature coefficient with temperature at zero pressure
 TK_s output voltage temperature coefficient with temperature at max. pressure
 U_p electric strength
 U_s output voltage range (sensitivity)

Nelinearität
 Hysterese
 Speisestrom
 Betriebs-Druckbereich
 erlaubter Überdruck
 erlaubter Unterdruck
 Diffusionswiderstand von jedes Zweig
 Isolationswiderstand
 Empfindlichkeit
 Ausgangsspannung-Temperaturkoeffizient mit Temperatur bei dem Null-Druck
 Ausgangsspannung-Temperaturkoeffizient mit Temperatur bei max. Druck
 elektrische Festigkeit
 Ausgangsspannungsbereich (Empfindlichkeit)

Arm resistance connection
 Zweigwiderstand-Schaltung

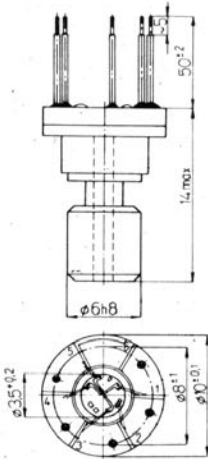


TM530
 TM630

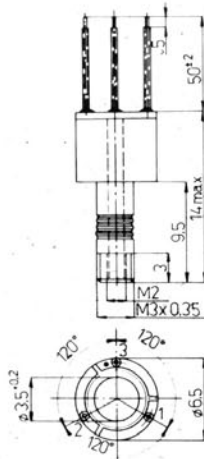
TM410/01
 TM510/01
 TM511
 TM510/02
 TM610/01
 TM611
 TM440



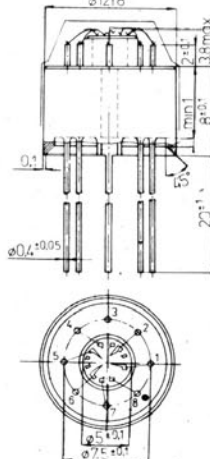
TM520



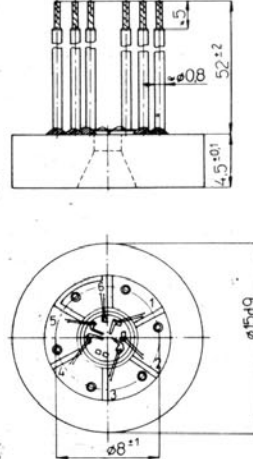
TM510/01, TM511
 TM610/01, TM611



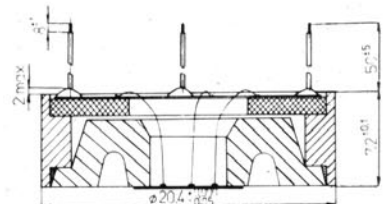
TM520



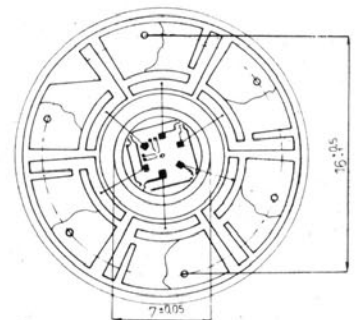
TM530
 TM630



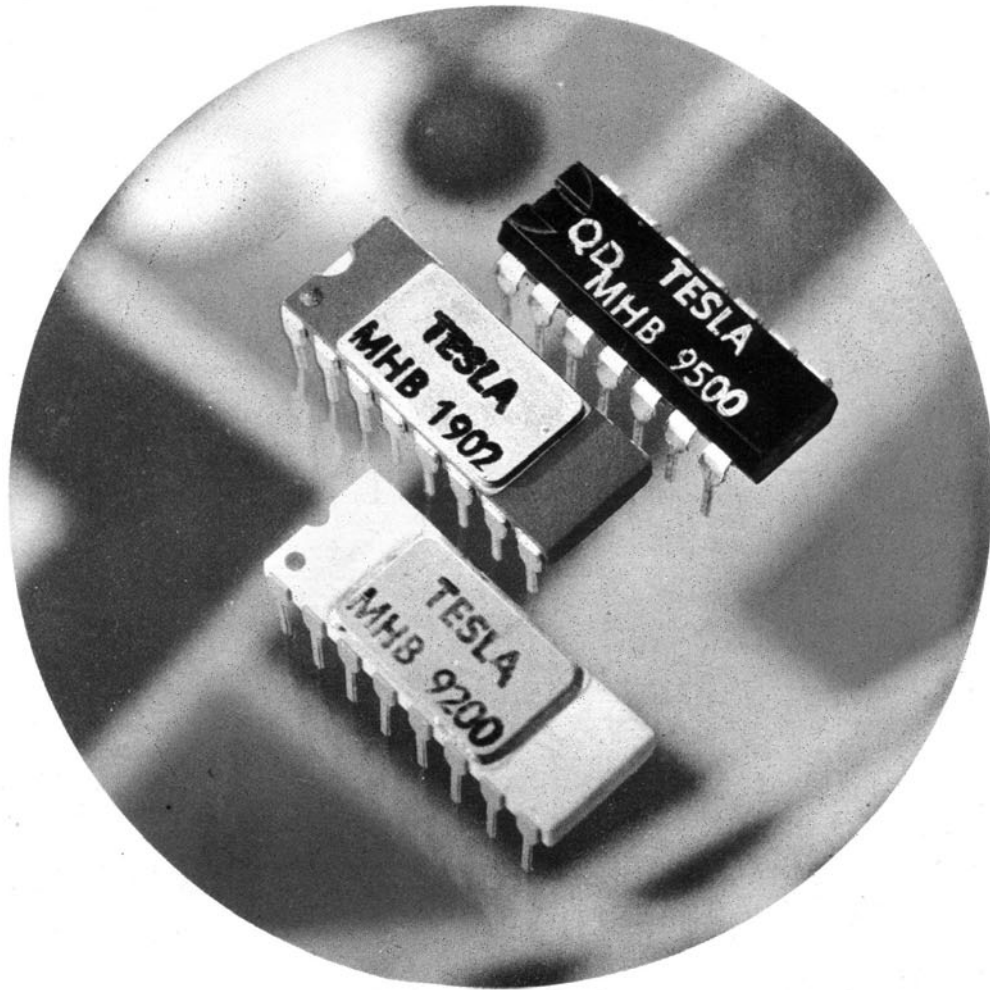
TM410/01
 TM510/02



TM440

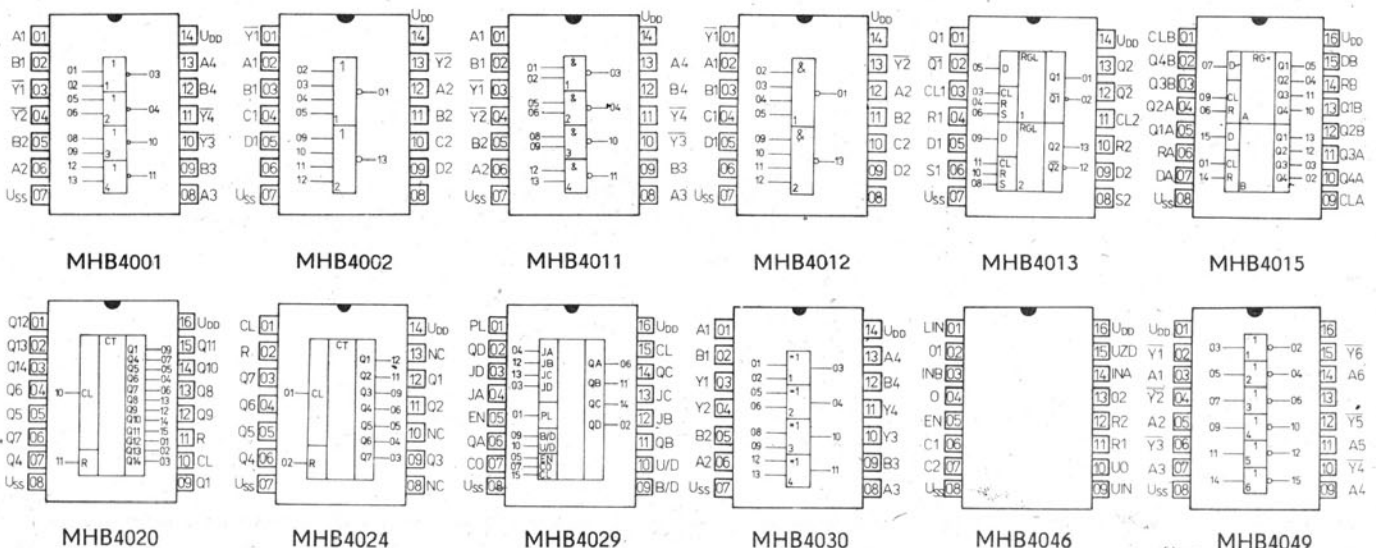


3

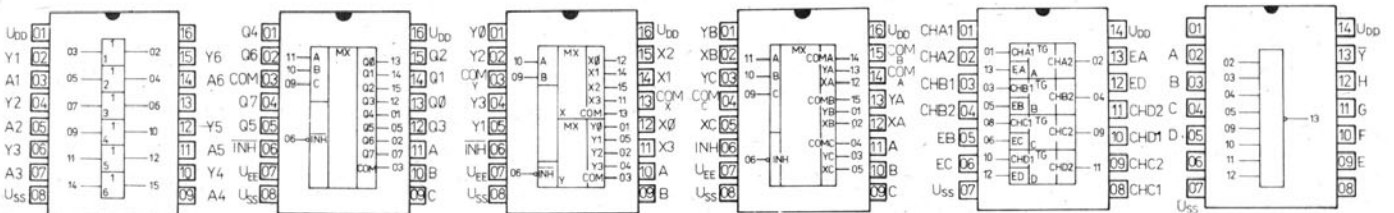


UNIPOLAR LOGIC INTEGRATED CIRCUITS
UNIPOLARE LOGISCHE INTEGRIERTE SCHALTKREISE

Type Typ	Feature	Art	Log. function Log. funktion	Outlines Abmessungen
MHB4001	Quadruple 2-input gate NOR	Vier NOR-Gatter mit je 2 Eingängen	$Y = \overline{A + B}$	IO-13
MHB4002	Dual 4-input gate NOR	Zwei NOR-Gatter mit je 4 Eingängen	$Y = \overline{A + B + C + D}$	IO-13
MHB4011	Quadruple 2-input gate NAND	Vier NAND-Gatter mit je 2 Eingängen	$Y = \overline{AB}$	IO-13
MHB4012	Dual 4-input gate NAND	Zwei NAND-Gatter mit je 4 Eingängen	$Y = \overline{ABCD}$	IO-13
MHB4013	Dual flip-flop D-type features independent data input D, clock inputs CL, set inputs S, clear inputs R and two outputs Q, Q	Zwei D-Zwischenspeicher-Flipflops mit unabhängigem Dateneingang D, Takteingang CL, Seteingang S, Rücksetzeingang R und zwei Ausgängen Q, Q	Function table	IO-13
MHB4015	Dual 4-bit static shift register with parallel outputs	Zwei 4-Bit-Schieberegister mit parallele Ausgängen	Function table	IO-14
MHB4020	14-stage binary counter with a clock input, master reset input and 12 outputs	Asynchroner 14-Bit-Dualzähler mit Takteingang, Rücksetzeingang und 12 Ausgängen		IO-14
MHB4024	7-stage binary counter with clock input, master reset input and 7 parallel outputs	Asynchroner 7-Bit-Dualzähler mit Takteingang, Rücksetzeingang und 7 parallele Ausgängen		IO-13
MHB4029	4-bit binary (BCD) decade up/down counter	Vorwärts/Rückwärts 4-Bit-Dezimal/Dualzähler	Function table	IO-14
MHB4030	Quadruple 2-input gate Exclusive-OR	Vier Exklusiv-Oder-Gatter	$Y = \overline{AB} + A\overline{B}$	IO-13
MHB4046	Phase-locked loop — consists linear voltage controlled oscillator, two phase comparators, regulator diode, emitter follower and circuit for automatic regulation of input voltage INA	PLL-Schaltung — enthält einen linearen spannungsgeregelten Oszillator, zwei Phasenkomparatoren, Zenerdiode, Emitterfolger und Schaltung für automatische Regulation von Eingangsspannung INA		IO-14
MHB4049	Hex inverting buffers with high current output capability, suitable for driving TTL or high capacitive loads; may be used to convert logic levels CMOS to standard TTL levels	Sechs invertierende Treiberstufen mit hoher Ausgangsstromkapazität, bestimmt als Treiber von TTL oder Last mit hoher Kapazität; für Anwendung als Pegelumsetzer von CMOS-Pegel auf Standard-TTL-Pegel	$Y = \overline{A}$	IO-14
MHB4051	8-channel analogue addressed multiplexer	Achtkanal-Analog-Multiplexer/Demultiplexer	function table	IO-14
MHB4052	Dual 2-channel analogue addressed multiplexer	Zwei Vierkanal-Analog-Multiplexer/Demultiplexer	function table	IO-14



Type Typ	Feature	Art	Log. function Log. funktion	Outlines Abmessungen
MHB4050 20	Hex non-inverting buffers with high current output capability, suitable for driving TTL or high capacitive loads; may be used to convert logic levels CMOS to standard TTL levels	Sechs nichtinvertierende Treiberstufen mit hoher Ausgangsstromkapazität, bestimmt als Treiber von TTL oder Last mit hoher Kapazität; für Anwendung als Pegelumsetzer von CMOS-Pegel auf Standard-TTL-Pegel	$Y = A$	IO-14
MHB4053 40	Triple 2-channel analogue multiplexer with independent inputs/outputs	Drei Zweikanal-Analog-Multiplexer/Demultiplexer	function table	IO-14
MHB4066 19,50	Quadruple bilateral analogue switches with independent control inputs and two input/output terminals	Vier bilaterale Analogschalter mit unabhängigen Steuereingänge und zwei Eingangs-/Ausgangsausführungen		IO-13
MHB4068	8-input gate NAND	NAND-Gatter mit acht Eingängen	$Y = \overline{ABCDEFGH}$	IO-13
MHB4076 35	Quadruple register D-type with independent inputs and 3-state outputs	Vier D-Zwischenspeicher-Flipflops mit unabhängigen Eingängen und Ausgängen mit drei Zuständen	function table	IO-14
MHB4081 14,50	Quadruple 2-input gate AND	Vier UND Gatter mit je zwei Eingängen	$Y = AB$	IO-13
MHB4099 55	Addressed memory 8-bit with serial data input and parallel outputs	Adressierbarer 4-Bit-Speicher mit serien Dateneingang und parallele Ausgänge	function table	IO-14
MHB4311 60	BCD to 7-segment decoder/driver for LCD or LED displays with common cathode and 4-bit memory; for displaying of hexadecimal symbols	BCD/7-Segment-Decoder/Treiber für LCD und LED-Anzeigen mit gemeinsame Kathode und 4-Bit-Speicher; bestimmt für Anzeigen von Hexadezimalsymbolen	function table	IO-14
MHB4503 29	Hex noninverting buffer with 3-state outputs	Sechs nichtinvertierende Treiber mit Ausgängen mit drei Zuständen		IO-14
MHB4518 55	Dual up-counter BCD	Zwei synchrone BCD-Dezimalzähler	function table	IO-14
MHB4543 52	BCD to 7-segment latch/decoder/driver for liquid crystal and LED displays of number 0 to 9	BCD/7-Segment-Decoder/Treiber für LCD- und LED-Anzeigen von 0 bis 9	function table	IO-14
MHB4555 27	Dual 1-of-4 decoder/demultiplexer	Zwei 1 von 4-Dekoder/Demultiplexer	function table	IO-14



MHB4050

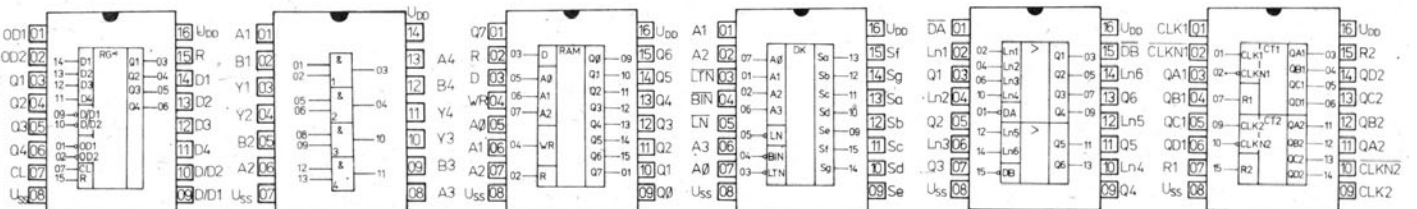
MHB4051

MHB4052

MHB4053

MHB4066

MHB4068



MHB4076

MHB4081

MHB4099

MHB4311

MHB4503

MHB4518

MAXIMUM RATINGS • GRENZDATEN

	min.	max.	
$U_{DD}^{1)}$	-0,3	18	V
U_I	-0,3	$U_{DD} + 0,5$	V
$U_I^{3)}$	$U_{SS} - 0,3$	$U_{DD} + 0,5$	V
$U_Q^{3)}$	$U_{EE} - 0,3$	$U_{DD} + 0,5$	V
I_I		± 10	mA
P_{tot}		500	mW
$P^2)$		100	mW
ϑ_a	0	+70	°C

RECOMMENDED WORKING CONDITIONS
EMPFOHLENE BETRIEBSBEDINGUNGEN

	min.	max.	
$U_{DD}^{1)}$	3	15	V
U_I	U_{SS}	U_{DD}	V
ϑ_a	0	+70	°C

- $U_{SS} = 0$; MHB4051—MHB4053: $U_{SS} \geq U_{EE}$.
- Of one output • Von eines Ausgangs.
- MHB4051—MHB4053.

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 25^\circ\text{C}$, $U_{SS} = 0\text{ V}$

Static data:

Statische Kenndaten:

Output voltage — L level

Ausgangsspannung — L-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $I_O < 1\ \mu\text{A}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $I_O < 1\ \mu\text{A}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $I_O < 1\ \mu\text{A}$

U_{OL}	$\leq 0,1$	V
U_{OL}	$\leq 0,1$	V
U_{OL}	$\leq 0,1$	V

Output voltage — H level

Ausgangsspannung — H-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $I_O < 1\ \mu\text{A}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $I_O < 1\ \mu\text{A}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $I_O < 1\ \mu\text{A}$

U_{OH}	$\geq 4,9$	V
U_{OH}	$\geq 9,9$	V
U_{OH}	$\geq 14,5$	V

Output current — L level

Ausgangsstrom — L-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $U_O = 0,5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $U_O = 0,5\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $U_O = 1,5\text{ V}$

I_{OL}	$\leq 0,5$	mA
I_{OL}	$\leq 0,8$	mA
I_{OL}	$\leq 3,0$	mA

for power driver

für Leistungstreiber

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $U_O = 0,5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $U_O = 0,5\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $U_O = 1,5\text{ V}$

I_{OL}	$\leq 2,0$	mA
I_{OL}	$\leq 5,0$	mA
I_{OL}	≤ 13	mA

Output current — H level

Ausgangsstrom — H-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $U_O = 4,5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $U_O = 9,5\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $U_O = 13,5\text{ V}$

$-I_{OH}$	$\leq 0,25$	mA
$-I_{OH}$	$\leq 0,5$	mA
$-I_{OH}$	$\leq 2,0$	mA

for power driver

für Leistungstreiber

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $U_O = 4,5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $U_O = 9,5\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $U_O = 13,5\text{ V}$

$-I_{OH}$	$\leq 0,8$	mA
$-I_{OH}$	$\leq 1,5$	mA
$-I_{OH}$	≤ 5	mA

Input voltage — L level

Eingangsspannung — L-Zustand

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

U_{IL}	≤ 1	V
U_{IL}	≤ 2	V
U_{IL}	≤ 3	V

Input voltage — H level

Eingangsspannung — H-Zustand

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

U_{IH}	≥ 4	V
U_{IH}	≥ 8	V
U_{IH}	≥ 12	V

Input current — L and H level

Eingangsstrom — L- und H-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$

I_{IL}, I_{IH}	$\leq \pm 1$	μA
I_{IL}, I_{IH}	$\leq \pm 1$	μA
I_{IL}, I_{IH}	$\leq \pm 1$	μA

Output current — in state of high impedance

Ausgangsstrom im hochohmigen Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$

I_{ML}, I_{MH}	$\leq \pm 1$	μA
I_{ML}, I_{MH}	$\leq \pm 1$	μA
I_{ML}, I_{MH}	$\leq \pm 1$	μA

Switch resistance of analog switch in ON state

Schalterwiderstand von Analogschalter im ON-Zustand

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$, $U_O = 0,6\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$, $U_O = 0,6\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$, $U_O = 0,6\text{ V}$

R_{ON}	≤ 1050	Ω
R_{ON}	≤ 400	Ω
R_{ON}	≤ 240	Ω

Current consumption of gatter

Speisestrom von Gatter

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$

I_{DDO}	$\leq 0,5$	μA
I_{DDO}	≤ 5	μA
I_{DDO}	≤ 5	μA

of other devices

von anderen Bauelemente

$U_{DD} = 5\text{ V}$, $U_I = 0/5\text{ V}$
 $U_{DD} = 10\text{ V}$, $U_I = 0/10\text{ V}$
 $U_{DD} = 15\text{ V}$, $U_I = 0/15\text{ V}$

I_{DDO}	≤ 50	μA
I_{DDO}	≤ 100	μA
I_{DDO}	≤ 500	μA

DYNAMIC DATA:

$U_{SS} = 0\text{ V}$, $\vartheta_a = 25^\circ\text{C}$, $C_L = 50\text{ pF}$

DYNAMISCHE KENNDATEN:

Output impulse rise and fall times

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Ausgangsimpulsanstieg- und Abfallzeit

t_r, t_f	IIA	300	ns
t_r, t_f	IIA	180	ns
t_r, t_f	IIA	160	ns

Output impulse delay time

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Ausgangsimpuls-Signal-Laufzeit

t_{pHL}, t_{pLH}	IIA	460	ns
t_{pHL}, t_{pLH}	IIA	200	ns
t_{pHL}, t_{pLH}	IIA	150	ns

Output data to clock impulse delay time

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Ausgangsdaten-Signal-Laufzeit gegen Taktimpuls

t_{pHL}, t_{pLH}	IIA	470	ns
t_{pHL}, t_{pLH}	IIA	170	ns
t_{pHL}, t_{pLH}	IIA	120	ns

Output data delay time from H or L level to high impedance state, or high impedance state to H or L level

$R_L = 1\text{ k}\Omega$
 $U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Ausgangsdaten-Signal-Laufzeit vom H- o. L-Zustand auf Hohimpedanz-Zustand, oder vom hohen Impedanz-Zustand auf H- o. L-Zustand

$t_p(H-N), t_p(L-N), t_p(N-H), t_p(N-L)$	IIA	300	ns
$t_p(H-N), t_p(L-N), t_p(N-H), t_p(N-L)$	IIA	150	ns
$t_p(H-N), t_p(L-N), t_p(N-H), t_p(N-L)$	IIA	120	ns

Clock impulse width

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Taktimpulsbreite

t_{iw}	IV	200	ns
t_{iw}	IV	100	ns
t_{iw}	IV	80	ns

Reset impulse width

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Rückstellimpulsbreite

t_{RW}	IV	120	ns
t_{RW}	IV	50	ns
t_{RW}	IV	40	ns

Input data set up time before clock impulse

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Eingangsdatenvoreinstellzeit vor dem Taktimpuls

$t_s(HL), t_s(LH)$	IV	200	ns
$t_s(HL), t_s(LH)$	IV	80	ns
$t_s(HL), t_s(LH)$	IV	60	ns

Max. clock impulse frequency

$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Max. Taktimpulsfrequenz

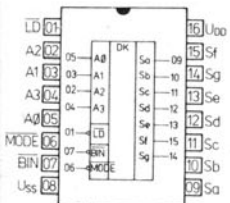
$f_{CL\ max}$	IIA	3	ns
$f_{CL\ max}$	IIA	6	ns
$f_{CL\ max}$	IIA	8	ns

Input data hold time to setting impulse

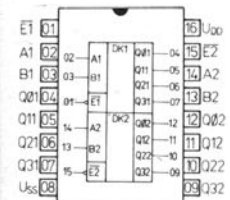
$U_{DD} = 5\text{ V}$
 $U_{DD} = 10\text{ V}$
 $U_{DD} = 15\text{ V}$

Eingangsdatenhaltezeit gegen dem Stellimpuls

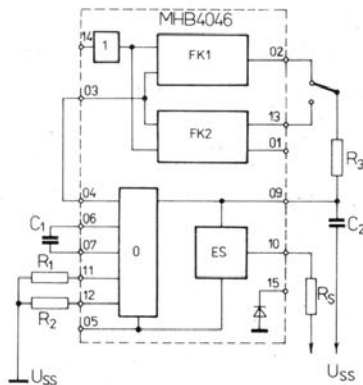
f_{hold}	IV	45	ns
f_{hold}	IV	20	ns
f_{hold}	IV	10	ns



MHB4543



MHB4555



MHB4046

Temperature coefficient for full voltage range U_{DD} is approx. $0,3 \dots 0,7\text{ \%}/\text{K}$

Dynamic data valid at $t_{ri} = t_{fi} = 20\text{ ns}$

Output impulse rise and fall time is evaluated between 10 % to 90 % of signal level.

Impulse width, propagation delay time and setup time is evaluated on 50 % of signal level.

Temperaturkoeffizient für den vollen Spannungsbereich U_{DD} ist ann. $0,3 \dots 0,7\text{ \%}/\text{K}$

Dynamische Kenndaten gültig bei $t_{ri} = t_{fi} = 20\text{ ns}$

Ausgangsimpulsanstieg- und Abfallzeit ist zwischen 10 % bis 90 % vom Signalzustand zu auswerten.

Impulsbreite, Signal-Laufzeit und Einstellzeit ist auf 50 % von Signalzustand zu auswerten.

Maximum ratings:

Gate-emitter voltage
 Collector-emitter voltage
 Emitter-collector voltage
 Collector current
 Gate current ¹⁾
 Power dissipation ($\vartheta_c = 25^\circ\text{C}$)
 for one switch
 total circuit
 Operating temperature range
 Storage temperature range

Grenzwerte:

Gate-Emitter-Spannung
 Kollektor-Emitter-Spannung
 Emitter-Kollektor-Spannung
 Kollektorstrom
 Gatestrom ¹⁾
 Verlustleistung ($\vartheta_c = 25^\circ\text{C}$)
 für einen Schalter
 ganze Schaltung
 Betriebstemperaturbereich
 Lagertemperaturbereich

U_{GSM}	max	-30	V
U_{DSM}	max	-30	V
U_{SDM}	max	-30	V
I_{DM}	max	-50	mA
I_{GM}	max	+0,1	mA
P_M	max	150	mW
P_M	max	600	mW
ϑ_a	max	0...+70	$^\circ\text{C}$
ϑ_{stg}	max	-55...+155	$^\circ\text{C}$

¹⁾ Maximum forward current of protection Zener diode.
 Maximal Durchlass-Strom der Zener-Schutzdiode.

Connection diagram

Top view

MH 2009

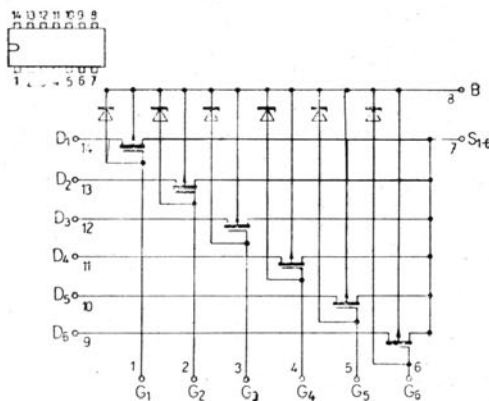
- | | |
|-----------------|------------------|
| 1. Gate G1 | 9. Collector D6 |
| 2. Gate G2 | 10. Collector D5 |
| 3. Gate G3 | 11. Collector D4 |
| 4. Gate G4 | 12. Collector D3 |
| 5. Gate G5 | 13. Collector D2 |
| 6. Gate G6 | 14. Collector D1 |
| 7. Emitter S1-6 | |
| 8. Substrat B | |

Sockelschaltung

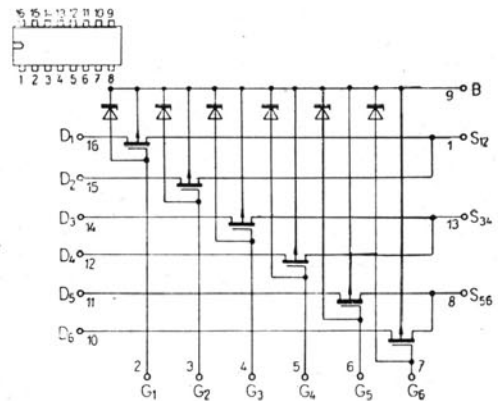
Ansicht von oben

MH 2009A

- | | |
|----------------|------------------|
| 1. Emitter S12 | 9. Substrat B |
| 2. Gate G1 | 10. Collector D6 |
| 3. Gate G2 | 11. Collector D5 |
| 4. Gate G3 | 12. Collector D4 |
| 5. Gate G4 | 13. Emitter S34 |
| 6. Gate G5 | 14. Collector D3 |
| 7. Gate G6 | 15. Collector D2 |
| 8. Emitter S56 | 16. Collector D1 |



MH 2009



MH 2009A

Outlines • Gehäuse IO 13

Outlines • Gehäuse IO 14

CHARACTERISTIC DATA: KENNDATEN: $\vartheta_a = 25^\circ\text{C}$

Threshold voltage $U_{GS} = U_{DS}, I_D = 10 \mu\text{A}$	Schwellenspannung	U_T	-2,5 ... -6	V
Gate-terminal forward current $U_{DS} = 0, U_{GS} = -20 \text{ V}$	Gatereststrom	$-I_{GSO}$	< 5	nA
Zero-gate-voltage drain current $U_{GS} = 0, U_{DS} = -20 \text{ V}$	Kollektorreststrom	I_{DSO}	< 10	nA
Zero-gate-voltage source current $U_{GS} = 0, U_{DS} = -20 \text{ V}$	Kollektor-Emitterreststrom	$-I_{SDO}$	< 25	nA
Drain-source on-state resistance $U_{GS} = -20 \text{ V}, I_D = 100 \mu\text{A}, U_{SB} = 0$	Kanalwiderstand	$r_{DS(ON)}$	< 400	Ω
Gate-source capacitance $U_{DS} = U_{GS} = 0, f = 1 \text{ MHz}$	Gatekapazität	C_{GS}	< 7	pF
Drain on-state current $U_{GS} = U_{DS} = -10 \text{ V}$	Kollektorstrom	I_D	-8	mA
Small-signal common gate forward transfer admittance $U_{GS} = U_{DS} = -10 \text{ V}, f = 1 \text{ kHz}$	Steilheit bei kleiner Aussteuerung in Gateschaltung	S	2,5	mS

MAXIMUM RATINGS ● GRENZDATEN

U_{DD}	+0,3 ... -20	V
U_{GI}	+0,3 ... -20	V
U_{IT}	+0,3 ... -20	V
U_{IN}	+0,3 ... -20	V
θ_a	0 ... +70	°C
θ_{stg}	-20 ... +125	°C

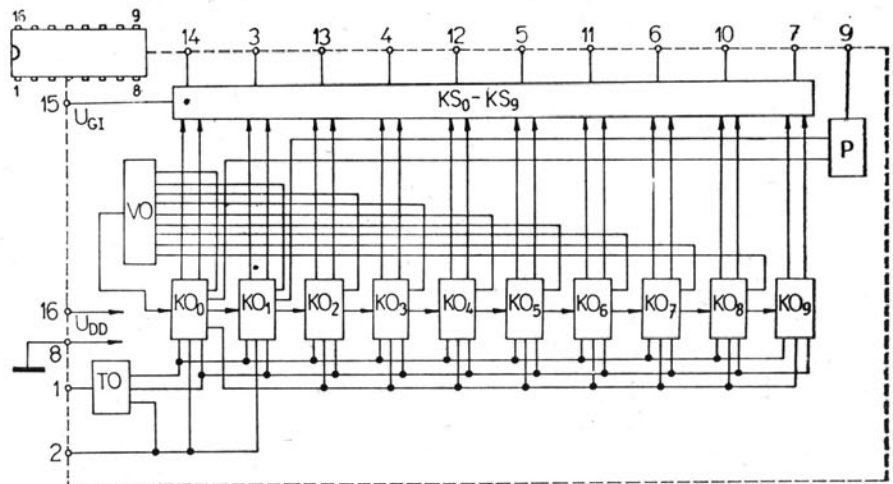
Base connection diagram:
(top view)

1. Clock input T
2. Reset input N
3. Output O1
4. Output O3
5. Output O5
6. Output O7
7. Output O9
8. Substrat (earth)
9. Output of carry circuit P
10. Output O8
11. Output O6
12. Output O4
13. Output O2
14. Output O0
15. Supply voltage of output stages U_{GI}
16. Supply voltage U_{DD}

Sockelschaltung

(Ansicht von oben)

1. Takteingang T
2. Rückstelleingang N
3. Ausgang O1
4. Ausgang O3
5. Ausgang O5
6. Ausgang O7
7. Ausgang O9
8. Substrat (Erde)
9. Ausgang der Übertragungsschaltung P
10. Ausgang O8
11. Ausgang O6
12. Ausgang O4
13. Ausgang O2
14. Ausgang O0
15. Speisepannung von Endstufen U_{GI}
16. Speisepannung U_{DD}



BASIC TECHNICAL DATA ● TECHNISCHE GRUNDDATEN

Supply current ● Stromaufnahme	$U_{DD} = -20\text{ V}$	$I_{DD} 2,5\text{ mA}$
Noise margin ● Störsicherheit	$U_{DD} = -19,5\text{ V}, I_O = 0$	$U_N 2,0\text{ V}$

Outlines ● Abmessungen IO 14

CHARACTERISTIC DATA ● KENNDATEN

STATIC DATA ● STATISCHE KENNDATEN: $\theta_a = 0 \dots +70\text{ °C}, U_{DD} = -16,5 \dots -19,5\text{ V}$

Input leak current T $U_{IT} = -10\text{ V}$	Eingangsb-leitstrom T	I_{IT}	< 1	μA
Input leak current N $U_{IN} = -10\text{ V}$	Eingangsb-leitstrom N	I_{IN}	< 1	μA
Input capacitance T $U_{IT} = -5\text{ V}, f = 100\text{ kHz}$	Eingangskapazität T	C_{IT}	< 10	pF
Input capacitance N $U_{IN} = -5\text{ V}, f = 100\text{ kHz}$	Eingangskapazität N	C_{IN}	< 10	pF
Input voltage - level H (log 0)	Eingangsspannung - H-Zustand	$-U_{IH}$	< 1,5	V
Input voltage - level L (log 1)	Eingangsspannung - L-Zustand	$-U_{IL}$	> 5,0	V
Output voltage - level H (log 0) $I_{OH} = -100\ \mu\text{A}$	Ausgangsspannung - H-Zustand	$-U_{OH}$	< 1,0	V
Output voltage - level L (log 1) $I_{OL} = 10\ \mu\text{A}$	Ausgangsspannung - L-Zustand	$-U_{OL}$	> 6,0	V

DYNAMIC DATA ● DYNAMISCHE KENNDATEN: $\theta_a = +25\text{ °C}, U_{DD} = -17\text{ V}$

Clock impulse frequency	Taktfrequenz	f_ϕ	0 ... 100	kHz
Clock impulse width level L	Taktimpulsbreite L-Zustand	t_{WL}	> 5	μs
level H	H-Zustand	t_{WH}	> 5	μs
Propagation delay time of leading edge of output signal	Verzögerungszeit der Ausgangssignal-Anlaufkante	t_{DHL}	< 4	μs
Propagation delay time of trailing edge of output signal	Verzögerungszeit der Ausgangssignal-Auslaufkante	t_{DLH}	< 4	μs
Leading edge and trailing edge of clock impulses	Impulsflanke - Anstiegszeit und Abfallzeit der Taktimpulsen	t_{THL}	< 200	μs
		t_{TLH}	< 200	μs
Reset impulse width	Rückstellimpulsbreite	t_{WNL}	> 5	μs

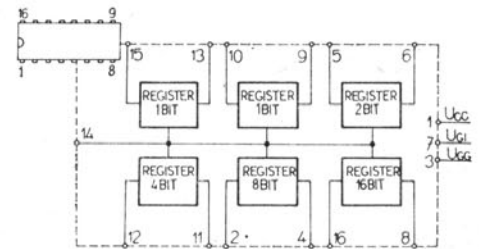
All parameters marked with letter L are related to low (more negative) voltage level, with letter H to high (more positive) voltage level.
Alle Parameter, bezeichnete mit Buchstabe L, beziehen sie sich zum niedrigeren (negativeren) Spannungszustand, mit Buchstabe H zum höheren (positiveren) Spannungszustand.

STATIC SHIFT REGISTER MIS
STATISCHER SCHIEBEREGISTER MIS
1, 1, 2, 4, 8, 16 BIT

MHB 1032

MAXIMUM RATINGS • GRENZDATEN

Voltage difference	Spannungsdifferenz			
$U_{CC}; U_{GG}$		-20 ... +0,3	V	
$U_{CC}; U_{GI}$		-10 ... +0,3	V	
$U_{CC}; U_I$		-10 ... +0,3	V	
$U_{CC}; U_{\Phi}$		-10 ... +0,3	V	
Power dissipation	Leistungsverbrauch	P_{tot}	200	mW
Operating temperature range	Betriebstemperaturbereich	ϑ_a	0 ... +70	°C
Storage temperature range	Lagertemperaturbereich	ϑ_{stg}	-55 ... +155	°C



Base connection diagram: (top view)	Sockelschaltung: (Ansicht von oben)
1. U_{CC} supply voltage	Speisespannung U_{CC}
2. Input 8	Eingang 8
3. U_{GG} supply voltage	Speisespannung U_{GG}
4. output 8	Ausgang 8
5. input 2	Eingang 2
6. output 2	Ausgang 2
7. U_{GI} supply voltage	Speisespannung U_{GI}
8. output 16	Ausgang 16
9. output 1b	Ausgang 1b
10. input 1b	Eingang 1b
11. output 4	Ausgang 4
12. input 4	Eingang 4
13. output 1a	Ausgang 1a
14. clock Φ	Takt Φ
15. Input 1a	Eingang 1a
16. Input 16	Eingang 16

BASIC TECHNICAL DATA:

TECHNISCHE GRUNDDATEN:

Supply current U_{CC}	Stromaufnahme U_{CC}	I_{CC}	8	mA
U_{GG}	U_{GG}	I_{GG}	8	mA
Noise margin min.	Störsicherheit min.	U	1	V

Outlines • Abmessungen IO 14

CHARACTERISTIC DATA • KENNDATEN

STATIC DATA • STATISCHE KENNDATEN: $\vartheta_a = 0 \dots +70^\circ\text{C}$, $U_{CC} = +5 \pm 0,25 \text{ V}$, $U_{GI} = 0 \text{ V}$, $U_{GG} = -12 \text{ V} \pm 0,5 \text{ V}$

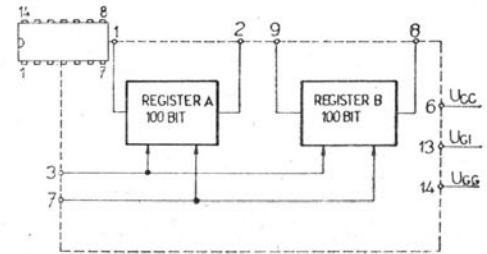
Clock input voltage	Takteingangsspannung			
level L	L-Zustand	$U_{\Phi L}$	< 0,8	V
level H	H-Zustand	$U_{\Phi H}$	> 3,5	V
Clock input current	Takteingangsstrom	I_{Φ}	< 1,0	μA
$-U_{\Phi} = 5 \text{ V}$				
Clock input capacitance	Takteingangskapazität	C_{Φ}	< 20	pF
$U_{\Phi} = U_{CC}$; $f = 1 \text{ MHz}$				
Data input voltage	Dateneingangsspannung			
level L	L-Zustand	U_{IL}	< 0,8	V
level H	H-Zustand	U_{IH}	> 3,5	V
Data input current	Dateneingangsstrom	I_I	< 1,0	μA
$-U_I = 5 \text{ V}$				
Data input capacitance	Dateneingangskapazität	C_I	< 10	pF
$U_{\Phi} = U_{CC}$; $f = 1 \text{ MHz}$				
Data output voltage	Datenausgangsspannung			
level L, $I_{OL} = 1,6 \text{ mA}$	L-Zustand	U_{OL}	< 0,4	V
level H, $I_{OH} = 0,1 \text{ mA}$	H-Zustand	U_{OH}	> 4,0	V

DYNAMIC DATA • DYNAMISCHE KENNDATEN: $\vartheta_a = +25^\circ\text{C}$, $U_{CC} = +5 \text{ V}$, $U_{GI} = 0 \text{ V}$, $U_{GG} = -12 \text{ V}$

Clock impulse frequency	Taktfrequenz	f_{Φ}	0 ... 1,0	MHz
Clock impulse width	Taktimpulsbreite			
level H	H-Zustand	t_{WH}	> 450	ns
level L	L-Zustand	t_{WL}	> 400	ns
Transition rise time of clock frequency	Taktsignal-Übergangszeit LH-Flanke	t_{TLH}	< 1,0	μs
Transition fall time of clock frequency	Taktsignal-Übergangszeit HL-Flanke	t_{THL}	< 1,0	μs
Data input setup time towards clock impulse Φ , ev. Φ_1	Dateneingangsvoreilung gegen Taktimpuls Φ , ev. Φ_1	t_{setup}	> 200	ns
Data input hold time towards clock impulse Φ , ev. Φ_1	Dateneingangsversetzung gegen Taktimpuls Φ , ev. Φ_1	t_{hold}	> 25	ns
Data output propagation delay time towards clock impulse Φ , ev. Φ_2 (last one gate TTL)	Datenausgangsverzögerungszeit gegen Taktimpuls Φ , ev. Φ_2 (Belastung ein Gatter TTL)			
level H	H-Zustand	t_{PLH}	< 450	ns
level L	L-Zustand	t_{PHL}	< 450	ns

MAXIMUM RATINGS • GRENZDATEN

Voltage difference	Spannungsdifferenz			
$U_{CC}; U_{GG}$		-20 ... +0,3	V	
$U_{CC}; U_{GI}$		-10 ... +0,3	V	
$U_{CC}; U_I$		-10 ... +0,3	V	
$U_{CC}; U_{\Phi}$		-20 ... +0,3	V	
Power dissipation	Leistungsverbrauch	P_{Tot}	200	mW
Operating temperature range	Betriebstemperaturbereich	ϑ_a	0 ... +70	°C
Storage temperature range	Lagertemperaturbereich	ϑ_{Stg}	-55 ... +155	°C



Base connection diagram:

(top view)

1. input A
2. output A
3. clock Φ_1
4. -
5. -
6. U_{CC} supply voltage
7. clock Φ_2
8. output B
9. input B
10. -
11. -
12. -
13. U_{GI} supply voltage
14. U_{GG} supply voltage

Sockelschaltung:

(Ansicht von oben)

- Eingang A
- Ausgang A
- Takt Φ_1
-
-
- Speisespannung U_{CC}
- Takt Φ_2
- Ausgang B
- Eingang B
-
-
-
- Speisespannung U_{GI}
- Speisespannung U_{GG}

BASIC TECHNICAL DATA:

TECHNISCHE GRUNDDATEN:

Supply current	U_{CC}	Stromaufnahme	U_{CC}	I_{CC}	8	mA
	U_{GG}		U_{GG}	I_{GG}	8	mA
Noise margin min.		Störsicherheit min.		U	1	V

Outlines • Abmessungen IO 13

CHARACTERISTIC DATA • KENNDATEN

STATIC DATA • STATISCHE KENNDATEN: $\vartheta_a = 0 \dots +70^\circ\text{C}$, $U_{CC} = +5 \pm 0,25\text{ V}$, $U_{GI} = 0\text{ V}$, $U_{GG} = -12 \pm 0,5\text{ V}$

Clock input voltage level L	Takteingangsspannung L-Zustand	$U_{\Phi L}$	< 11,0	V
Clock input voltage level H	Takteingangsspannung H-Zustand	$U_{\Phi H}$	> 3,5	V
Clock input current $-U_{\Phi} = 17\text{ V}$	Takteingangsstrom	I_{Φ}	< 1,0	μA
Clock input capacitance $U_{\Phi} = U_{CC}; f = 1\text{ MHz}$	Takteingangskapazität	C_{Φ}	< 45	pF
Data input voltage level L	Dateneingangsspannung L-Zustand	U_{IL}	< 0,8	V
Data input voltage level H	Dateneingangsspannung H-Zustand	U_{IH}	> 3,5	V
Data input current $-U_I = 5\text{ V}$	Dateneingangsstrom	I_I	< 1,0	μA
Data input capacitance $U_{\Phi} = U_{CC}; f = 1\text{ MHz}$	Dateneingangskapazität	C_I	< 10	pF
Data output voltage level L, $I_{OL} = 1,6\text{ mA}$	Datenausgangsspannung L-Zustand	U_{OL}	< 0,4	V
Data output voltage level H, $I_{OH} = 0,1\text{ mA}$	Datenausgangsspannung H-Zustand	U_{OH}	> 4,0	V

DYNAMIC DATA • DYNAMISCHE KENNDATEN: $\vartheta_a = +25^\circ\text{C}$, $U_{CC} = +5\text{ V}$, $U_{GI} = 0\text{ V}$, $U_{GG} = -12\text{ V}$

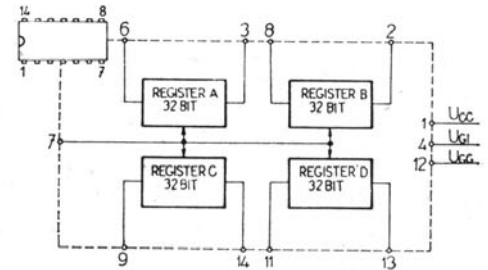
Clock impulse frequency	Taktfrequenz	f_{Φ}	0,001 ... 2	MHz
Clock impulse width level H	Taktimpulsbreite H-Zustand	t_{WH}	0,2 ... 25	μs
Transition rise time of clock frequency	Taktsignal-Übergangszeit LH-Flanke	t_{TLH}	< 1,0	μs
Transition fall time of clock frequency	Taktsignal-Übergangszeit HL-Flanke	t_{THL}	< 1,0	μs
Data input setup time towards clock impulse Φ , ev. Φ_1	Dateneingangsvoreilung gegen Taktimpuls Φ , ev. Φ_1	t_{setup}	> 200	ns
Data input hold time towards clock impulse Φ , ev. Φ_1	Dateneingangsversetzung gegen Taktimpuls Φ , ev. Φ_1	t_{hold}	> 0	ns
Data output propagation delay time towards clock impulse Φ , ev. Φ_2 (last one gate TTL)	Datenausgangsverzögerungszeit gegen Taktimpuls Φ , ev. Φ_2 (Belastung ein Gatter TTL)	t_{PLH}	< 250	ns
level H	H-Zustand	t_{PHL}	< 250	ns
level L	L-Zustand			

STATIC SHIFT REGISTER MIS
STATISCHER SCHIEBEREGISTER MIS
4 × 32 BIT

MHB4032

MAXIMUM RATINGS • GRENZDATEN

Voltage difference	Spannungsdifferenz			
$U_{CC}; U_{GG}$		-20 ... +0,3	V	
$U_{CC}; U_{GI}$		-10 ... +0,3	V	
$U_{CC}; U_I$		-10 ... +0,3	V	
$U_{CC}; U_{\Phi}$		-10 ... +0,3	V	
Power dissipation	Leistungsverbrauch	P_{tot}	300	mW
Operating temperature range	Betriebstemperaturbereich	ϑ_a	0 ... +70	°C
Storage temperature range	Lagertemperaturbereich	ϑ_{stg}	-55 ... +155	°C



Base connection diagram: (top view)	Sockelschaltung: (Ansicht von oben)
1. U_{CC} supply voltage	Speisespannung U_{CC}
2. output B	Ausgang B
3. output A	Ausgang A
4. U_{GI} supply voltage	Speisespannung U_{GI}
5. -	-
6. Input A	Eingang A
7. clock Φ	Takt Φ
8. output B	Eingang B
9. Input C	Eingang C
10. -	-
11. Input D	Eingang D
12. U_{GG} supply voltage	Speisespannung U_{GG}
13. output D	Ausgang D
14. output C	Ausgang C

BASIC TECHNICAL DATA:

TECHNISCHE GRUNDDATEN:

Supply current U_{CC}	Stromaufnahme U_{CC}	I_{CC}	15	mA
U_{GG}	U_{GG}	I_{GG}	15	mA
Noise margin min.	Störsicherheit min.	U	1	V

Outlines • Abmessungen IO 13

CHARACTERISTIC DATA • KENNDATEN

STATIC DATA • STATISCHE KENNDATEN: $\vartheta_a = 0 \dots +70^\circ\text{C}$, $U_{CC} = +5 \pm 0,25 \text{ V}$, $U_{GI} = 0 \text{ V}$, $U_{GG} = -12 \pm 0,5 \text{ V}$

Clock input voltage level L	Takteingangsspannung L-Zustand	$U_{\Phi L}$	< 0,8	V
level H	H-Zustand	$U_{\Phi H}$	> 3,5	V
Clock input current $-U_{\Phi} = 5 \text{ V}$	Takteingangsstrom	I_{Φ}	< 1,0	μA
Clock input capacitance $U_{\Phi} = U_{CC}; f = 1 \text{ MHz}$	Takteingangskapazität	C_{Φ}	< 20	pF
Data input voltage level L	Dateneingangsspannung L-Zustand	U_{IL}	< 0,8	V
level H	H-Zustand	U_{IH}	> 3,5	V
Data input current $-U_I = 5 \text{ V}$	Dateneingangsstrom	I_I	< 1,0	μA
Data input capacitance $U_{\Phi} = U_{CC}; f = 1 \text{ MHz}$	Dateneingangskapazität	C_I	< 10	pF
Data output voltage level L, $I_{OL} = 1,6 \text{ mA}$	Datenausgangsspannung L-Zustand	U_{OL}	< 0,4	V
level H, $I_{OH} = 0,1 \text{ mA}$	H-Zustand	U_{OH}	> 4,0	V

DYNAMIC DATA • DYNAMISCHE KENNDATEN: $\vartheta_a = +25^\circ\text{C}$, $U_{CC} = +5 \text{ V}$, $U_{GI} = 0 \text{ V}$, $U_{GG} = -12 \text{ V}$

Clock impulse frequency	Taktfrequenz	f_{Φ}	0 ... 1,0	MHz
Clock impulse width level H	Taktimpulsbreite H-Zustand	t_{WH}	> 450	ns
level L	L-Zustand	t_{WL}	> 400	ns
Transition rise time of clock frequency	Taktsignal-Übergangszeit LH-Flanke	t_{TLH}	< 1,0	μs
Transition fall time of clock frequency	Taktsignal-Übergangszeit HL-Flanke	t_{THL}	< 1,0	μs
Data input setup time towards clock impulse Φ , ev. Φ_1	Dateneingangsvoreilung gegen Taktimpuls Φ , ev. Φ_1	t_{setup}	> 200	ns
Data input hold time towards clock impulse Φ , ev. Φ_1	Dateneingangsversetzung gegen Taktimpuls Φ , ev. Φ_1	t_{hold}	> 25	ns
Data output propagation delay time towards clock impulse Φ , ev. Φ_2 (last one gate TTL)	Datenausgangsverzögerungszeit gegen Taktimpuls Φ , ev. Φ_2 (Belastung ein Gatter TTL)			
level H	H-Zustand	t_{PLH}	< 450	ns
level L	L-Zustand	t_{PHL}	< 450	ns

UNIVERSAL ASYNCHRON RECEIVER - TRANSMITTER (UART) FOR USE TO SIMULTANEOUS CONVERTING OF SERIAL BIT SEQUENCE INTO PARALLEL SIZE AND OF PARALLEL BIT SIZE INTO SERIAL BIT SEQUENCE IN DATA TRANSMISSION.

BASE CONNECTION
SOCKELSCHALTUNG
(top view ●
Ansicht von oben)

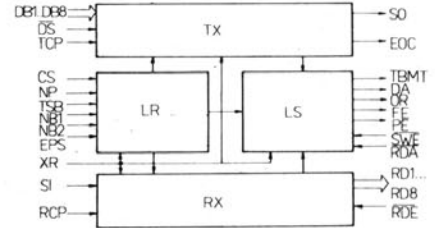
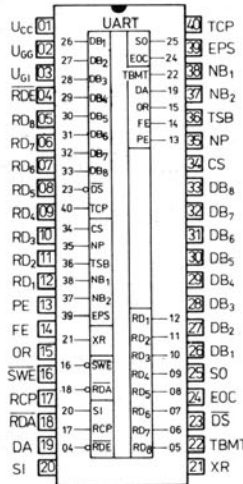
FUNCTIONAL BLOCK DIAGRAM ●
FUNKTIONS BLOCKSCHALTUNG

UNIVERSAL ASYNCHRON EMPFÄNGER - SENDE (UART) DIENST FÜR GLEICHZEITIGE UMWANDLUNG VON SERIELLER BIT-FOLGE AUF PARALLELE FORM UND VON PARALLERER FORM AUF SERIELLE BIT-FOLGE IN DATENÜBERTRAGUNGSTECHNIK.

Outlines ● Abmessungen
MHB1012 IO-20
MHB1012C IO-20/C

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_{CC} - U_{GG}$	+0,3	-20	V
$U_{CC} - U_I$	+0,3	-10	V
ϑ_a	0	+70	°C



CHARACTERISTIC DATA ● KENNDATEN

$U_{CC} = 4,75 \text{ V} \dots 5,2 \text{ V}$, $U_{GG} = -11,5 \text{ V} \dots -12,5 \text{ V}$,
 $U_{GI} = 0 \text{ V}$, $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Input current ²⁾ $I_I = 0,8 \text{ V}$	Eingangsstrom ²⁾	I_I	$\leq 1,6$	mA
Input voltage — L level	Eingangsspannung — L-Zustand	U_{IL}	$\leq 0,8$	V
Input voltage — H level	Eingangsspannung — H-Zustand	U_{IH}	$\geq 3,5$	V
Input capacity $U_I = U_{CC}$; $f = 1 \text{ MHz}$	Eingangskapazität	C_I	≤ 10	pF
Output current ³⁾ $U_O = U_{GI} + U_{CC}$	Ausgangsstrom	I_O	≤ 10	μA
Output voltage — L level $I_{OL} = 1,6 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,4$	V
Output voltage — H level $I_{OH} = 0,1 \text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 4,0$	V
Supply current	Speisestrom	I_{CC}	18	mA
		I_{GG}	14	mA
Noise immunity	Rauschimmunität	U_N	1	V

DYNAMIC DATA ● DYNAMISCHE KENNDATEN

$U_{CC} = +5 \text{ V}$, $U_{GG} = -12 \text{ V}$, $U_{GI} = 0 \text{ V}$, $\vartheta_a = +25^\circ\text{C}$

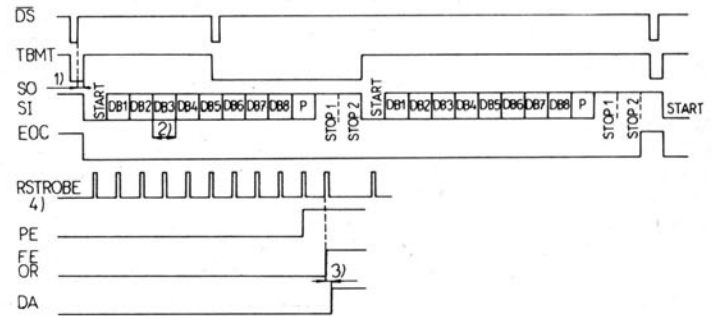
Clock impulse frequency ● Taktimpulsfrequenz		f_{TCP}	0 ... 320	kHz
Impulse duration ● Impulsdauer	$\frac{XR}{DS}$	t_{RCP}	$\geq 1,5$	μs
	$\frac{CS}{RDE}$	t_{WXR}	$\geq 1,0$	μs
	$\frac{SWE}{RDA}$	t_{WDS}	$\geq 0,25$	μs
		t_{WCS}	$\geq 0,25$	μs
		t_{WRDE}	$\geq 0,5$	μs
		t_{WSWE}	$\geq 0,5$	μs
		t_{WRDA}	$\geq 1,0$	μs

Input data setup and hold ●

Eingangsdaten-Einstell- u. Haltezeit DB1 ... DB8, NB1, NB2, NP, EPS, TSB to/gegen DS, ev. CS	t_{setup}	≥ 0	μs
	t_{hold}	≥ 0	μs

Output delay time ● Ausgangs-Laufzeit
RD1 ... RD8, TBMT, DA, FE, DR, PE
to/gegen RDE, ev. SWE

	t_{PLH}	$\geq 0,5$	μs
	t_{PHL}	$\geq 0,5$	μs



Time impulse diagram of some transmitter and receiver MHB1012

1. Bit START is started by trailing edge of first clock impulse.
2. Time duration of one bit is equal to 16 periods of clock impulse.
3. Signal DA is delayed about one clock impulse past R STROBE select impulse. Internal signal R STROBE is derived from clock impulse RCP.

Zeitdiagramm von einigen Sender- und Empfänger-Signalen MHB1012

1. START-Bit ist durch Abfallkante des ersten Taktimpulses zu anlassen.
2. Zeitdauer von eines Bit ist die gleiche wie 16 Taktimpulsperioden.
3. DA-Signal ist verzögert um einen Taktimpuls nach dem Auswahlimpuls R STROBE. Das internen Signal R STROBE ist aus der Taktimpulse RCP abgeleitet.

¹⁾ Difference between U_{CC} and other pin voltage (GI, inputs, outputs in non active state). ● Differenz zwischen U_{CC} und Spannungen von alle anderen Ausführungen (GI, Eingängen, Ausgängen im nicht aktiven Zustand).

²⁾ Current of integrated resistance between input and U_{CC} . ● Strom des integrierten Widerstandes zwischen Eingang und U_{CC} .

³⁾ Output in non active state. ● Ausgang im nicht-aktiven Zustand.

⁴⁾ $C_L = 20 \text{ pF}$; one gate TTL last. ● Last ein Gatter TTL.

ANALOG SWITCHING ARRAY
ANALOG SCHALTFELD

ANALOG SWITCHING ARRAY ASSOCIATE:
SWITCHING ARRAY ORGANIZED AS 8 ROWS
L₀...L₇ AND 4 COLUMNS J₀...J₃, CONTROL
MEMORY RAM 8 × 8 BIT, ADDRESS DECODER.

ROWS AND COLUMNS OF SWITCHING ARRAY
CAN BE SWITCHED IN ARBITRARY POINT
IN DEPENDENCE ON MEMORY CONTENTS. SINGLE
WORDS WRITTEN INTO MEMORY THROUGH
INPUTS D₀...D₃ ON ADDRESS DETERMINED
BY ADDRESS INPUTS A₀...A₂, WHICH ARE
DECODED IN ADDRESS DECODER.

ANALOG SCHALTFELD INTEGRIERT:
SCHALTFELD MIT ORGANISATION 8 ZEILEN
L₀...L₇ UND 4 KOLONNEN J₀...J₃,
STEUERSPEICHER RAM 8 × 8 BIT,
ADRESSDEKODER.

ZEILEN UND KOLONNEN VON SCHALTFELD
KÖNNEN SICH IM BELIEBIGEN PUNKT
IN ABHÄNGIGKEIT AM SPEICHERINHALT
ZU SCHALTEN. EINZELNE WÖRTE IN SPEICHER
SIND ZU SCHREIBEN DURCH EINGÄNGEN
D₀...D₃ AN DIE ADRESSE, WELCHE DURCH
ADRESSENEINGÄNGEN A₀...A₂ BESTIMMT
SIND. ADRESSENEINGÄNGE SIND DEKODIERT
IM ADRESSENDEKODER.

Outlines ● Abmessungen IO—15/1

MAXIMUM RATINGS ● GRENZDATEN

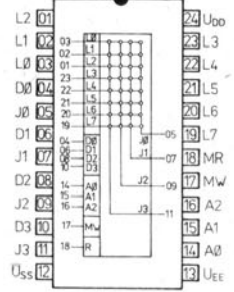
	min.	max.	
U _{DD} — U _{SS}	—0,3	+16	V
U _{DD} — U _{EE}	—0,3	+16	V
U _{SS} — U _{EE}	—0,3	+16	V
U _I ¹⁾	U _{SS} —0,3 V	U _{DD} +0,3	V
U _{I/O} ²⁾	U _{EE} —0,3 V	U _{DD} +0,3	V
I _I ¹⁾		±10	mA
I _J ³⁾		±8	mA
P		500	mW
θ _a	0	+70	°C

TRUTH TABLE ● LOGISCHES VERHALTEN

MR	MW	A2	A1	A0	L	D3	D2	D1	D0	J4	J3	J2	J1
H	X	X	X	X	all ● alle	X	X	X	X	switch OFF ● Schalter OFF			
L	L	X	X	X	none ● keine	X	X	X	X	1)			
L	H	L	L	L	L0	L	L	L	L
L	H	L	L	L	L0	L	L	L	H	.	.	.	x
L	H	L	L	L	L0	L	L	H	L	.	.	.	x
L	H	L	L	L	L0	L	L	H	H	.	.	.	x
L	H	L	L	L	L0	L	H	L	L	.	.	.	x
L	H	L	L	L	L0	L	H	H	L	.	.	.	x
L	H	L	L	L	L0	L	H	H	H	.	.	.	x
L	H	L	L	L	L0	H	L	L	L	.	.	.	x
L	H	L	L	L	L0	H	L	L	H	.	.	.	x
L	H	L	L	L	L0	H	L	H	L	.	.	.	x
L	H	L	L	L	L0	H	H	L	L	.	.	.	x
L	H	L	L	L	L0	H	H	L	H	.	.	.	x
L	H	L	L	L	L0	H	H	H	L	.	.	.	x
L	H	L	L	L	L0	H	H	H	x	.	.	.	x
L	H	L	L	L	L1				
L	H	L	L	L	L2				
L	H	L	L	L	L3				
L	H	L	L	L	L4				
L	H	L	L	L	L5				
L	H	L	L	L	L6				
L	H	L	L	L	L7				

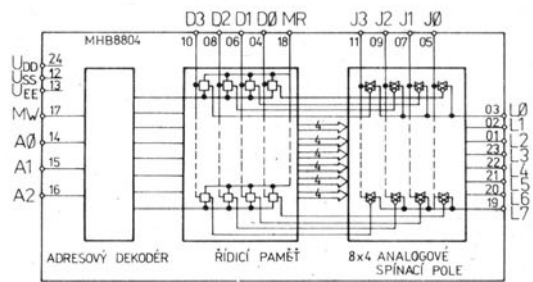
MR — memory reset ● Speicherrücksetz
MW — address set ● Adresseneinstellen
A — address ● Adressen
L — line addressing ● Leitungsadressierung
D — memory input data ● Eingangsdaten
von Speicher
J — on-switch with line L ● Schalter mit
Leitung L durchgeschaltet
1) Without change (previous state) ●
ohne Änderung (vorhergehender
Zustand)
switch OFF ● ausgeschalteter
Schalter
x switch ON ● eingeschalteter
Schalter

1) Of logic inputs ● Von logischen Eingängen
2) On inputs/outputs of analog array ● Auf Eingängen/Aus-
gängen des Analogschaltfeldes.
3) Of analog switch ● Von Analogschalter



Base connection ● Sockelschaltung
(top view ● Ansicht von oben)

- 1 L₂ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 2 L₁ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 3 L₀ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 4 D₀ control memory input ● Speichereingang
- 5 J₀ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 6 D₁ control memory input ● Speichereingang
- 7 J₁ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 8 D₂ control memory input ● Speichereingang
- 9 J₂ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 10 D₃ control memory input ● Speichereingang
- 11 J₃ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 12 U_{SS} Supply voltage of logic part ● Speisespannung von logischen Teil
- 13 U_{EE} Supply voltage of analog part ● Speisespannung von analog Teil
- 14, 15, 16 A₀, A₁, A₂ control memory address inputs ● Speichereingangs-Eingänge
- 17 MW address validity input ● Eingang für Adressengültigkeit
- 18 MR control memory reset input ● Speicher-Rückstelleingang
- 19–23 L₇...L₃ switching array input/output ● Schaltfeld-Eingang/Ausgang
- 24 U_{DD} supply voltage ● Speisespannung



Functional block diagram ● Funktions-Blockschaltung

CHARACTERISTIC DATA:

KENNDATEN: $\vartheta_a = +25^\circ\text{C}$, $U_{SS} = U_{EE} = 0\text{ V}$

			nom.	min.-max.	
Supply voltage	Speisespannung	$U_{DD} - U_{SS}$	5,0	5...15	V
		$U_{DD} - U_{EE}$	5,0	5...15	V
		$U_{SS} - U_{EE}$	5,0	0...12	V
Analog switch resistance — ON state $U_O = 0,6\text{ V}$, $U_{DD} = 5\text{ V}$ $U_O = 0,6\text{ V}$, $U_{DD} = 10\text{ V}$ $U_O = 0,6\text{ V}$, $U_{DD} = 15\text{ V}$	Analogschalterwiderstand — ON-Zustand	R_{ON}	600		Ω
		R_{ON}	180		Ω
		R_{ON}	130	≤ 150	Ω
Difference of analog switch resistance — ON state $U_{DD} = 10\text{ V}$ $U_{DD} = 15\text{ V}$	Differenz von Ananalogschalterwiderstandes — ON-Zustand	ΔR_{ON}	30		Ω
		ΔR_{ON}	20		Ω
Leak current — OFF state $U_O = \pm 15\text{ V}$, $U_{DD} = 15\text{ V}$	Ableitstrom — OFF-Zustand	I_{OFF}		$\leq \pm 500$	nA
Input voltage — L level $U_{DD} = 5\text{ V}$ $U_{DD} = 10\text{ V}$ $U_{DD} = 15\text{ V}$	Eingangsspannung — L-Zustand	U_{IL}	2,25	≤ 1	V
		U_{IL}	4,5	≤ 2	V
		U_{IL}		≤ 3	V
Input voltage — H level $U_{DD} = 5\text{ V}$ $U_{DD} = 10\text{ V}$ $U_{DD} = 15\text{ V}$	Eingangsspannung — L-Zustand	U_{IH}	2,75	≥ 4	V
		U_{IH}		≥ 8	V
		U_{IH}	5,5	≥ 12	V
Supply current consumption $U_{DD} = 15\text{ V}$	Stromverbrauch	I_{DDO}		≤ 500	μA
Juncter pin capacitance $U_O = 0\text{ V}$, $U_{DD} = 10\text{ V}$, $f = 1\text{ MHz}$	Verbindungsausführung-Kapazität	C_{JN}	20		pF
Transit capacitance OFF state switch $U_O = 0\text{ V}$, $U_{DD} = 10\text{ V}$, $f = 1\text{ MHz}$	Durchgangskapazität von ausgeschalteten Schalter	C_{LT}	0,12		pF
Logic input capacitance $U_I = 0\text{ V}$, $f = 1\text{ MHz}$	Logischer-Eingangs-Kapazität	C_{IN}	5		pF
Line pin capacitance $U_O = 0\text{ V}$, $U_{DD} = 10\text{ V}$, $f = 1\text{ MHz}$	Leitungsausführung-Kapazität	C_{LN}	5		pF

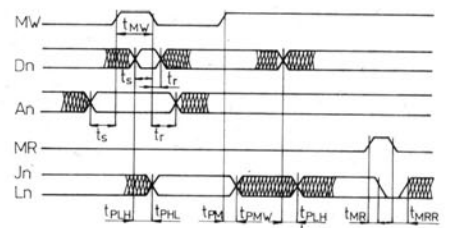
DYNAMIC DATA:

DYNAMISCHE KENNDATEN:

Sinusoidal signal distortion $U_{LJ M/M} = 5\text{ V}$, $R_L = 10\text{ k}\Omega$, $f = 1\text{ MHz}$ $U_{DD} = 5\text{ V}$ $U_{DD} = 10\text{ V}$ $U_{DD} = 15\text{ V}$	Sinussignal-Verzerrung	k	1		%
		k	0,2		%
		k	0,1		%
Damping of OFF state switch $f = 1\text{ MHz}$, $R_L = 1\text{ k}\Omega$, $U_{DD} = 10\text{ V}$	Dämpfung von ausgeschalteten Schalter	α_K	10		dB
Crosstalk between channels (one ON state, one OFF state) $f = 1\text{ MHz}$, $U_{DD} = 10\text{ V}$ $f = 3,4\text{ kHz}$, $U_{DD} = 10\text{ V}$	Nebensprechen zwischen Kanälen (einer im ON-, anderer im OFF-Zustand)	α_K	-40		dB
		α_K	-90		dB

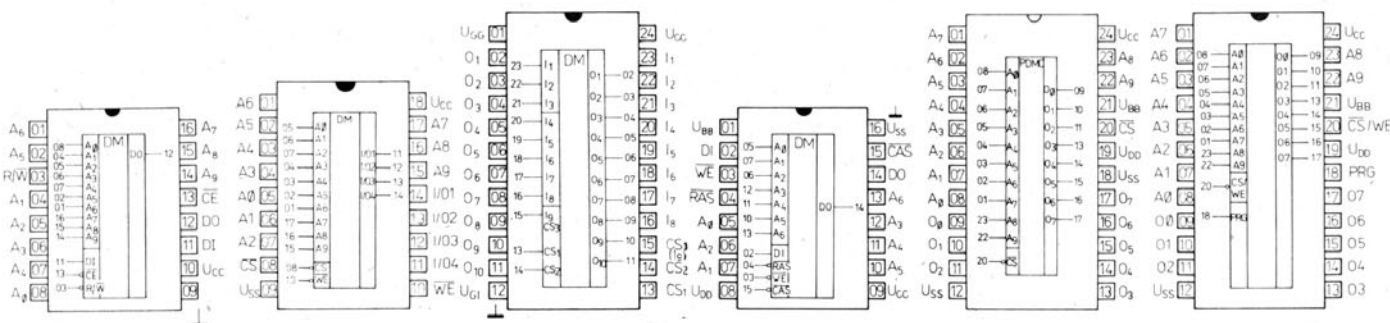
DYNAMIC WAVEFORM ● DYNAMISCHE IMPULSDATEN

	5	10	V	
$t_r = t_f = 20\text{ ns}$, $C_L = 50\text{ pF}$				
U_{DD}	5	10		
t_{ps}	—	10	ns	
t_{PLH}	400	200	ns	($R_L = 10\text{ k}\Omega$)
t_{PMW}	600	300	ns	($R_L = 10\text{ k}\Omega$)
t_{MW}	225	90	ns	
t_s	90	50	ns	
t_r	90	50	ns	
t_{MR}		175	ns	($R_L = 1\text{ k}\Omega$)
t_{MRR}	250	150	ns	



Waveforms ● Impulsdiagramm

Type Typ	Feature	Art	Outlines Gehäuse
MHB1902 MHB1902C	Static memory CMOS RAM 1024×1 bit, memory matrix organisation 64 row by 16 cell, separate input and output, tri-state output gated by signal CE.	Statischer Speicher CMOS RAM 1024×1 Bit, Speicher-matrix-Organisation 64 Zeilen je 16 Zellen, getrennte Dateneingang- und Ausgang, Ausgang mit drei Zustände ist durch CE-Signal zu blockieren.	IO—18 IO—18/C
MHB2102 MHB2102/2	Static memory NMOS RAM 1024×1 bit, memory matrix organisation 32×32, separate input and output, tri-state output activated by signal CE.	Statischer Speicher NMOS RAM 1024×1 Bit, Speicher-matrix-Organisation 32×32, getrennte Dateneingang und -Ausgang, Ausgang mit drei Zuständen ist durch CE-Signal zu aktivieren.	IO—14A
MHB2114	Static memory NMOS RAM 1024×4 bit with polycrystalline gate, memory matrix organisation 64×16, common data input and output, tri-state output. Memory chip contain internal generator for substrat biasing, working on the charge pump principle, whis is prepared for work about 500 μs past supply voltage U _{CC} connection.	Statischer Speicher NMOS RAM 1024×4. Bit, mit polykristallinen Gatter, Speichermatrix-Organisation 64×16, gemeinsame Dateneingang und Ausgang, Ausgang mit drei Zuständen. Speicherchip enthält interner Generator für Substratvorspannung, welcher auf dem Prinzip der Ladungspumpe arbeitet. Für den Betrieb ist der Generator etwa 500 μs nach U _{CC} -Speise-spannungseinschaltung bereit.	IO—18/1
MHB2500 series	Static memory MNOS ROM 2560 bit with N type substrat and transistors with P channel. He can working with organisation 256 word by 10 bit or 512 word by 5 bit. Tri-state output are gated by signal CS. Organisation, memory contents and signals CS setting are given by programming mask during manufacturing process.	Statische Speicher MNOS ROM 2560 Bit mit N-Type-Substrat und P-Kana-Transistoren. Die Speicher können arbeiten mit Organisation von 256 Wörter je zu 10 Bit oder 512 Wörter je zu 5 Bit. Ausgang mit drei Zuständen ist durch CS-Signal zu blockieren. Organisation, Speicherinhalt und CS-Signal-Einstellung ist durch Programmierungsmaske während des Herstellungsprozesses gegeben.	IO—15/1
MHB2501 MHB2501A	Generator of alphanumeric characters in latin alpha-bet; standard ASCII code according to standard ČSN 36 8802, CMEA-specification RS 2175/69. Memory organisation 512×5, character matrix 5×7.	Generatoren der Alphanumerischen Zeichen des lateinischen Alphabets. ASCII-Zeichenkode entspricht der Normen ČSN 35 8802, RGW RS 2175/69. Speicherorganisation 512×5, Zeichenmatrix 5×7.	
MHB2502 MHB2502A	Generator of alphanumeric characters in russian alpha-bet; character code correspond to CMEA-Specification RS 2175/69. Memory organisation 512×5, character matrix 5×8.	Generatoren der Alphanumerischen Zeichen des russischen Alphabets. Zeichenkode entspricht der Norm RGW RS 2175/69. Speicherorganisation 512×5, Zeichenmatrix 5×8.	
MHB2503 MHB2503A	Seven bit code ISO/7 converter into teletypewriter code CCIT2 or CCIT2 code into ISO/7. Memory organisation 256×10.	Sieben-Bit-Kode ISO/7-Wandler auf Telex-Kode CCIT2 oder umgekehrt CCIT2-Kode auf ISO/7. Speicherorganisation 256×10.	
MHB4116 MHB4116C	Dynamic memory NMOS RAM 16384×1 bit, memory matrix organisation in two symetrical parts by 64 rows and 128 columns. The memory demand the informations refresh ever past 2 ms of activity through 128 read or empty cycle.	Dynamischer Speicher NMOS RAM 16384×1 Bit, Speicher-matrix-Organisation in zwei symmetrischen Teilen mit 64 Zeilen und 128 Kolonnen. Der Speicher erfordert die Informationserneuerung immer nach 2 ms der Funktion durch 128 Lese- oder Leerzyklen.	IO—14 IO—18/C1
MHB8608	Static memory NMOS PROM 1024×8 bit programmed during manufacturing process. Inputs and outputs compatible with TTL. Tri-state outputs activated by chip select signal CS.	Statischer Speicher NMOS PROM 1024×8 Bit programmierter während des Herstellungsprozesses. Eingänge und Ausgänge sind TTL-Kompatibel. Ausgänge mit drei Zuständen sind durch CS-Signal zu aktivieren.	IO—15/1
MHB8708C	Electrically reprogrammable memory NMOS EPROM 1024×8 bit with possibility of contents memory erasure with ultraviolet light of max. 0,4 μm wavelength. Energy dose for erasure min. 15 Wscm ⁻² at light source 0,2537 μm. In read mode is memory function full static. Inputs and outputs compatible with TTL. Tri-state outputs activated by signal CS.	Elektrisch neu programmierbarer Speicher NMOS EPROM 1024×8 bit mit eine Möglichkeit den Speicherinhalt durch Bestrahlung mit ultraviolettem Licht (mit Wellenlänge max. 0,4 μm) zu löschen und danach neu programmieren. Nötige Bestrahlungsdosis für Löschen ist min. 15 Wscm ⁻² bei der Lichtquelle 0,2537 μm. In Leseprogramm ist voll statische Speicherfunktion. Eingänge und Ausgänge sind TTL-Kompatibel. Ausgänge mit drei Zuständen sind durch CS-Signal zu aktivieren.	IO—15/C



MHB1902
MHB2102

MHB2114

MHB2501, A
MHB2502, A
MHB2503, A

MHB4116
MHB4116C

MHB8608

MHB8708C

ORGANISATION: 1024 × 1 BIT
MEMORY MATRIX: 16 × 64
THREE-STATE OUTPUT

ORGANISATION: 1024 × 1 BIT
SPEICHERMATRIX: 16 × 64
AUSGÄNGE MIT DREI ZUSTÄNDEN

MAXIMUM RATINGS ● GRENZDATEN

Voltage on any pin with respect to ground ● Spannung an jedem Anschluss gegen Masse

	min.	max.	
U_X/U_{GND}	-0,3 ...	+7,0	V
P_{tot}		500	mW
ϑ_a	0 ...	+70	°C

CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:	STATISCHE KENNDATEN:	min.-max.
$U_{CC} = 4,75 \dots 5,25 \text{ V}, \vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$		
Input voltage — L level	Eingangsspannung — L-Zustand	$U_{IL} \leq 0,8 \text{ V}$
Input voltage — H level	Eingangsspannung — H-Zustand	$U_{IH} \geq U_{CC} - 1,5 \text{ V}$
Output voltage — L level $I_{OL} = 1,6 \text{ mA}$	Ausgangsspannung — L-Zustand	$U_{OL} \leq 0,5 \text{ V}$
Output voltage — H level $I_{OH} = -1 \text{ mA}$	Ausgangsspannung — H-Zustand	$U_{OH} \geq 3,8 \text{ V}$
Input leak current $U_{CC} = 5,25 \text{ V}, U_I = 0 \text{ V} \dots U_{CC}$	Eingangs-Reststrom	$I_I \leq 15 \mu\text{A}$
Output leak current of three state output $U_{CC} = 5,25 \text{ V}, U_O = 0 \text{ V} \dots U_{CC}$	Ausgangs-Reststrom von dreizuständen Ausgang	$I_O \leq 15 \mu\text{A}$
Supply current (active) $U_{CC} = 5,25 \text{ V}, U_I = 5,25 \text{ V}$	Stromaufnahme	$I_{CC} \leq 1 \text{ mA}$
Supply current (stanby) $U_{CE} = U_{CC}; U_I = 0 \text{ V}$	Stromaufnahme	$I_{CC dr} \leq 250 \mu\text{A}$
Supply voltage (stanby) $U_{CE} = U_{CC}; U_I = 0 \text{ V}$	Speisespannung	$U_{CC dr} \geq 2,5 \text{ V}$

DYNAMIC DATA ● DYNAMISCHE KANNDATEN:

$U_{CC} = 4,75 \text{ V}, C_L = 50 \text{ pF}, t_r = t_f = 20 \text{ ns}$

READ CYCLE ● LESEZYKLUS

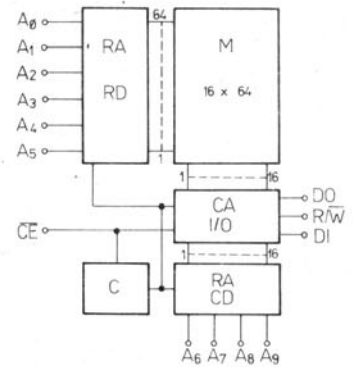
t_{RC}	1000	ns
t_{ACC}	800	ns
t_{DP}	150	ns
t_{PW}	120	ns
t_{AS}	0	ns
t_{AH}	200	ns
t_{RS}	0	ns
t_{RH}	50	ns
t_{DH}	150	ns

WRITE CYCLE ● SCHREIBZYKLUS

t_{WC}	1000	ns
$t_{W PW1}$	470	ns
$t_{W PD1}$	110	ns
$t_{W PH}$	50	ns
$t_{W DS}$	0	ns
$t_{W DH}$	50	ns

READ/WRITE CYCLUS ● LESE-/SCHREIBZYKLUS

$t_{W RC}$	1800	ns
$t_{W PW2}$	820	ns
$t_{W PD2}$	20	ns

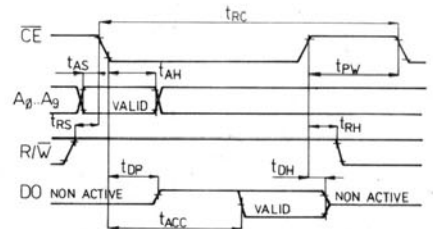


Block diagram ● Blockschtung

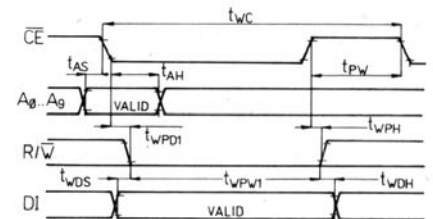
- $A_0 \dots A_9$ — Address inputs ● Adressen-Eingänge
- DI — Data input ● Dateneingang
- DO — Data output ● Datenausgang
- CE — Chip select ● Chipauswahl
- R/W — Read/Write input ● Lese-/Schreib-Eingang

- RA — address register ● Adressen-Register
- RD — row decoder ● Zeilendekoder
- C — timer circuit ● Taktgeber
- CA — column amplifiers ● Spaltenverstärker
- CD — column decoders ● Spaltendekoder
- I/O — input/output buffers ● Eingangs-/Ausgangs-Puffer
- M — memory matrix ● Speichermatrix 16 × 64

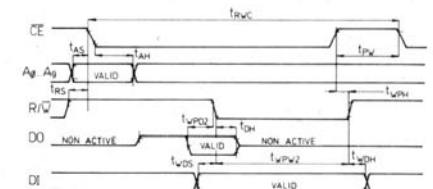
READ CYCLE ● LESEZYKLUS



WRITE CYCLE ● SCHREIBZYKLUS



READ/WRITE CYCLE ● LESE-/SCHREIBZYKLUS



Waveforms ● Impulsdiagramm

STATIC MEMORY NMOS RAM 1024 BIT
STATISCHER SPEICHER NMOS RAM

MHB2102
MHB2102/2

ORGANISATION: 1024 × 1 BIT
MEMORY MATRIX: 32 × 32
INDEPENDENT DATA INPUT AND OUTPUT
THREE STATE DATA OUTPUT

ORGANISATION: 1024 × 1 BIT
SPEICHERMATRIX: 32 × 32
UNABHÄNGIGE DATEN-EINGANG UND -AUSGANG
DATENAUSGANG MIT DREI ZUSTANDEN

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_{X/GND} \text{ 1)}$	-0,5	+7	V
P_{tot}		1	W
ϑ_a	0	+70	°C

1. Voltage of any pin with respect to ground.
 Output DO in non active state. ●
 Spannung an jedem Anschluss gegen Masse.
 Ausgang DO ist in nicht aktivem Zustand.

CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:	STATISCHE KENNDATEN:	$U_{CC} = +5,0 \text{ V} \pm 0,25 \text{ V}$ $\vartheta_a = 0 \dots +70 \text{ °C}$	min.-max.
Input voltage – L-level	Eingangsspannung – L-Zustand	U_{IL}	$\leq 0,65 \text{ V}$
Input voltage – H level	Eingangsspannung – H-Zustand	U_{IH}	$\geq 2,2 \text{ V}$
Output voltage – L level $I_{OL} = 1,9 \text{ mA}$	Ausgangsspannung – L-Zustand	U_{OL}	$\leq 0,45 \text{ V}$
Output voltage – H level $-I_{OH} = 100 \mu\text{A}$	Ausgangsspannung – H-Zustand	U_{OH}	$\geq 2,2 \text{ V}$
Input leak current $U_I = 5,25 \text{ V}$	Eingangs-Reststrom	I_I	$\leq 10 \mu\text{A}$
Output leak current in non active state	Eingangs-Reststrom im nicht aktiven Zustand	I_O	$\leq 10 \mu\text{A}$
$U_O = 4,0 \text{ V}$ $U_O = 0,45 \text{ V}$		$-I_O$	$\leq 100 \mu\text{A}$
Supply current $U_I = 5,25 \text{ V}$	Stromaufnahme	I_{CC}	$\leq 70 \text{ mA}$
Input capacitance $U_I = 5 \text{ V}, f = 1 \text{ MHz}$	Eingangs-Kapazität	C_I	$\leq 5 \text{ pF}$

DYNAMIC DATA: DYNAMISCHE KENNDATEN:

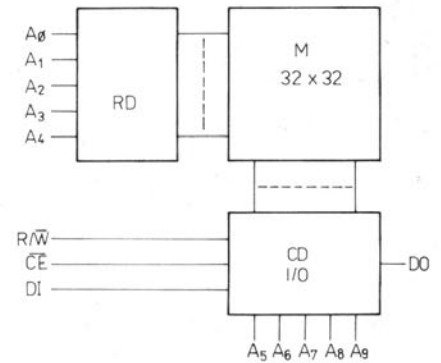
$U_{CC} = +5 \text{ V}, \vartheta_a = +25 \text{ °C}$, load: one gate TTL + 100 pF ● Belastung: ein TTL-Glied + 100 pF

READ CYCLE ● LESEZYKLUS:

	MHB2102	MHB2102-2	
t_{RC}	≥ 1000	≥ 650	ns
t_{ACC}	≤ 1000	≤ 650	ns
t_{CO}	≤ 500	≤ 400	ns
t_{OH1}	≥ 50	≥ 50	ns
t_{OH2}	≥ 0	≥ 0	ns

WRITE CYCLUS ● SCHREIBZYKLUS:

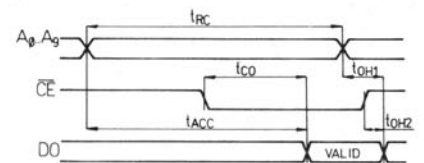
	MHB2102	MHB2102-2	
t_{WC}	≥ 1000	≥ 650	ns
t_{AW}	≥ 200	≥ 200	ns
t_{WP}	≥ 750	≥ 400	ns
t_{WR}	≥ 50	≥ 50	ns
t_{DW}	≥ 800	≥ 450	ns
t_{DH}	≥ 100	≥ 100	ns
t_{CW}	≥ 900	≥ 550	ns



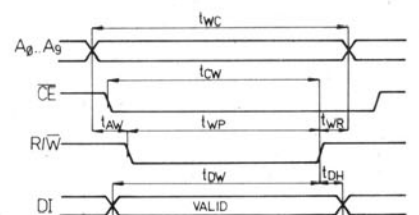
Block diagram ● Blockschaltung

- $A_0 \dots A_9$ Address inputs ● Adressen-Eingänge
- DI Data input ● Dateneingang
- DO Data output ● Datenausgang
- \overline{CE} Chip select ● Chipauswahl
- R/\overline{W} Read/Write input ● Lese-/Schreib-Eingang
- CD column decoder ● Spaltendekoder
- I/O input/output buffers ● Eingangs-/Ausgangs-Puffer
- M memory matrix ● Speichermatrix 32 × 32
- RD row decoder ● Zeilendekoder

READ CYCLUS ● LESEZYKLUS



WRITE CYCLUS ● SCHREIBZYKLUS



Waveform ● Impulsdiagramm

ORGANISATION: 1024 × 4 BIT
MEMORY MATRIX: 64 × 16
COMMON DATA INPUTS AND OUTPUTS USING THREE-STATE OUTPUTS

ORGANISATION: 1024 × 4 BIT
SPEICHERMATRIX: 64 × 16
GEMEINSAMEN DATEN-EINGÄNGE UND AUSGÄNGE HABEN AUSGÄNGE MIT DREI ZUSTÄNDEN

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U ¹⁾	-0,5	+7,0	V
P _{tot}		1	W
θ _a	0	70	°C

1. Voltage of single pins with respect to ground. ●
Spannung am einzelnen Ausführungen gegen Masse.

CHARACTERISTIC DATA: KENNDATEN:

STATIC DATA:	STATISCHE KENNDATEN:	min.-max.	
U _{CC} = 5,0 V ± 0,25 V, θ _a = 0... +70 °C			
Input voltage — L level	Eingangsspannung — L-Zustand	U _{IL}	-0,5... +0,8 V
Input voltage — H level	Eingangsspannung — H-Zustand	U _{IH}	2,0... U _{CC} V
Output voltage — L level I _{OL} = 2,1 mA	Ausgangsspannung — L-Zustand	U _{OL}	≤ 0,4 V
Output voltage — H level I _{OH} = -1,0 mA	Ausgangsspannung — H-Zustand	U _{OH}	≥ 2,4 V
Input leak current U _I = 0... 5,25 V	Eingangs-Reststrom	U _{LI}	≤ 10 μA
Input/output I/O leak current (absolute value) U _{CS} = 2,4 V, U _{I/O} = 0,44... U _{CC}	Eingangs-Ausgangs-I/O-Reststrom (Absolutwert)	I _{LO}	≤ 10 μA
Supply current U _I = 5,25 V, I _{I/O} = 0	Stromaufnahme	I _{CC}	≤ 100 mA
Input capacitance U _I = 0 V	Eingangs-Kapazität	C _I	≤ 5 pF
input/output I/O capacitance U _{I/O} = 0 V	Eingangs-/Ausgangs-I/O-Kapazität	C _{I/O}	≤ 5 pF

DYNAMIC DATA ● DYNAMISCHE KENNDATEN:

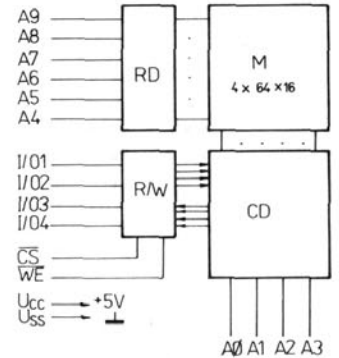
U_{CC} = 5,0 V ± 0,25 V, θ_a = 0... +70 °C

READ CYCLE ● LESEZYKLUS: 1)

t _{RC}	≤ 450	ns
t _A	≤ 450	ns
t _{CO}	≤ 120	ns
t _{CX}	≤ 20	ns
t _{OTD}	0... 100	ns
t _{OH}	≤ 50	ns

WRITE CYCLUS ● SCHREIBZYKLUS:

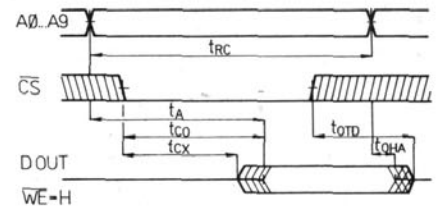
t _{WC}	≤ 450	ns
t _W ²⁾	≤ 200	ns
t _{WA}	≤ 0	ns
t _{WR}	≤ 0	ns
t _{OTW} ¹⁾	0... 100	ns
t _{DW}	≤ 200	ns
t _{DH}	≤ 0	ns



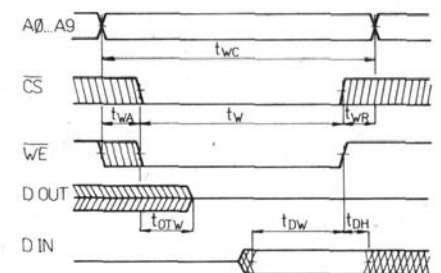
Function block diagram ●
Funktions-Blockschaltung

- A₀... A₉ address inputs ● Adressen-Eingänge
- \overline{CS} chip select ● Chipauswahl
- \overline{WE} write enable ● Schreib-Freigabe
- I/O₁... I/O₄ data inputs/outputs ● Daten-Eingänge/Ausgänge
- RD row select ● Zeilenauswahl
- CD column select ● Kolonnenauswahl
- M memory matrix ● Speichermatrix 4 × 64 × 16
- R/W read and write control ● Les- und Schreibsteuerung

READ CYCLUS ● LESEZYKLUS



WRITE CYCLUS ● SCHREIBZYKLUS



Waveform ● Impulsdiagramm

- One gate TTL, C_L = 100 pF. ● Ein TTL-Gatter Belastung, C_L = 100 pF.
- From last trailing edge CS or WE to leading edge $\overline{WE/CS}$. ● Von letzte Ablaufkante CS oder WE bis Auflaufkante $\overline{WE/CS}$.
- U_{IL} = 0,8 V, U_{IH} = 2,4 V, t_r = t_f = 10 ns, conclusive input and output level 1,5 V. ● Entscheidende Eingangs- und Ausgangszustand 1,5 V.

STATIC MEMORY ROM 2560 BIT
STATISCHER FESTWERTSPEICHER ROM 2560 BIT

MHB2501, MHB2501A
MHB2502, MHB2502A
MHB2503, MHB2503A

STATIC MEMORY ROM WITH CAPACITY OF MEMORY MATRIX 2560 BIT — AVAILABLE IN ORGANIZATION 2560 WORDS OF 5 BITS OR 512 WORDS OF 10 BITS

IN MEMORY MATRIX IS SETED THE INFORMATION ABOUT 64 ALPHANUMERIC CHARACTERS, DECOMPOSED IN 5x7 DOT MATRIX. INPUTS AND OUTPUTS OF MEMORY ARE COMPATIBLE WITH TTL AND DTL LOGIC CIRCUITS.

MHB2501, MHB2501A

GENERATORS OF ALPHANUMERIC CHARACTERS IN LATIN ALPHABET — STANDARD ASCII CODING, ACCORDING TO STANDARD ČSN 36 8802, CME-SPECIFICATION RS 2175/69.

MHB2502, MHB2502A

GENERATORS OF ALPHANUMERIC CHARACTERS IN RUSSIAN ALPHABET — CODING CORRESPONDING TO CMEA-SPECIFICATION RS 2175/69.

FESTWERTSPEICHER ROM MIT KAPAZITÄT DER SPEICHERMATRIX 2560 BIT — SPEICHER KÖNNEN WIR BENUTZEN IN SPEICHERORGANISATION 256 WÖRTER VON JE 10 BIT ODER 512 WÖRTER VON JE 5 BIT

IN SPEICHERMATRIX IST FESTGESETZTE INFORMATION ÜBER 64 ALPHANUMERISCHEN ZEICHEN, DIE IN MATRIXEN VON 5x7 PUNKTEN VERTEILEN SIND. DIE EINGÄNGE UND AUSGÄNGE VON SPEICHER SIND VOLL MIT TTL- UND DTL-SCHALTKREISEN KOMPATIEBEL.

MHB2501, MHB2501A

GENERATOREN VON ALPHANUMERISCHEN ZEICHEN DES LATEINISCHEN ALPHABETS. — ASCII-ZEICHENKODE ENTSPRICHT DER NORMEN ČSN 35 8802, RGW RS 2175/69.

MHB2502, MHB2502A

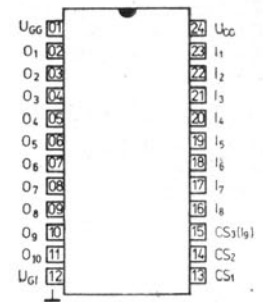
GENERATOREN VON ALPHANUMERISCHEN ZEICHEN DES RUSSISCHEN ALPHABETS. — ZEICHENKODE ENTSPRICHT DER NORM RGW RS 2175/69.

Maximum ratings • Grenzwerte

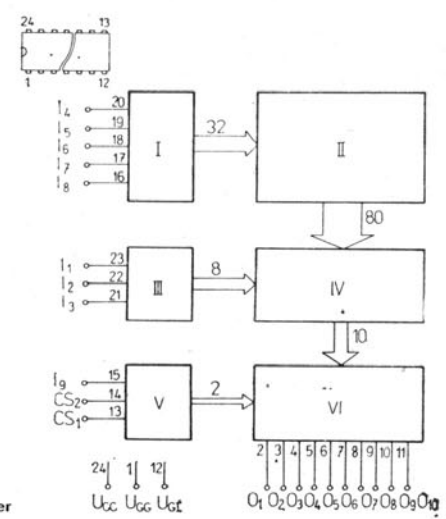
	min.	max.		
$U_{CC/IGG}$	-20	+0,3	V	I memory matrix • Speichermatrix
$U_{CC/GI}$	-10	+0,3	V	II row decoder • Zeilendekoder
$U_{CC/II}$	-10	+0,3	V	III column decoder • Kolonnendekoder
P_{tot}		800	mW	IV column select circuit • Kolonnenselektion
ϑ_a	0	+70	°C	V gating signal decoder • Gattersignaldekoder
ϑ_{stg}	-55	+155	°C	VI output circuits • Ausgangskreise

Outlines • Abmessungen IO 15/1

CHARACTERISTIC DATA	KENNDATEN	$\vartheta_a = 0 \dots +70^\circ\text{C}$		
Input leak current $-U_I = 5\text{ V}$	Eingangsb-leitstrom	$-I_I$	<1,0	μA
Input voltage — level L $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}$	Eingangsspannung — L-Zustand	U_{IL}	<1,0	V
Input voltage — level H $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}$	Eingangsspannung — H-Zustand	U_{IH}	>3,5	V
Input capacitance $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}, U_f = U_{CC}, f = 1\text{ MHz}$	Eingangskapazität	C_I	<10	pF
Output voltage — level L $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}, I_{OL} = 3,2\text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	<0,8	V
Output voltage — level H $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}, I_{OH} = -0,2\text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	>3,5	V
Output leak current $U_{CC} = +5\text{ V} \pm 0,25\text{ V}, U_{GG} = -12\text{ V} \pm 0,5\text{ V}, U_{GI} = 0\text{ V}, U_O = U_{GI}, U_O = U_{CC}$	Ausgangsb-leitstrom	$-I_O$	<1,0	μA
Output propagation delay time $U_{CC} = +5\text{ V}, U_{GG} = -12\text{ V}, U_{GI} = 0\text{ V}, \vartheta_a = +25^\circ\text{C}$ one gate TTL NAND last MHB2501, MHB2502 MHB2501A, MHB2502A	Ausgangsverzögerungszeit ein Gatter TTL NAND Belastung	t_p	<0,6	μs
		t_p	<1,0	μs
Information data: $U_{CC} = +5\text{ V}, U_{GG} = -12\text{ V}, U_{GI} = 0\text{ V}, \vartheta_a = +25^\circ\text{C}$	Informationsdaten:			
Supply current consumption in static regime	Stromaufnahme im statischen Betrieb	I_{CC}	22	mA
		I_{GG}	22	mA
Noise imunity without load	Störsicherheit ohne Last	U_N	1,0	V



Base connection diagram
 Sockelschaltung
 (Top view • Ansicht von oben)



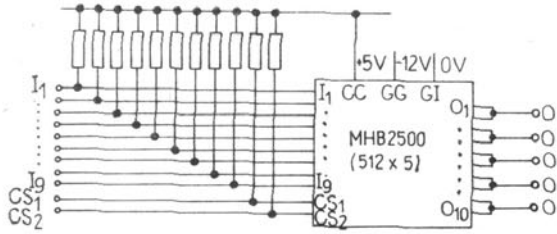
Block diagram
 Blockschaltung

MHB2501, MHB2501A
MHB2502, MHB2502A
MHB2503, MHB2503A

STATIC MEMORY ROM 2560 BIT
STATISCHER FESTWERTSPEICHER ROM 2560 BIT

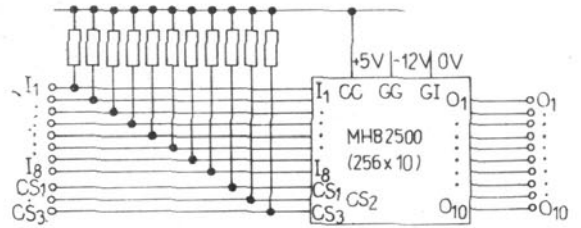
RECOMMENDED CIRCUITS OF STATIC MEMORY FOR EITHER ORGANISATIONS

ORGANISATION: 512 words of 5 bits
512 Wörter von je 5 Bit



EMPFOHLENE SCHALTUNGEN VON FESTWERTSPEICHER FÜR EINZELNE ORGANISATIONEN

256 words of 10 bits
256 Wörter von je 10 Bit



FUNCTIONAL TABLE • FUNKTIONSTABELLE

MHB2501
MHB2501A

Active outputs at signals •
Aktive Ausgänge bei Signalen

CS₁ = H, CS₂ = L

Row No. 8 is not used •
Zeile Nr. 8 ist nicht benutzt

(I₁ = I₂ = I₃ = H)

CS ₁	14	L	L	H	H	L	L	H	H	L	L	H	H	L	L	H	H
H	15	L	L	L	L	H	H	H	H	L	L	L	L	H	H	H	H
CS ₂	16	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
L	19	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H
I ₇ I ₈																	
L	L																
H	L																
L	H																
H	H																

MHB2502
MHB2502A

Active outputs at signals •
Aktive Ausgänge bei Signalen

CS₁ = L, CS₂ = H

CS ₁	14	L	L	H	H	L	L	H	H	L	L	H	H	L	L	H	H
L	15	L	L	L	L	H	H	H	H	L	L	L	L	H	H	H	H
CS ₂	16	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
H	19	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H
I ₇ I ₈																	
L	L																
H	L																
L	H																
H	H																

Black fields indicated outputs in state of level H.

Schwarze Felder bezeichnen die Ausgänge in H-Zustand.

STATIC MEMORY ROM 2560 BIT
STATISCHER FESTWERTSPEICHER ROM 2560 BIT

MHB2503, MHB2503A

7-BIT CODE ISO/7 CONVERTER AND TELETYPEWRITER
 CODE CCIT2.

ORGANISATION: 256 × 10
 CONVERTER DIRECTION IS DETERMINED THROUGH
 INPUT I₈.
 ACTIVE OUTPUTS AT CS₁ = H, CS₂ = H, CS₃ = L

CODE ISO/7 CONVERSION INTO CODE CCIT2.

INPUTS: I₁...I₇ code in ISO/7
 I₈ = L

I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇
b ₁	b ₂	b ₃	b ₄	b ₅	b ₆	b ₇

b = log 0 → L
 b = log 1 → H

Outputs: O₁₀...O₆ — code in CCIT

O ₁₀	O ₉	O ₈	O ₇	O ₆
C ₁	C ₂	C ₃	C ₄	C ₅

7-BIT-KODE ISO/7 WANDLER UND FERNSCHREIBER-KODE
 CCIT2.

ORGANISATION: 256 × 10
 WANDLUNGSRICHTUNG IST DURCH EINGANG I₈
 BESTIMMT.
 AKTIVE AUSGÄNGE SIND BEI CS₁ = H, CS₂ = H,
 CS₃ = L

ISO/7-KODE WANDLUNG AUF CCIT2-KODE

EINGÄNGE: I₁...I₇ — Kode nach ISO/7
 I₈ = L

Ausgänge: O₁₀...O₆ — Kode nach CCIT
 C — state without current → H ●
 Zustand ohne Strom → H
 C — state under current → L ●
 Zustand unter Strom → L

O ₁	O ₂	O ₃	O ₄	O ₅	O ₆ ...O ₁₀ (CCIT2)
H	L	H	H	H	symbols ● Symbole: NUL, LF, CR, SP
H	H	H	H	L	other symbols and numbers ● andere Symbole und Nummer
H	H	L	L	H	capital letter ● grosse Buchstaben
H	H	L	H	H	small letter ● kleine Buchstaben
L	H	H	H	H	NUL (code CCIT2 has not equivalent symbol ● CCIT2-Kode hat keinen entsprechenden Symbol

CONVERSION DIAGRAM

ISO/7				b ₇	0	0	0	0	1	1	1	1
				b ₆	0	0	1	1	0	0	1	1
				b ₅	0	1	0	1	0	1	0	1
b ₁	b ₂	b ₃	b ₄		0	1	2	3	4	5	6	7
0	0	0	0	0	NUL	DLE	SP	␣	␣	P	l	p
1	0	0	0	1	SOH	DC1	!	1	A	Q	a	q
0	1	0	0	2	STX	DC2	"	2	B	R	b	r
1	1	0	0	3	ETX	DC3	#	3	C	S	c	s
0	0	1	0	4	EOT	DC4	␣	4	D	T	d	t
1	0	1	0	5	ENQ	NAK	␣	5	E	U	e	u
0	1	1	0	6	ACK	SYN	␣	6	F	V	f	v
1	1	1	0	7	BEL	ETB	'	7	G	W	g	w
0	0	0	1	8	BS	CAN	(8	H	X	h	x
1	0	0	1	9	HT	EM)	9	I	Y	i	y
0	1	0	1	A	LF	SUB	*	:	J	Z	j	z
1	1	0	1	B	VT	ESC	+	;	K	[k	
0	0	1	1	C	FF	FS	.	<	L	\	l	!
1	0	1	1	D	CR	GS	-	=	M]	m	
0	1	1	1	E	SO	RS	.	>	N	^	n	~
1	1	1	1	F	SI	US	/	?	O	-	o	DEL

WANDLUNG-DIAGRAMM

	0	1	2	3	4	5	6	7
0	NUL	NUL	SP	0	NUL	P	NUL	P
1	NUL	NUL	10	1	A	Q	A	Q
2	NUL	NUL	NUL	2	B	R	B	R
3	NUL	NUL	NUL	3	C	S	C	S
4	NUL	NUL	NUL	4	D	T	D	T
5	NUL	NUL	NUL	5	E	U	E	U
6	NUL	NUL	NUL	6	F	V	F	V
7	NUL	NUL	'	7	G	W	G	W
8	NUL	NUL	(8	H	X	H	X
9	NUL	NUL)	9	I	Y	I	Y
A	LF	NUL	␣	:	J	Z	J	Z
B	NUL	NUL	+	Ω	K	[K	NUL
C	NUL	NUL	.	NUL	L	NUL	L	NUL
D	CR	NUL	-	=	M]	M	NUL
E	NUL	NUL	.	NUL	N	NUL	N	NUL
F	NUL	NUL	/	?	O	NUL	O	NUL

CODE CCIT2 CONVERSION INTO CODE ISO/7

Inputs: $I_5 \dots I_1$ — code in CCIT2
 $I_8 = H$

CCIT2-KODE WANDLUNG AUF ISO/7-KODE

Eingänge: $I_5 \dots I_1$ — Kode nach CCIT2
 $I_8 = H$

I_1	I_2	I_3	I_4	I_5	I_6	I_7	realized ● ist realisiert
C_5	C_4	C_3	C_2	C_1	H	H	capital letter ● grosse Buchstaben
					H	L	small letter ● kleine Buchstaben
					L	X	number and symbols ● Nummer und Symbole

C = state without current → H ●
Zustand ohne Strom → H
C = state under current → L ●
Zustand unter Strom → L

Outputs: $O_8 \dots O_2$ — code in ISO/7
even parity of outputs
 $O_8 \dots O_2$ is on output O_7

Ausgänge: $O_8 \dots O_2$ — Kode nach ISO/7
gerade Parität der Ausgängen
 $O_8 \dots O_2$ ist auf Ausgang O_7

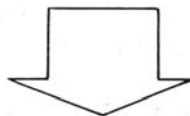
O_1	O_2	O_3	O_4	O_5	O_6	O_7	O_8	O_9	O_{10}	conversion from CCIT2 ● Wandlung von CCIT2
L	L	L	L	L	L	L	L	H	L	A ... b = log 0 → L
								L	H	1 ... b = log 1 → H
Par	b_7	b_6	b_5	b_4	b_3	b_2	b_1	H	H	other symbols ● andere Symbole

CONVERSION DIAGRAM

WANDLUNGS-DIAGRAMM

CCIT2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	CR	LF	A...	1...	SP	NUL
	-	?	:	+	3]	[!	8	;	()	.	,	9	ø	1	4	'	5	7	=	2	/	6	+						
C1	x	x		x	x	x				x	x						x		x		x		x	x	x	x						
C2	x		x				x		x	x	x	x				x	x	x			x	x	x					x	x	x		
C3			x			x		x	x		x		x	x		x	x		x		x	x		x	x					x		x
C4		x	x	x		x	x			x	x		x	x	x			x				x		x				x		x	x	
C5		x						x	x			x	x		x	x	x			x		x	x	x		x			x	x		

x — state under current ● Zustand unter Strom



1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	CR	LF	NUL	NUL	SP	NUL
-	?	:	*	3]	[!	8	;	()	.	,	9	ø	1	4	'	5	7	=	2	/	6	+						

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t	u	v	w	x	y	z	CR	LF	NUL	NUL	SP	NUL
-	?	:	*	3]	[!	8	;	()	.	,	9	ø	1	4	'	5	7	=	2	/	6	+						

UNIPOLAR INTEGRATED CIRCUITS NMOS
UNIPOLARE INTEGRIERTE SCHALTWERKE NMOS
DYNAMIC MEMORY ● DYNAMISCHER SPEICHER RAM 16384 BIT

MHB4116
MHB4116C

ORGANISATION: 16 384 × 1 BIT
MEMORY MATRIX: 2 × 64 × 128
THREE STATE OUTPUT

ORGANISATION: 16 384 × 1 BIT
SPEICHERMATRIX: 2 × 64 × 128
AUSGANG MIT DREI ZUSTÄNDEN

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	V
$U/U_{BB} \text{ 1) 2)}$	-0,3	+20	$^{\circ}\text{C}$
ϑ_a	0	+70	

1. DO in non active state. ● DO im nicht aktiven Zustand.
 2. Voltage of anyone pin to U_{BB} . ● Spannung am einzelnen Ausführungen gegen Masse.

Outlines ● Abmessungen: MHB4116 IO-18/A
 MHB4116C IO-18/C1

CHARACTERISTIC DATA: KENNDATEN:

$U_{CC} = +5,0 \text{ V} \pm 0,5 \text{ V}$, $U_{DD} = +12 \text{ V} \pm 1,2 \text{ V}$, $U_{BB} = -5,0 \text{ V} \pm 0,5 \text{ V}$,
 $U_{SS} = 0 \text{ V}$, $\vartheta_a = 0^{\circ}\text{C} \dots +70^{\circ}\text{C}$.

Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	min.-max.	V
Input voltage — level H <td>Eingangsspannung — H-Zustand</td> <td>U_{IH}</td> <td>$\geq 2,4$</td> <td>V</td>	Eingangsspannung — H-Zustand	U_{IH}	$\geq 2,4$	V
input $A_0 \dots A_6$, DI	Eingang $A_0 \dots A_6$, DI	U_{IH}	$\geq 2,7$	V
input RAS, CAS, WE	Eingang RAC, CAS, WE	U_{IH}	$\geq 2,7$	V
Output voltage — level H	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$	V
$I_O = 5 \text{ mA}$				
Output voltage — level L	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,4$	V
$I_{OL} = -3,2 \text{ mA}$				
Input leak current	Eingangs-Reststrom	I_I	-10 ... +10	μA
$I_I = 0 \dots \pm 7 \text{ V}$				
Output current in non active state	Ausgangsstrom im nicht aktiven Zustand	I_O	-10 ... +10	μA
$U_{DO} = 0 \dots +5,5 \text{ V}$				
Supply current av.	Speisestrom mittl.	I_{DD1}	≤ 35	mA
$t_{RC} = 510 \text{ ns}$				
Supply current in static (non function) regime	Speisestrom im statischen (nicht in Funktion) Zustand	I_{DD2}	$\leq 1,5$	mA
Supply current from supply U_{CC}	Speisestrom aus U_{CC} -Quelle	I_{CC}	-10 ... +10	μA
DO in non active state	DO im nicht aktiven Zustand			
Supply current from supply U_{BB}	Speisestrom aus U_{BB} -Quelle	I_{BB}	≤ 200	μA
$t_{RC} = 510 \text{ ns}$				

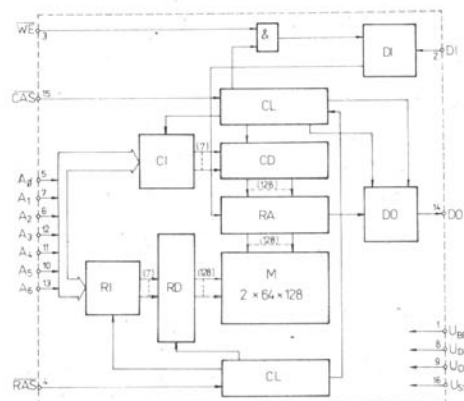
CAPACITANCES: KAPAZITÄTEN:
 $U_{SS} = 0 \text{ V}$, $U_{BB} = -5 \text{ V}$, $U_{CC} = +5 \text{ V}$, $U_{DD} = +12 \text{ V}$, $\vartheta_a = +25^{\circ}\text{C}$

Input capacity $A_0 \dots A_6$	Eingangskapazität $A_0 \dots A_6$	C_I	≤ 5	pF
RAS, CAS, WE, DI		C_I	≤ 10	pF
Output capacity DO	Ausgangskapazität DO	C_O	≤ 7	pF

DYNAMIC DATA ● DYNAMISCHE KENNDATEN

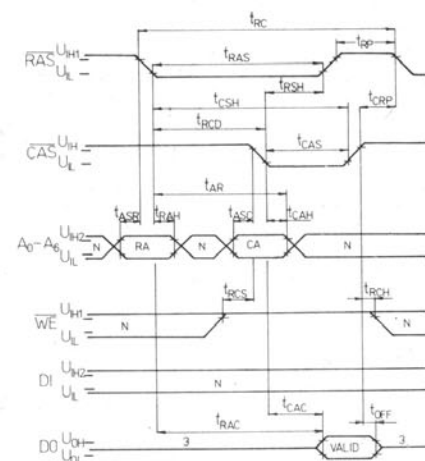
t_{RC}	≥ 510	ns	t_{REF}	≥ 2	ns
t_{RWC}	≥ 635	ns	t_{RAH}	≥ 40	ns
t_{RAC}	≤ 300	ns	t_{CAH}	≥ 90	ns
t_{CAS}	≤ 200	ns	t_{AR}	≥ 190	ns
t_{RP}	≥ 200	ns	t_{PC}	≥ 330	ns
t_{RAS}	300 ... 32 000	ns	t_{CWS}	≥ -20	ns
t_{CAS}	200 ... 10 000	ns	t_{WCH}	≥ 90	ns
t_{OFF}	0 ... 60	ns	t_{DS}	≥ 0	ns
			t_{DH}	≥ 90	ns

At memory switching on supply source must be connected as first supply voltage U_{BB} , afterwards U_{DD} , U_{CC} , at switch off as first U_{DD} , afterwards U_{CC} and as last U_{BB} . ● Beim Speicher-Einschalten auf Speisespannung muss als erste Speisespannung U_{BB} eingeschalten sein, dann folgen U_{DD} , U_{CC} , beim Ausschalten muss als erste Speisespannung U_{DD} , U_{CC} und als letzte U_{BB} ausgeschaltet sein.



Functional block diagram ● Funktions-Blockschaltung

- DI data input ● Dateneingang
- CI column address inputs ● Spaltenadresseneingang
- CL clock generator ● Taktgenerator
- CD column decoder ● Spaltendekoder
- RA read amplifiers ● Leseverstärker
- RI row address inputs ● Zeilenadresseneingang
- RD row decoder ● Zeilendekoder
- M memory matrix ● Speichermatrix 2×64×128
- DO data output ● Datenausgang
- $A_0 \dots A_6$ address inputs ● Adresseneingänge
- RAS row address strobe ● Zeilenadressenauswahl
- CAS column address strobe ● Spaltenadressenauswahl
- WE data write into memory ● Datenschieben



Impulse waveform ● Impulsdiagramm

UNIPOLAR STATIC PROGRAMMABLE MEMORY
ROM 8192 BIT, PROGRAMMED BY MANUFACTURER
ORGANISATION: 1024 × 8 BIT
THREE STATE OUTPUTS

UNIPOLARE STATISCHE PROGRAMMIERBARE SPEICHER
ROM 8192 BIT, PROGRAMMIERTE DIREKT BEIM HERSTELLER
ORGANISATION: 1024 × 8 BIT
AUSGÄNGE MIT DREI ZUSTÄNDEN

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_{DD}/U_{BB} \text{)}$	-0,3	+20	V
$U_X/U_{BB} \text{) } 2) \text{)}$	-0,3	+15	V
P_{tot}		1	W
ϑ_a	0	+70	°C

- 1) Voltage source U_{BB} must be connected as first to the integrated circuit, at breaking of the integrated circuit must be broke this source as the last. ● Die Speisespannung U_{BB} muss als erste an den Schaltkreis angeschlossen sein, bei Ausschaltung des Schaltkreises muss diese Speisespannung als letzte ausgeschaltet sein.
- 2) Outputs $O_0 \dots O_7$ in non active state ● Ausgänge $O_0 \dots O_7$ im nicht aktiven Zustand.
- 3) U_X — voltage of other pins. ● Spannung von übrigen Anschlüssen.

CHARACTERISTIC DATA: KENNDATEN:

$U_{SS} = 0, U_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}, U_{BB} = -5,0 \text{ V} \pm 0,25 \text{ V}, U_{DD} = 12 \text{ V} \pm 0,6 \text{ V}, \vartheta_a = 0 \text{ } ^\circ\text{C} \dots +70 \text{ } ^\circ\text{C}$

STATIC DATA:

STATISCHE KENNDATEN:

			min.-max.	
Current consumption	Stromaufnahme	$U_{DD} \text{)}$ I_{DD}	≤ 65	mA
		$U_{CC} \text{)}$ I_{CC}	≤ 10	mA
		$U_{BB} \text{)}$ I_{BB}	≤ 45	mA
Input leak current $U_I = 0 \dots U_{CC}$	Eingang-Reststrom	I_{LI}	≤ 10	μA
Output leak current in non active state $U_O = 0 \dots U_{CC} \text{)}$	Ausgangs-Reststrom im nicht aktiven Zustand	I_{LO}	≤ 10	μA
Input voltage — L level	Eingangsspannung — L-Zustand	U_{IL}	$U_{SS} \dots 0,65$	V
Input voltage — H level	Eingangsspannung — H-Zustand	U_{IH}	$3,0 \dots U_{CC} + 1$	V
Output voltage — L level $I_{OL} = 1,6 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,45$	V
Output voltage — H level $I_{OH} = -1 \text{ mA}$ $I_{OH} = -0,1 \text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$ $\geq 3,7$	V V

CAPACITANCE:

KAPAZITÄTEN:

$\vartheta_a = +25 \text{ } ^\circ\text{C}, f = 1 \text{ MHz}, U_{CC} = +5 \text{ V}, U_{DD} = +12 \text{ V}, U_{BB} = -5 \text{ V}, U_{SS} = 0 \text{ V}$

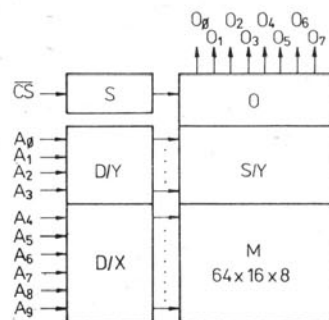
Input capacitance $U_I = 0 \text{ V}$	Eingangs-Kapazität	C_{IN}	≤ 6	pF
Output capacitance $U_O = 0 \text{ V}$	Ausgangs-Kapazität	C_O	≤ 12	pF

DYNAMIC DATA ● DYNAMISCHEN KENNDATEN:

Address to output delay time	Adresse zum Ausgang Verzögerungszeit	t_{ACC}	≤ 450	ns
Chip select to output delay time	Chip-Auswahl zum Ausgang Verzögerungszeit	t_{CO}	≤ 120	ns
Chip de-select to output float time	Chip-Auswahl Rücknahme zu Gleitgang Schaltzeit	t_{DF}	$0 \dots 120$	ns
Address to output hold time	Adresse zu Ausgangs-Halt Schaltzeit	t_{OH}	≥ 0	ns

1) All inputs are connected to voltage U_{CC} . ● Alle Eingänge sind an Speisespannung U_{CC} angeschlossen.

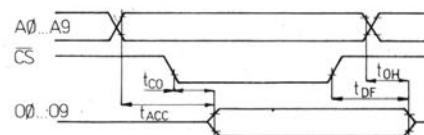
2) On the input \overline{CS} is connected the voltage U_{IH} . ● Auf dem Eingang \overline{CS} ist eine Spannung U_{IH} angeschlossen.



Block diagram ● Blockschaltung

$A_0 \dots A_9$ — Address inputs ● Adressen-Eingänge
 $O_0 \dots O_7$ — Outputs ● Ausgänge
 \overline{CS} — Chip select ● Chipauswahl

D/Y decoder Y ● Dekodierer Y
D/X decoder X ● Dekodierer X
O output buffers ● Ausgangs-Puffer
S chip select logic ● Chip-Auswahl-Logik
S/Y gating Y ● Y-Steuerung
M ROM array ● ROM-Matrix
 $64 \times 16 \times 8$



Waveforms ● Impulssdiagramm

UNIPOLAR INTEGRATED CIRCUITS NMOS
UNIPOLARE INTEGRIERTE SCHALTkreISE NMOS
REPROGRAMMABLE MEMORY ● REPROGRAMMIERBARER SPEICHER EPROM 8192 BIT

MHB8708C

**ERASABLE AND ELECTRICALLY REPROGRAMMABLE
 READ ONLY MEMORY EPROM**

ORGANISATION: 1024 × 8 BIT
MEMORY MATRIX: 64 × 16 × 8

LÖSCHBARER UND ELEKTRISCH NEU PROGRAMMIERBARER FESTWERTSPEICHER EPROM

ORGANISATION: 1024 × 8 BIT
SPEICHER MATRIX: 64 × 16 × 8

MAXIMUM RATINGS ● GRENZDATEN

U_{DD}/U_{BB}	-0,3	+20	V
$U_X/U_{BB}^1)$	-0,3	+15	V
P_{tot}		1	W
ϑ_a	0	+70	°C

¹⁾ U_X — voltage of other single pins. ● Spannung von übrigen Anschlüssen.

CHARACTERISTIC DATA: KENNDATEN:

$U_{SS} = 0 V, U_{CC} = +5 V \pm 0,25 V, U_{BB} = -5 V \pm 0,25 V,$
 $U_{DD} = 12 V \pm 0,6 V, \vartheta_a = 0 \dots +70^\circ C$

Nominal static data:	Nominale statische Kenndaten:	min.-max.		
Current consumption ¹⁾	Stromaufnahme	U_{DD}	I_{DD}	≤ 65 mA
		U_{CC}	I_{CC}	≤ 10 mA
		U_{BB}	I_{BB}	≤ 45 mA
Input leak current $U_I = 0 \dots U_{CC}$	Eingangsstrom		I_{LI}	≤ 10 μA
Output leak current in non active state $U_O = 0 \dots U_{CC}^2)$	Ausgangsstrom im nicht aktiven Zustand		I_{LO}	≤ 10 μA
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	$U_{SS} \dots 0,65$	V
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	$3,0 \dots U_{CC} + 1$	V
Output voltage — level L $I_{OL} = 1,6$ mA	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,45$	V
Output voltage — level H $I_{OH} = -1$ mA $I_{OH} = -0,1$ mA	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$	V
		U_{OH}	$\geq 2,7$	V
$\overline{CS}/\overline{WE}$ Input voltage during programming	Eingangsspannung auf $\overline{CS}/\overline{WE}$ während Programmierung		U_{IHW}	$11,4 \dots 12,6$ V
$\vartheta_a = 25^\circ C$				
Program impulse — level L $U_{IHP} - U_{ILP} \geq 25$ V, $\vartheta_a = 25^\circ C$	Programmierimpulsen — L-Zustand		U_{ILP}	$U_{SS} \dots 1$ V
Program impulse — level H $U_{IHP} - U_{ILP} \geq 25$ V, $\vartheta_a = 25^\circ C$	Programmierimpulsen — H-Zustand		U_{IHP}	$25 \dots 27$ V
PRG input leak current $\vartheta_a = 25^\circ C$	PRG-Eingangsstrom		$-I_{PL}$	≤ 3 mA
			$-I_{PH}$	≤ 20 mA

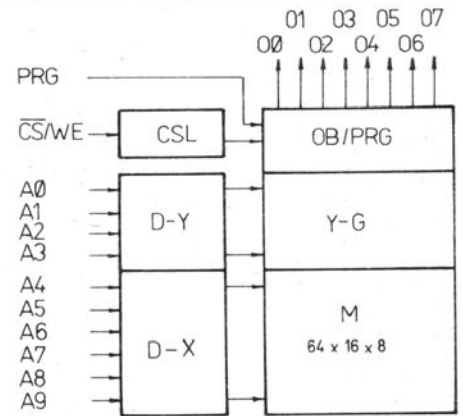
¹⁾ All inputs are connected to voltage U_{CC} . ● Alle Eingänge sind auf Spannung U_{CC} angeschlossen.

²⁾ On input \overline{CS} is connected voltage U_{IH} . ● Auf den Eingang \overline{CS} ist Spannung U_{IH} zugeführt.

DYNAMIC DATA ● DYNAMISCHE KENNDATEN:

READ OPERATION ● LESEPROGRAMM		PROGRAMMING OPERATION ● PROGRAMMIERUNG $\vartheta_a = 25^\circ C$	
t_{ACC}	≤ 450 ns	t_{AS}	≤ 10 μs
t_{CO}	≤ 120 ns	t_{CSS}	≤ 10 μs
t_{DF}	$0 \dots 120$ ns	t_{DS}	≤ 10 μs
t_{OH}	≥ 0 ns	$t_{AH}^1)$	≤ 1 μs
Output load: 1 gate TTL, $C_L = 100$ pF		$t_{CH}^1)$	$\leq 0,5$ μs
Ausgangslast: 1 TTL-Gatter, $C_L = 100$ pF		t_{DH}	≤ 1 μs
		t_{DPR}	≤ 10 μs
		$t_{PW}^2)$	$0,1 \dots 1$ μs
		t_{PR}	$0,5 \dots 2$ μs
		t_{PF}	$0,5 \dots 2$ μs

- 1) $t_{AH} > t_{CH}$
- 2) $N_{xt} p_{iw} \leq 100$ ms, N are programming cycle number. ● N ist Nummer von Programmierungszyklen.
- 3) One of N program loops. ● Eine von N-Programmschleifen.
- 4) Read (after N programming loops) ● Lesen (nach N-Programmschleifen).
- 0 address ● Adresse 0
- 1... 1023 address. ● Adresse 1... 1023.

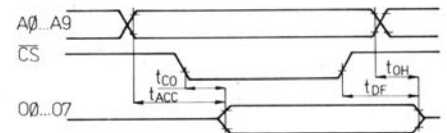


Function block diagram ● Funktionsblöckschaltung

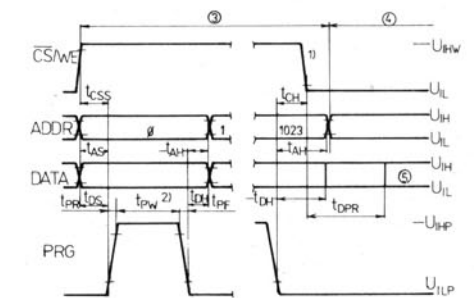
- $A_0 \dots A_9$ address inputs ● Adressen-Eingänge
- $O_0 \dots O_7$ data outputs ● Datenausgängen
- $\overline{CS}/\overline{WE}$ chip select/write enable inputs ● Chip-Auswahl-/Schreib-Freigabe-Eingang
- CSL chip select logic ● Chip-Auswahl-Logik
- D-Y decoder Y ● Y-Dekodierer
- D-X decoder X ● X-Dekodierer
- OB/PRG Output buffer and programming circuits ● Ausgangs-Puffer und Programmierkreise
- Y-G gating Y ● Y-Steuerung
- M memory matrix ● Speicher-matrix

FUNCTION TABLE p. 140
 FUNKTIONSTABELLE S. 140

READ OPERATION ● LESEPROGRAMM



PROGRAMMING OPERATION ● PROGRAMMIERUNG

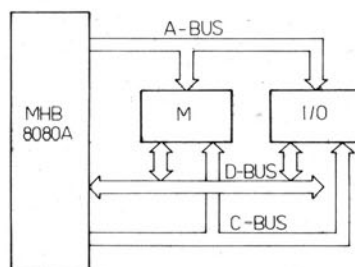


Impulse waveform ● Impulsdiagramm

**SURVEY
ÜBERSICHT**

**RECOMMENDED INTEGRATED CIRCUITS FOR MICROCOMPUTER APPLICATIONS
EMPFOHLENE INTEGRIERTE SCHALTkreISE
FÜR MIKRORECHNER-ANWENDUNG**

FUNCTION FUNKTION	Type Typ	Description Beschreibung	t _{Acc} t _{AVQV} * max. ns	SUITABLE FOR MICROPROCESSOR SYSTEM ● EIGNET SICH FÜR MIKROPROZESSOR-SYSTEM					
				8008	8080A	8085	8035	8048	8748
Static RAM	MHB1902	1024×1 CMOS	800	x	x	x	x	x	x
	MHB2102	1024×1 NMOS	1000	x	x	x	x	x	x
	MHB2102/2	1024×1 NMOS	650	x	x	x	x	x	x
	MHB2114	1024×4 NMOS	450	x	x	x	x	x	x
	MH7489	16×4 bipolar	60*	x	x	x			
	MH74S201	16×16 bipolar	65*	x	x	x			
	MH74S201E	16×16 bipolar	80*	x	x	x			
	MH82S11	32×32 bipolar	90*	x	x	x			
Dynamic RAM	MHB4116	16 384×1 NMOS	300		x	x			
	MHB4116C	16 384×1 NMOS	300		x	x			
Mask programmable ROM	MHB2501, A	256×10 alfan.			x	x			
	MHB2502, A	256×10 alfan.			x	x			
	MHB2503, A	256×10 ISO/7			x	x			
	MH74S187	256×4 bipolar	65*		x	x			
Electric programmable ROM	MHB8608	1024×8 NMOS	450	x	x	x	x	x	x
	MH74188	32×8 bipolar	50*	x	x	x			
	MH74S287	256×4 bipolar	65*		x	x			
	MH74S571	512×4 bipolar	65*		x	x			
Reprogrammable EPROM	MHB8708C	1024×8 NMOS	450	x	x	x	x	x	x
Peripheral circuits Peripherie-Schaltkreise	MH3205	1—8 decoder		x	x	x	x	x	x
	MH3212	8-Bit latch		x	x	x	x	x	x
	MH3214	priority unit		x	x	x	x	x	x
	MH3216	4-Bit bus driver non inv.		x	x	x	x	x	x
	MH3226	4-Bit bus driver inv.		x	x	x	x	x	x
	MH8224	clock generator			x				
	MH8228	system controller			x				
	MH8251	USART		x	x	x	x	x	x
	MH8251C	USART		x	x	x	x	x	x
	MH8255A	PPI		x	x	x	x	x	x
	MH8255AC	PPI		x	x	x	x	x	x
	MH8641	bus driver/receiver			x				
	MH100	interpolator			x	x			
	MH101	CRC controller			x	x			
MH102	hardw. multiplier			x	x				
MHB1012	UART		x	x	x				



Typical microcomputer system block diagram.
Typische Mikrorechnersystem-Blockschaltung.

CENTRAL PROCESSING UNIT (CPU) WORKING WITH 8 BIT BIDIRECTIONALLY DATA BUS AND 16 BIT ADDRESS BUS, WITH PERMIT CO-OPERATION WITH EXTERNAL MEMORY TO MAX. 64 KBYTE AND ADDRESSING OF 256 PERIPHERY EQUIPMENT. CPU CONTAINS EFFICIENT 78 INSTRUCTION SET, 8 INTERRUPT VECTORS, HE PERMITS OPERATION OF DIRECT MEMORY ACCESS (DMA).

CENTRAL PROZESSOREINHEIT (CPU) ARBEITET MIT 8-BIT ZWEIWEG-DATA-BUS UND 16-BIT ADRESSEN-BUS, WAS EINE MITARBEIT MIT AUSSENSPEICHER MIT MAX. 64 KBYTES UND ADRESSIERUNG VON 256 PERIPHERIEINHEITEN ERLAUBT. CPU ENTHÄLT LEISTUNGSFÄHIGER BEFEHLSSTZ MIT 78 BEFEHLEN, 8 UNTERBRECHUNGS-VEKTOREN, ERMÖGLICHT OPERATIONEN MIT DIREKTEM SPEICHERZUGRIFF (DMA).

OUTLINES ● GEHÄUSE: MHB8080A IO—20A
MHB8080AC IO—20C/1

MAXIMUM RATINGS ● GRENZDATEN:

	min.	max.	
$U/U_{BB} \text{)}$	-0,3	+20	V
P_{tot}		1,5	W
ϑ_a	0	+70	°C

1. Of single pins to U_{BB} ● Von einzelnen Ausführungen gegen U_{BB} .
2. As first must be connected supply voltage U_{BB} , at disconnection must be supply U_{BB} disconnected as last. ● Als erster muss die Speisespannung U_{BB} eingeschalten sein, beim Ausschalten muss die Speisespannung U_{BB} als letzte ausgeschaltet sein.

CHARACTERISTIC DATA: KENNDATEN:

$U_{BB} = -5,0 \text{ V} \pm 0,25 \text{ V}$, $U_{CC} = +5,0 \text{ V} \pm 0,25 \text{ V}$, $U_{DD} = +12 \text{ V} \pm 0,5 \text{ V}$,
 $U_{SS} = 0 \text{ V}$, $\vartheta_a = 0 \dots +70 \text{ }^\circ\text{C}$

		min.	max.
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	$U_{SS}-1$ $U_{SS}+0,8 \text{ V}$
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	3,3 $U_{CC}+1 \text{ V}$
Clock input voltage level L	Takteingangs-Spannung L-Zustand	U_{ILC}	$U_{SS}-1$ $U_{SS}+0,8 \text{ V}$
Clock input voltage level H	Takteingangs-Spannung H-Zustand	U_{IHC}	9,0 $U_{DD}+1 \text{ V}$
Clock input leak current $U_{SS} \leq U_{IC} \leq U_{DD}$	Takteingangs-Reststrom	I_{LC}	$\leq \pm 10 \text{ } \mu\text{A}$
Other inputs leak current $U_{SS} \leq U_I \leq U_{CC}$	Reststrom von anderen Eingängen	I_{IL}	$\leq \pm 10 \text{ } \mu\text{A}$
Data bus leak current in input mode $U_{SS} \leq U_I \leq U_{SS} + 0,8 \text{ V}$ $U_{SS} + 0,8 \text{ V} \leq U_I \leq U_{CC}$	Daten-BUS-Reststrom	$-I_{DL}$ I_{DL}	$\leq 100 \text{ } \mu\text{A}$ $\leq 2000 \text{ } \mu\text{A}$
Data and address bus leak current during state HOLD $U_I = U_{CC}$ $U_I = U_{SS} + 0,45 \text{ V}$	Daten- und Adressen-BUS-Reststrom HALT-Zustand	$-I_{FL}$ I_{FL}	$\leq 10 \text{ } \mu\text{A}$ $\leq 100 \text{ } \mu\text{A}$
Output voltage — level L $I_{OL} = 1,0 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,45 \text{ V}$
Output voltage — level H	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 3,7 \text{ V}$
Power supply current ($t_{cy} = 0,48 \text{ } \mu\text{s}$) ²⁾	Stromaufnahme	nom.	
supply U_{DD}	Spannungsquelle U_{DD}	I_{DD}	40 $\leq 70 \text{ mA}$
supply U_{CC}	Spannungsquelle U_{CC}	I_{CC}	60 $\leq 80 \text{ mA}$
supply U_{BB}	Spannungsquelle U_{BB}	I_{BB}	0,01 $\leq 1 \text{ mA}$

Capacitance: ³⁾ Kapazitäten:

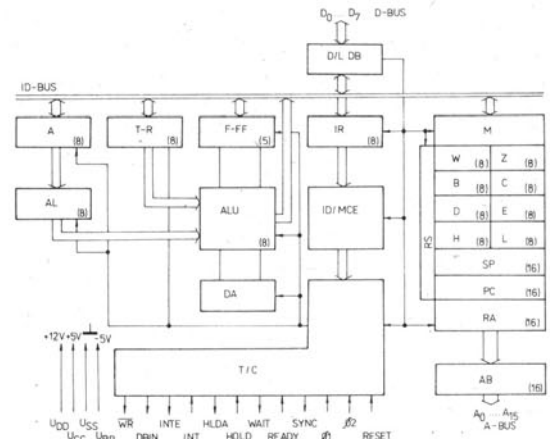
$U_{SS} = U_{CC} = U_{DD} = 0 \text{ V}$, $U_{BB} = -5 \text{ V}$, $\vartheta_a = 25 \text{ }^\circ\text{C}$, $f = 1 \text{ MHz}$

Clock capacitance	Takteingangs-Kapazität	C_I	17 $\leq 25 \text{ pF}$
Input capacitance	Eingangs-Kapazität	C_I	6 $\leq 10 \text{ pF}$
Output capacitance	Ausgangs-Kapazität	C_O	10 $\leq 20 \text{ pF}$

¹⁾ When DBIN is on level H, $U_I \geq U_{IH}$, will be on data bus overvoltage. ● Wenn das DBIN-Signal hat H-Zustand, $U_I \geq U_{IH}$, wird eine interne Vorspannung auf den Daten-BUS gegeben.

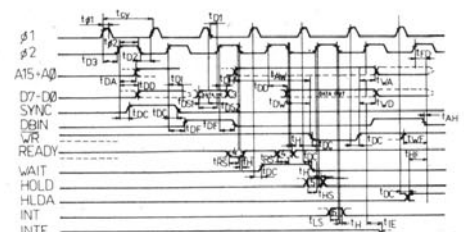
²⁾ Average value. ● Mittlerer Wert.

³⁾ Unmeasured pins are connected with U_{SS} . ● Nicht gemessene Ausführungen sind mit U_{SS} verbunden.

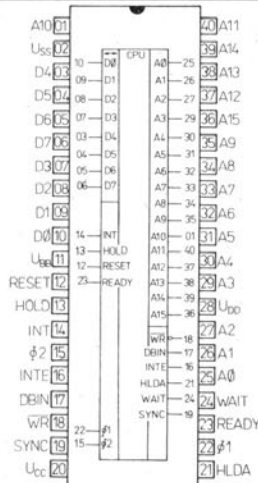


Functional block diagram ● Funktions-Blockschaltung

- D/L DB data BUS buffer/latch ● Daten-BUS Puffer/Signalspeicher
- ID-BUS bi-directional data BUS ● Interner Daten-BUS
- A accumulator ● Akkumulator
- T-R temp register ● Zwischenregister
- F-FF flag flip-flops ● Flag Flip-Flops
- I-R instruction register ● Befehlsregister
- AL accumulator latch ● Akkumulator-Signalspeicher
- ALU arithmetic logic unit ● Arithmetik-Logik-Einheit
- DA decimal adjust ● Dezimal-Korrektur
- ID/MCE instruction decoder and machine cycle encoding ● Befehlsdekodierer und Operationszyklus-Kodierung
- T/C timing and control ● Takt- und Steuerblock
- RS register select ● Registerauswahl
- M multiplexer ● Multiplexer
- W, Z temp. register. ● Zwischenregister
- B, C, D, E, H, L register ● Register
- SP stack pointer ● Stapelzeiger
- PC program counter ● Befehlszähler
- RA incrementer/decrementer address latch ● Auf-/Abwärtszähler/Adressen-Signalspeicher
- BA-BUS address buffer ● Adressen-puffer
- A-BUS address BUS ● Adressen-BUS



Impuls waveform ● Impulsiagramm



STATE INFORMATION AND OPERATION CYCLE SURVEY
ZUSTANDS-INFORMATION UND OPERATIONSZYKLEN-ÜBERSICHT

DATA BUS OUTPUTS AND THEIR SIGNIFICATION DATEN-BUS-AUSGANGEN UND IHREN BEDEUTUNG								OPERATION CYCLUS OPERATIONS-ZYKLUS
D0	D1	D2	D3	D4	D5	D6	D7	
INTA	WO	STACK	HLTA	OUT	M1	INP	MEMR	
L	H	L	L	L	H	L	H	FETCH (M1)
L	H	L	L	L	L	L	H	instruction cause ● Befehlsabruf
L	L	L	L	L	L	L	L	MEMR
L	L	L	L	L	L	L	L	memory read ● Speicher Lesen
L	H	H	L	L	L	L	H	MEMW
L	L	H	L	L	L	L	L	memory write ● Speicher Schreiben
L	L	L	L	L	L	L	L	STACKR
L	H	L	L	L	L	L	L	temp. register read ● Stapel Lesen
L	L	L	L	L	L	L	L	STACKW
L	L	L	L	L	L	L	L	temp. register write ● Stapel Schreiben
L	L	L	L	L	L	L	L	IOR
L	L	L	L	L	L	L	L	input read ● Eingang Lesen
L	L	L	L	H	L	L	L	IOW
L	L	L	L	L	L	L	L	write into output ● Ausgang Schreiben
H	H	L	L	L	H	L	L	INTA
L	H	L	H	L	L	L	H	interrupt accept ● Unterbrechungs-Quittung
H	H	L	H	L	L	L	L	HALT (TWH)
								HALT accept ● HALT-Quittung
								INTA (TWH)
								interrupt accept in HALT state ● Unterbrechungs-Quittung des HALT-Zustandes

- ϕ_1, ϕ_2 two phases clock inputs (non TTL compatible) ● Zwei von ausserhalb zugeführte Taktphasen (TTL-nicht kompatibel)
- SYNC synchronizing signal output (indicate the beginning of each machine cycle) ● Synchronisationssignal-Ausgang (für Anzeige des Anfangs eines jeden Operationszykluses)
- RESET input for clearing of program counter and internally flip-flops in timing control block ● Rücksetzeingang des Inhalts-Befehlzählers und internen Flip-Flops in Takt- und Steuerungsblock
- A₀ ... A₁₅ address bus (output three-state) for memory addressing ● Adress-BUS (Ausgang mit drei Zuständen) für Speicheradressierung
- D₀ ... D₇ data bus for bi-directional communication with memory and I/O devices ● Daten-BUS für Zweiweg-Informationsaustausch zwischen Speicher und E/A-Einheiten
- DBIN output for indication of preparation for data receiving during operation cycle FETCH, MEMR, STACKR, IOR ● Daten-BUS-Eingabe-Ausgang für Vorbereitungsanzeige des Datenempfangs während der Operationszyklen FETCH, MEMR, STACKR, IOR
- \overline{WR} output for indication of transmitted data presence on data bus during operation cycle MEMW, STACKW, IOW ● Ausgang für Anwesenheitsanzeige der übertragenen Daten während der Operationszyklen MEMW, STACKW, IOW
- READY input for indication of memory or I/O devices preparation to co-operation ● Eingang für Anzeige von Mitarbeit-Vorbereitung des Speichers und der E/A-Einheiten
- WAIT output for state HOLD indication ● Ausgang für Wartezustandsanzeige des Mikroprozessors
- HOLD input for request the CPU to enter the HOLD state ● Eingang für Anforderung der CPU in HOLD-Zustand zu übergehen
- HLDA output to state HOLD indication ● Ausgang für die HOLD-Zustands-Anzeige
- INT interrupt request input ● Unterbrechungs-Anforderung-Eingang.
- INTE output for contents of the internal enable flip-flop ● Ausgang für Zustandsanzeige des internen Unterbrechungs-Freigabe-Flip-Flops

DYNAMIC DATA ● DYNAMISCHE KENNDATEN:

$U_{BB} = -5 V \pm 0,25 V$, $U_{CC} = +5 V \pm 0,25 V$, $U_{DD} = +12 V \pm 0,5 V$,
 $U_{SS} = 0 V$, $\vartheta_a = +25^\circ C$

	min.-max.	
$t_{cy}^1)$	0,48 ... 2	μs
$t_{r\phi}, t_{f\phi}$	≤ 50	ns
$t_{\phi 1}$	≤ 60	ns
$t_{\phi 2}$	≤ 220	ns
t_{D1}	≤ 0	ns
t_{D2}	≤ 70	ns
t_{D3}	≤ 80	ns
$t_{DA}^2) 6)$	≤ 200	ns
$t_{DD}^2) 6)$	≤ 220	ns
$t_{DC}^2) 3) 7)$	≤ 120	ns
$t_{DF}^2) 7)$	25 ... 140	ns
$t_{DI}^4)$	$\leq t_{DF}$	ns
t_{DS1}	≤ 30	ns
t_{DS2}	≤ 150	ns
$t_{DH}^4)$		
$t_{IE}^2) 7)$	≤ 200	ns
t_{rD}	≤ 120	ns
t_{rS}		ns
t_{rH}		ns
$t_{rH}^5)$		ns
$t_{AW}^2) 6) = 2t_{cy} - t_{D3} - t_{r\phi 2} - 140$		ns
$t_{WA}^2) 6) = t_{WD} = t_{D3} + t_{r\phi 2} + 10 ns$; HLDA = L		
$= t_{WD} = t_{WF}$		
$t_{DW}^2) 6) = t_{cy} - t_{D3} - t_{r\phi 2} - 170$		ns
$t_{WD}^2) 6)$		
$t_{HF}^2) 7) = t_{D3} + t_{r\phi 2} - 50$		ns
$t_{WF}^2) 7) = t_{D3} + t_{r\phi 2} - 10$		ns
$t_{AH}^2) 7)$		

1. $t_{cy} = t_{D3} + t_{r\phi 2} + t_{\phi 2} + t_{f\phi 2} + t_{D2} + t_{r\phi 1}$

2. $R_L = 2,1 k\Omega$, $4 \times KA206$

3. Valid for/gültig für SYNC, \overline{WR} , WAIT, HLDA.

4. Data input should be enabled with DBIN signal. No bus conflict can then occur and data hold time is assured $t_{DH} \leq 50 ns$ or $t_{DH} \leq t_{DF}$. ● Dateneingänge sind mit DBIN-Zustand freizugeben. Auf diese Weise werden BUS-Konflikte vermieden und die Daten-Haltezeit ist sichergestellt ($t_{DH} \leq 50 ns$ oder $t_{DH} \leq t_{DF}$).

5. In HALT state before trailing edge ϕ_1 . ● In HALT-Zustand vor ϕ_1 — Impulsabfallflanke.

6. $C_L = 100 pF$

7. $C_L = 50 pF$

PROGRAMMABLE COMMUNICATION INTERFACE DEVICE IS A UNIVERSAL SYNCHRONOUS/ASYNCHRONOUS RECEIVER/TRANSMITTER (USART) DESIGNED IN CONNECTION OF PERIPHERAL DEVICES WITH SERIAL DATA TRANSMITTING AND MICROCOMPUTER SYSTEM MHB8080A. OPERATION MODE, DATA BIT NUMBER, TERMINATION METHOD BY PARITY ARE GIVEN BY PROGRAMMING. CHIP ARCHITECTURE PERMITTED FULL DUPLEX OPERATION AT FULL COMPATIBILITY WITH TTL.

PROGRAMMIERBARER SERIENSCHNITTSTELLEN-BAUSTEIN IST EIN UNIVERSELLER SYNCHRON/ASYNCHRONSENDER/EMPFÄNGER (USART), WELCHER ARBEITET IM VERBINDUNG MIT PERIPHERIEGERÄTEN UND MIKRORECHNERSYSTEMEN MHB8080A DURCH SERIELLEN DATENÜBERTRAGUNG. BETRIEBSART, DATENBIT-ANZAHL, BEENDIGUNGSART DURCH PARITÄT IST DURCH DEN PROGRAMM GEBEN. CHIP-ARCHITEKTUR ERMÖGLICHT VOLLDUPLEX-BETRIEB BEI VOLLE KOMPATIBILITÄT MIT TTL.

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_X/U_{SS} \text{ 1)}$	-0,5	+7,0	V
P_{tot}		1,0	W
ϑ_a	0	+70	°C

1) U_X — voltage of single pins with respect to U_{SS} . ● Spannung von übrigen Anschlüssen gegen U_{SS} .

Outlines ● Abmessungen: MHB8251 IO—19A
 MHB8251C IO—19A/C2

CHARACTERISTIC DATA: KENN DATEN:

$U_{CC} = 4,75 \text{ V} \dots 5,25 \text{ V}$, $U_{SS} = 0 \text{ V}$, $\vartheta_a = 0 \dots +70 \text{ °C}$

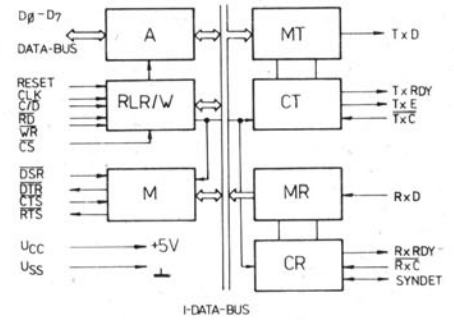
		min.-max.	
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	-0,5 ... +0,8 V
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	2,0 ... U_{CC} V
Output voltage — level L $I_{OL} = 1,6 \text{ mA}$	Ausgangsspannung — L-Zustand	U_{OL}	$\leq 0,45$ V
Output voltage — level H $I_{OH} = -0,1 \text{ mA}$	Ausgangsspannung — H-Zustand	U_{OH}	$\geq 2,4$ V
Supply current	Stromaufnahme	I_{CC}	45 \leq 80 mA
Data bus leakage current $U_O = 0,45 \text{ V}$ $U_O = U_{CC}$	Datenbus-Reststrom	$-I_{DL}$	$\leq 50 \mu\text{A}$
		I_{DL}	$\leq 10 \mu\text{A}$
Input leakage current $U_I = U_{CC}$	Eingangs-Reststrom	I_{IL}	$\leq 10 \mu\text{A}$

CAPACITANCE: KAPAZITÄTEN:

$U_{CC} = U_{SS} = 0 \text{ V}$, $\vartheta_a = +25 \text{ °C}$

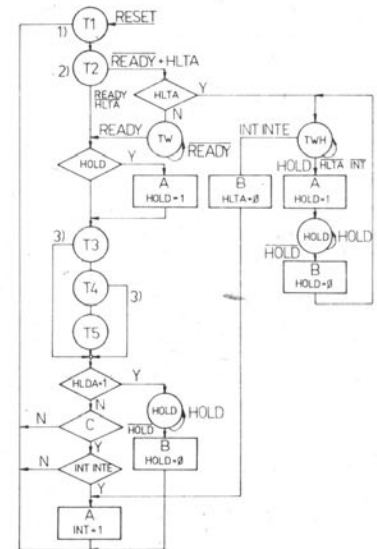
Input capacity $f_G = 1 \text{ MHz}$	Eingangskapazität	C_I	≤ 10 pF
Data bus I/O capacity	Datenbus E/A-Kapazität	$C_{I/O}$	≤ 20 pF

1) Unmeasured pins are connected to U_{SS} . ● Nicht gemessene Anschlüsse sind an U_{SS} angeschlossen.



Functional block diagram
 Funktions-Blockschaltung

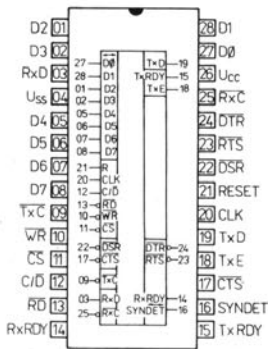
- A data bus buffer ● daten-BUS-Puffer
- DATA-BUS data bus ● Daten-BUS
- M modem control ● Modem-Steuerung
- MT transmitter buffer ● Sende-Puffer
- CT transmitter control ● Sende-Steuerung
- MR receiver buffer ● Empfangs-Puffer
- CR receiver control ● Empfangs-Steuerung
- I-DATA-BUS internal data bus ● Interner Daten-BUS



- 1) INT = 1, INTE = 0
- 2) INTE = 1, INT = 0
- 3) In dependence of performed instruction. ● In Abhängigkeit von der ausgeführten Instruktion.

- A Internal flip flop setting. ● Einstellung des internen Flipflops.
- B Internal flip flop reset. ● Rücksetzung des internen Flipflops.
- C Terminated instruction cycle. ● Beendeter Instruktionszyklus
- N No/Nein
- Y Yes/Ja

Development function diagram
 Funktions-Entwicklungsdiagramm



Base connection ● Sockelschaltung
(Top view ● Ansicht von oben)

- D₀...D₇** data bus of microcomputer ● Daten-BUS von Mikrocomputer
- CLK** clock input ● Takteingang
- RESET** reset input ● Rücksetzeingang
- \overline{CE}** chip enable input ● Chip-Freigabeingang
- WR** input for write data from D₀...D₇ into transmitting equalizer memory ● Eingang für Datenschieben aus D₀...D₇ in Sender-Ausgleichs Speicher
- \overline{RD}** input for data ready from receiver output memory into D₀...D₇ ● Eingang für Datenlesen aus Empfänger-Ausgangsspeicher in D₀...D₇
- $\overline{C/D}$** input for control or data transmitting between D₀...D₇ and data bus buffer ● Eingang für Lesen oder Schreiben von Steuerinformationen oder Daten zwischen D₀...D₇ und Daten-BUS-Puffer:
C/D = L D₀...D₇ = data ● Daten
C/D = H D₀...D₇ = control word or status information ● Steuer- oder Zustandsinformation
- \overline{DSR}** data set ready input ● Datenübertragungseinrichtung-Bereit-Eingang
- \overline{DTR}** data terminal ready input ● Datenstation-Bereit-Eingang
- \overline{RTS}** request to send data output ● Sendeaufforderung-Datenausgang
- \overline{CTS}** clear to send data input ● Sendebereitschaft-Dateneingang
- TxC** transmitter clock impulse input ● Sendetakteingang
- TxD** serial data transmitter output ● Sende-Datenausgang
- TxRDY** transmitter ready output (can be data receiving from MHB8080A) ● Sender-Bereit-Ausgang (kann Daten vom MHB8080A annehmen)
- RxRDY** receiver ready output (can be data transmitted into MHB8080A) ● Empfänger-Bereit-Ausgang (kann Daten an den MHB8080A liefern)
- TxE** transmitter empty output (past memory empty is in state H) ● Sendepuffer-Ausgang (wenn keine Zeichen zum Aussenden sind, hat den Ausgang H-Zustand)
- RxC** receiver clock impulse input ● Empfangs-Takteingang
- RxD** receiver serial input ● Empfangs-Seriendateneingang
- SYNDET** sync detect (only at synchron mode) ● Synchronisationserkennung (nur bei Synchronbetrieb)

DYNAMIC DATA ● DYNAMISCHE KENNDA TEN

U_{CC} = 5,0 V ± 0,25 V, U_{SS} = 0 V, ϑ_a = +70 °C

	min.-max.	
t _{cy}	0,42 ... 1,35	μs
t _{φW}	220 ... 0,7 t _{cy}	ns
t _{rφ} , t _{fφ}	0 ... 50	ns
t _{AR}	≧ 50	ns
t _{RA} ¹⁾	≧ 5	ns
t _{RR}	≧ 430	ns
t _{RD} ²⁾	≧ 350	ns
t _{DF} ²⁾	≧ 200	ns
t _{DF} ³⁾	≧ 25	ns
t _{AW} , t _{WA} ¹⁾	≧ 20	ns
t _{WW}	≧ 400	ns
t _{DW}	≧ 200	ns
t _{WD}	≧ 40	ns
t _{rv} , t _{rt}	≧ 6 · t _{cy}	μs
t _{wc} , t _{cr}	≧ 16 · t _{cy}	μs
f _{Tx} , f _{Rx}	0 ... 56	kHz
f _{Tx} , f _{Rx} ⁵⁾	0 ... 520	kHz
t _{TPW} , t _{RPW} ⁴⁾	≧ 12 · t _{cy}	μs
t _{TPW} , t _{RPW} ⁵⁾	≧ 1 · t _{cy}	μs
t _{TPD} , t _{RPD} ⁴⁾	≧ 15 · t _{cy}	μs
t _{TPDx} , t _{RPD} ⁵⁾	≧ 3 · t _{cy}	μs
t _{DTx} ²⁾	≧ 1	μs
t _{SRx} , t _{HRx} ²⁾	≧ 2	μs
t _{Tx} , t _{TxE} ⁶⁾	≧ 16 · t _{cy}	μs
t _{Rx}	≧ 20 · t _{cy}	μs
t _{IS}	≧ 25 · t _{cy}	μs
t _{ES}	≧ 16 · t _{cy}	μs

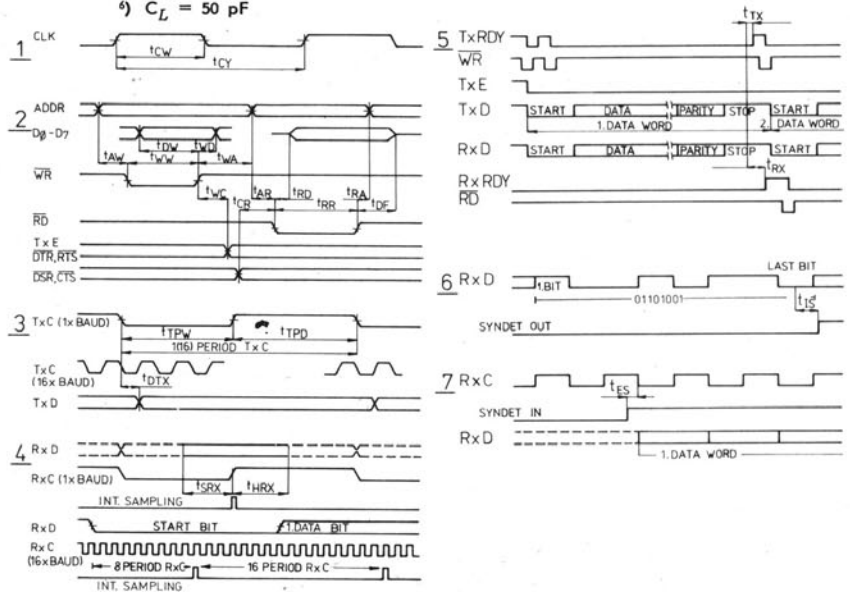
¹⁾ Signals \overline{CS} and $\overline{C/D}$ as address ● \overline{CS} - und $\overline{C/D}$ -Signalen sind als Adressen bestimmt

²⁾ C_L = 100 pF

³⁾ C_L = 15 pF

⁴⁾ 1X Baud rate ● 1X Datenübertragungsgeschwindigkeit
Tx_C and Rx_C frequencies limitations with respect to CLK ● Für Tx_C und Rx_C Frequenzen gelten Beschränkungen bezüglich CLK

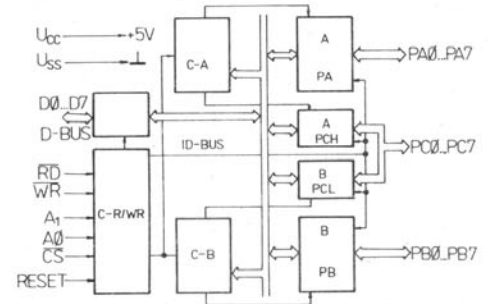
⁵⁾ 16X and 64X Baud rate ● 16X and 64X Datenübertragungsgeschwindigkeit. f_{Tx}, f_{Rx} ≤ 1/(30 · t_{cy})
⁶⁾ C_L = 50 pF



- 1 Clock impulse ● Taktimpuls
 - 2 Read and write timing ● Lesen und Schreiben
 - 3 Transmitter clock and data ● Sendetakt und Daten
 - 4 Receiver clock and data ● Empfangstakt und Daten
 - 5 TxRDY, RxRDY timing (asynch mode) ● Zeitablauf (Asynchronbetrieb)
 - 6 Internal sync detect ● Interne Synchronisationserkennung
 - 7 External sync detect ● Externe Synchronisationserkennung
- 01101001 Sync character ● Synchr. Zeichen

PROGRAMMABLE DEVICE FOR PARALLEL CONNECTION OF INPUT/OUTPUT PERIPHERAL EQUIPMENT FOR MICROCOMPUTER SYSTEM MHB8080A. THE DEVICE HAS 24 I/O PINS FOR EXTERNAL EQUIPMENT CONNECTION, WHICH MAY BE PROGRAMMED IN TWO GROUPS. THE FUNCTIONAL CONFIGURATION IS PROGRAMMED BY THE SYSTEM SOFTWARE. INPUTS AND OUTPUTS TTL COMPATIBLE.

PROGRAMMIERBARER SCHALTSTREIFEN FÜR PARALLELEN ANSCHLUSS VON EINGANGS/AUSGANGS PERIPHEREN GERÄTEN FÜR MIKRORECHNER-SYSTEM MHB8080A. DER SCHALTSTREIFEN HAT 24 E/A-ANSCHLÜSSE, DIE IN ZWEI GRUPPEN PROGRAMMIERT WERDEN KÖNNEN. DIE FUNKTIONELLE EIGENSCHAFTEN SIND DURCH SOFTWARE PROGRAMMIERT. EINGÄNGE SIND TTL-KOMPATIBEL.



MAXIMUM RATINGS ● GRENZDATEN:

	min.	max.	
U_X/U_{SS}	-0,5	+7,0	V
P_{tot}		1,0	W
ϑ_a	0	+70	°C

¹⁾ U_X — voltage of single pins in respect to U_{SS} .
 Spannung von einzelnen Anschlüssen gegen U_{SS} .

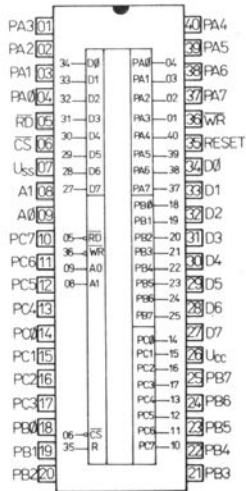
Outlines ● Abmessungen: MHB8255A IO—20A
 MHB8255AC IO—20C/1

- RESET** reset input — at level H clear all internal registers incl. the control registers and all ports PA, PB, PC are set to the input mode 0 ● Rücksetz-Eingang — beim H-Pegel setzt alle internen Register einschliesslich des Steuerregisters zurück und alle Kanäle PA, PB, PC bringt in die Betriebsart Eingabe
- D0...D7** data bus for bi-directional data transfer between PPI and microcomputer bus ● Daten-BUS für Zweiweg-Datenübertragung zwischen PPI und Mikrorechner-BUS
- PA0...PA7** port PA (bit) ● Kanal PA (Bit 0...7)
- PB0...PB7** port PB (bit) ● Kanal PB (Bit 0...7)
- PC0...PC7** port PC (bit) ● Kanal PC (Bit 0...7)
- A₀, A₁** port PA, PB, PC address input for write and read or write into control register ● Kanal PA, PB, PC Adressen-Eingang für Schreiben und Lesen oder Schreiben in Steuerregister
- CS** chip select ● Chip-Auswahl
- RD** data transfer input from PPI on data bus ● Lese-Eingang — lässt PPI Daten über den Daten-BUS an den Mikroprozessor senden
- WR** data transfer input from data bus on PPI ● Schreib-Eingang — ermöglicht dem Mikroprozessor Daten in PPI einzuschreiben

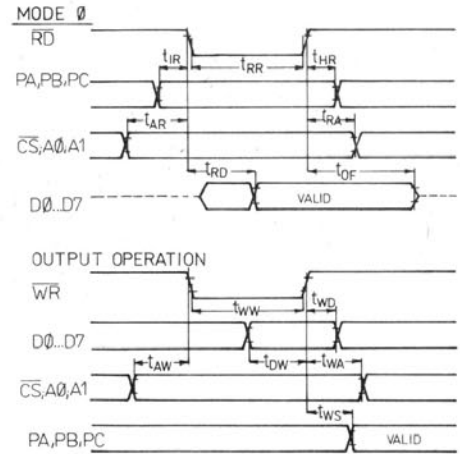
CHARACTERISTIC DATA:

KENNDATEN:

Static data:	Statische Kenndaten:	nom.	min.-max.	
$U_{CC} = 5,0 V \pm 0,25 V, U_{SS} = 0 V, \vartheta_a = 0^\circ C \dots +70^\circ C$				
Input voltage — level L	Eingangsspannung — L-Zustand	U_{IL}	-0,5...+0,8	V
Input voltage — level H	Eingangsspannung — H-Zustand	U_{IH}	+2,0...+ U_{CC}	V
Output voltage — level L data bus, $I_{OL} = 2,5 mA$ periphery connection, $I_{OL} = 1,7 mA$	Ausgangsspannung — L-Zustand Daten-BUS Peripherieanschluss	$U_{OL(DB)}$	$\leq 0,45$	V
Output voltage — level H data bus, $I_{OH} = -400 \mu A$ periphery connection, $I_{OH} = -200 \mu A$	Ausgangsspannung — H-Zustand Daten-BUS Peripherieanschluss	$U_{OH(DB)}$	$\geq 2,4$	V
Output current	Ausgangsstrom	$-I_{OH(P)}$	1...4	mA
Supply current	Stromaufnahme	I_{CC}	≤ 120	mA
Input leakage current $U_I = 0 \dots U_{CC}$	Eingangs-Reststrom	I_{IL}	$\leq \pm 10$	μA
Output leakage current in non active state $U_O = 0 \dots U_{CC}$	Ausgangs-Reststrom im nicht aktiven Zustand	I_{OL}	$\leq \pm 10$	μA
Capacitance:	Kapazitäten:			
$U_{CC} = U_{SS} = 0 V, \vartheta_a = +25^\circ C, f = 1 MHz$				
Input capacity $A_0, A_1, CS, RD, WR, RESET$	Eingangskapazität	C_I	6	≤ 10 pF
Output capacity $PA0 \dots PA7, PB0 \dots PB7, PC0 \dots PC7, D0 \dots D7$	Ausgangskapazität	$C_{I/O}$	10	≤ 20 pF



Base connection ● Sockelschaltung
(top view ● Ansicht von oben)



DYNAMIC DATA ● DYNAMISCHE KENNDATEN

$U_{CC} = 5,0 \text{ V} \pm 0,25 \text{ V}$, $U_{SS} = 0 \text{ V}$, $\vartheta_a = 25^\circ \text{C}$

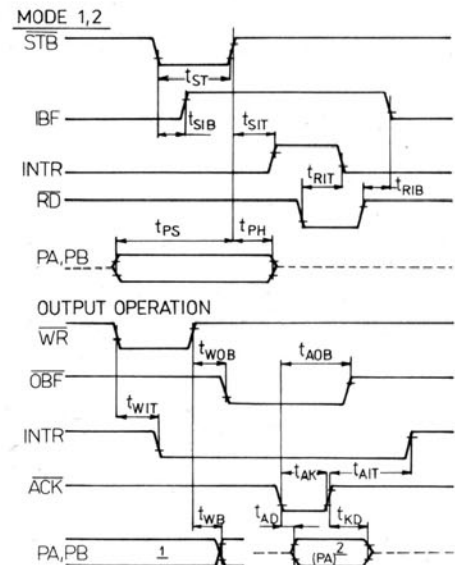
t_{AR}	iv 0	ns
t_{RA}	iv 0	ns
t_{RR}	iv 300	ns
t_{IR}	iv 0	ns
t_{HR}	iv 0	ns
$t_{RD}^1)$	iv 250	ns
t_{DF}	iv 10...150	ns
t_{AW}	iv 0	ns
t_{WA}	iv 20	ns
t_{WW}	iv 400	ns
t_{DW}	iv 100	ns
t_{WD}	iv 30	ns
$t_{WB}^2)$	iv 350	ns
t_{AK}	iv 300	ns
t_{ST}	iv 500	ns
t_{PS}	iv 0	ns
t_{PH}	iv 180	ns
$t_{AD}^3)$	iv 300	ns
$t_{KD}^3)$	iv 20...250	ns
$t_{RW}^4)$	iv 850	ns
t_{WOB}	iv 650	ns
$t_{AOB}^2)$	iv 350	ns
$t_{SIB}^2)$	iv 300	ns
t_{RIB}	iv 300	ns
$t_{SIT}^2)$	iv 300	ns
$t_{AIT}^2)$	iv 350	ns
$t_{RIT}^2)$	iv 400	ns
$t_{WIT}^2)$	iv 850	ns

1) $C_L = 100 \text{ pF}$, $R = 1,5 \text{ k}\Omega$, $I = 0,4 \text{ mA}$, $4 \times \text{KA207}$

2) $C_L = 100 \text{ pF}$, $R = 2,2 \text{ k}\Omega$, $I = 0,2 \text{ mA}$, $4 \times \text{KA207}$

3) Valid for mode 2 ● Gültig für Regime 2

4) On data bus ● Auf Daten-BUS

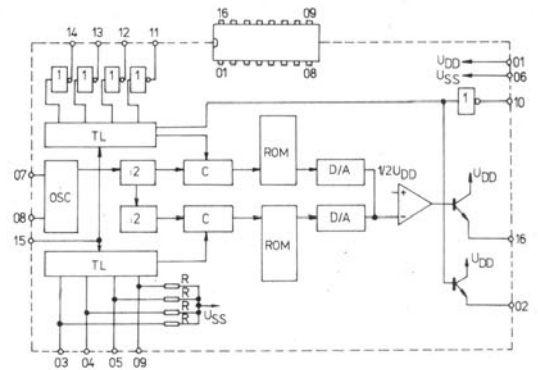


Impuls waveforms ● Impulssdiagramm

$U_{IL} = U_{IH} = 0,8 \text{ V}$, $U_{IH} = U_{OH} = 2,0 \text{ V}$

INTEGRATED CIRCUITS FOR FREQUENCY TELEPHONY DIALLING — CONTAINS THE CIRCUITS FOR INPUT DATA CONVERSION TO FREQUENCY DIALLING OUTPUT SIGNAL, FOR CONNECTION AND DISCONNECTION OF MICROPHONE AND TELEPHONE UNIT.

INTEGRIERTE SCHALTKREISE FÜR FREQUENZ-FERNSPRECHWAHL ENTHALTEN DIE SCHALTUNGEN FÜR WANDLUNG VON EINGANGSDATEN AUF AUSGANGSSIGNAL DER FREQUENZ-FERNSPRECHWAHL, FÜR MIKROPHON- UND FERNHÖRERKAPSEL EIN- UND ABSCHALTUNG.



MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
U_X/U_6 1)	-0,5	+10	V
ϑ_a	-10	+55	°C
$\vartheta_{stg}^2)$	-40	+55	°C
$\vartheta_{stg}^3)$	+5	+35	°C

1) Voltage on single pins towards the voltage U_{SS} (pin 06). ● Spannung auf einzelnen Ausführungen gegen U_{SS} (Ausführung 06).

2) Of devices mounted in apparatus. ● Der Schaltkreisen in Geräten eingebauten.

3) Of devices in original package of manufacturer. ● Der Schaltkreisen in original Verpackung von Hersteller.

Outlines ● Abmessungen: IO—14A Remarks p. 140 / Bemerkungen S. 140

- 1 supply voltage ● Speisespannung $+U_{DD}$
- 2 output for microphony disconnection ● Ausgang für Mikrofonabschaltung
- 3 input of column ● Spalteingang 1 (1215,9 Hz)
- 4 input of column ● Spalteingang 2 (1331,7 Hz)
- 5 input of column ● Spalteingang 3 (1471,9 Hz)
- 6 supply voltage ● Speisespannung U_{SS}
- 7, 8 oscillator input ● Oszillatoreingang
- 9 input of column ● Spalteingang 4 (1645,0 Hz)
- 10 output for telephone disconnection ● Ausgang für Fernhörerabschaltung
- 11 output of row ● Zeileausgang 4 (948,0 Hz)
- 12 output of row ● Zeileausgang 3 (847,4 Hz)
- 13 output of row ● Zeileausgang 2 (766,2 Hz)
- 14 output of row ● Zeileausgang 1 (699,1 Hz)
- 15 input for exclusion of invalid data ● Eingang für Ausscheiden von ungültigen Daten
- 16 tone output ● Tonausgang

CHARACTERISTIC DATA:

KENNDATEN: $U_{SS} = 0 V$, $\vartheta_a = +25^\circ C$

Supply current during dialling 1) $U_{DD} = 3,5 V$ $U_{DD} = 4,5 V$ $U_{DD} = 10 V$	Speisestrom bei Wahl 1)	MHB5085A MHB5085	I_{DD1} I_{DD1} I_{DD1}	$\leq 3,5$ $\leq 5,5$ ≤ 20	mA mA mA
Quiet supply current 1) $U_{DD} = 3,5 V$ $U_{DD} = 4,5 V$ $U_{DD} = 10 V$	Speise-Ruhestrom 2)	MHB5085A MHB5085	I_{DD2} I_{DD2} I_{DD2}	$\leq 1,0$ $\leq 1,5$ $\leq 3,5$	mA mA mA
Tone output voltage $R_O = 1 k\Omega$; MHB5085A $U_{DD} = 3,5 V$; MHB5085 $U_{DD} = 4,5 V$ for lower frequency group for upper frequency group	Tonausgangsspannung für untere Frequenzgruppe für obere Frequenzgruppe			$U_{OD\ eff}$ $U_{OD\ eff}$	360...540 510...770 mV mV
Output current for microphony unit disconnection in closed state $U_{DD} = 4,5 V$, $U_O = 3,5 V$ $U_{DD} = 10 V$, $U_O = 8 V$ $U_{DD} = 3,5 V$, $U_O = 2,5 V$ $U_{DD} = 10 V$, $U_O = 8 V$	Ausgangsstrom für Mikrofonabschaltung im eingeschalteten Zustand	MHB5085 MHB5085 MHB5085A MHB5085A	I_{OH} I_{OH} I_{OH} I_{OH}	≤ 15 ≤ 50 ≤ 20 ≤ 80	mA mA mA mA
Output current for telephone unit disconnection in closed state $U_{DD} = 3,5 V$, $U_O = 3,0 V$ $U_{DD} = 4,5 V$, $U_O = 4,0 V$ $U_{DD} = 10 V$, $U_O = 9,5 V$	Ausgangsstrom für Fernhörerabschaltung im eingeschalteten Zustand	MHB5085A MHB5085	I_{OS} I_{OS} I_{OS}	≤ 150 ≤ 150 ≤ 500	μA μA μA
Column input resistance against U_{SS}	Spalteingangswiderstand gegen U_{SS}		R_I	20...100	k Ω
Oscillator-up time 3) 4)	Oszillator-Anlaufzeit 3) 4)		t_{osc}	≤ 10	μs
Tone output non-linear distortion MHB5085A $U_{DD} = 3,5 V$; MHB5085 $U_{DD} = 4,5 V$	Nichtlineare Tonausgangs-Verzerrung $U_{DD} = 4,5 V$		k	≤ 10	%
Supply voltage	Speisespannung	MHB5085 MHB5085A	U_{CC} U_{CC}	4,5...10 3,5...10	V V
Key button contact resistance in closed state	Tastekontaktwiderstand im eingeschalteten Zustand		R_K	≤ 1	k Ω
Key button contact capacitance in disconnected state	Tastekontaktkapazität im eingeschalteten Zustand		C_K	≤ 30	pF
Tone output load resistance MHB5085A $U_{DD} = 3,5 V$; MHB5085 $U_{DD} = 4,5 V$	Tonausgang-Belastungswiderstand $U_{DD} = 4,5 V$		R_T R_T	≤ 750 ≤ 400	Ω Ω
Ekv. parallele capacitance PKJ 3)	Ekv. parallele Kapazität PKJ 3)		C_Q	~ 12	pF

CONTROL CIRCUIT FOR IMPULSE TELEPHONY DIALLING — CONTAINS THE LOGIC CIRCUITS FOR INPUT DATA CONVERSION INTO SEQUENCE IMPULSES, WHICH ARE TRANSMITTING IN SUBSCRIBER LINK, CIRCUITS FOR DIALLING STATE SIGNALISATION AND MEMORY FOR TRANSMITTING OR DIALLING REPEATING OF NUMBER WITH 10 DIGIT OR SERIAL PULSE SPACING.

STEUERSCHALTKEIS FÜR IMPULSFERNSPRECHWAHL — ENTHÄLT LOGISCHE SCHALTUNGEN FÜR EINGANGSKODE-UMWANDLUNG AUF IMPULSFOLGE, WELCHE IN TELNEHMERLEITUNG GESENDET SIND, SCHALTUNGEN FÜR SIGNALISATION VON WAHLZUSTANDES UND EIN SPEICHER FÜR WAHLIMPULSGABE ODE -WIDERHOLUNG VON FERNSPRECHNUMMER MIT 10 ZIFFER ODER ZWISCHENSERIEN-PAUSEN.

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_{X/10}^1)$	+0,3	-20	V
$U_{X/9}$	+0,3	-20	V
ϑ_a	-10	+55	°C
$\vartheta_{stg}^2)$	-40	+55	°C
$\vartheta_{stg}^3)$	+5	+35	°C

1) Voltage on single pins toward the voltage U_{SS} (pin 10 at case IO—18, pin 09 at case IO—14A). ● Spannung auf einzelnen Ausführungen gegen U_{SS} (Ausführung 10 bei Gehäuse IO—18, 09 bei Gehäuse IO—14A).

2) Of devices mounted in apparatus. ● Der Schaltkreisen in Geräten eingebauten.

3) Of devices in original package of manufacturer. ● Der Schaltkreisen in original Verpackung von Hersteller.

For MHB9110 in case IO—14A valid ●

Für MHB9110 in Gehäuse IO—14A ist gültig:

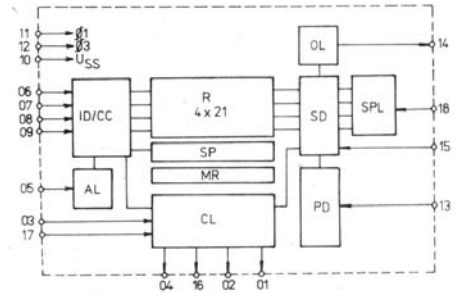
Fixed impulse ratio (space : impulse) ●
Festes Impuls-Verhältnis (Pause : Impuls) 60 : 40

Fixed spacing between number in dependence on dialing rate ● Feste Pause zwischen Nummern in Abhängigkeit von Wahlgeschwindigkeit: 10 20 600 imp/s
Spacing between number ● Zwischennummerpause 800 400 13,33 ms

Outlines ● Abmessungen: IO—18, or IO—14A.

CHARACTERISTIC DATA: KENNDATEN: $U_{SS} = 0 V, \vartheta_a = +25^\circ C$

		min.-max.	
Power input $-U_{\phi H} = 1 V, -U_{\phi L} = 16,5 V, f_{\phi} = 18 kHz$	Leistungsaufnahme	$P_{tot} \leq 2$	mW
Clock input leak current $-U_{\phi} = 16,5 V, \vartheta_a = +55^\circ C$	Takteingangs-Reststrom	$I_{\phi} \leq 30$	μA
Other inputs leak current $-U_I = 16,5 V$	Eingang-Reststrom von übrigen Eingängen	$I_I \leq 1$	μA
Clock input capacitance $U_{\phi} = 0 V, f = 1 MHz$	Takteingangskapazität	$C_{\phi} \leq 150$	pF
Other inputs capacitance $U_I = 0 V, f = 1 MHz$	Eingangskapazität von übrigen Eingängen	$C_I \leq 5$	pF
Output current — level L $-U_{OL} = 10 V$	Ausgangsstrom — L-Zustand	$I_{OL} \leq 10$	μA
Output current — level H $-U_{OH} = 1 V$	Ausgangsstrom — H-Zustand	$I_{OH} \leq 250$	μA
Sampling output preset 1)	Tastungsausgang-Voreilung	$t_p \leq 33$	ms
Sampling output overlap 1)	Tastungsausgang-Versetzung	$t_o \leq 3$	ms
Telephone loop disconnection output overlap 1) 2)	Versetzung des Fernsprechkreisabschaltungs-Ausgangs	$t_m \leq 3$	ms



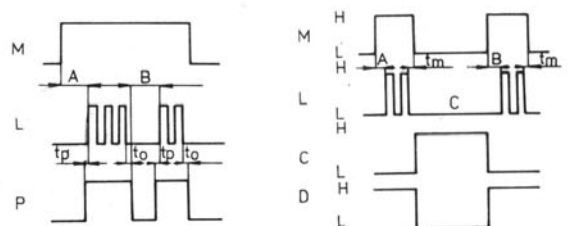
Functional block diagram ● Funktions-Blockschaltung

Base connection (top view) ● Sockelschaltung (Ansicht von oben)

IO14A IO—18

14	1	dialling repeating ● Wahlwiederholung
1	2	spacing between number ● Zwischennummerpause
2	3	reset ● Rückstellung
3	4	telephone loop disconnect ● Fernsprechkreis-Abschaltung
4	5	data validity ● Datengültigkeit
5	6	data input ● Dateneingang C1
6	7	data input ● Dateneingang C2
7	8	data input ● Dateneingang C3
8	9	data input ● Dateneingang C4
9	10	supply voltage ● Speisespannung U_{SS}
10	11	clock impulse ● Taktimpuls ϕ_1
11	12	clock impulse ● Taktimpuls ϕ_2
12	13	dialling rate adjusting ● Wahlgeschwindigkeit-Einstellung
13	14	link output ● Leitungsausgang
—	15	impulse rate adjusting ● Impulsverhältnis-Einstellung
15	16	sampling ● Tastung
16	17	blocking input ● Blockierungseingang
—	18	spacing between number adjusting ● Zwischennummerpausen-Einstellung

- ID/CC input decoder/code control ● Eingangsdekodierer/Kodekontrolle
AL antiflash logic ● Antieinschwingungs-Logik
R shift register ● Schieberegister
SP spacing adjusting ● Zwischennummerpause-Einstellung
MR marking register ● Zeichenregister
CL control logic ● Steuerlogik
OL output logic ● Ausgangslogik
SD secondary divider ● Sekundär-Teiler
PD primary divider ● Primär-Teiler
SPL spacing logic ● Logik der Zwischennummerpause



Impulse waveform ● Impulsiagramm

**UNIPOLAR INTEGRATED CIRCUITS MIS
UNIPOLARE INTEGRIERTE SCHALTKREISE MIS
FOR IMPULSE TELEPHONY DIALLING ● FÜR IMPULS-FERNSPRECHWAHL**

MHB9200

MEMORY FOR IMPULSE TELEPHONE DIALLING, WORKING WITH INTEGRATED CIRCUIT MHB9110 AS END DIAL PLATE REGISTER WITH CAPACITY OF 10 TELEPHONY NUMBER WITH 22 DIGIT OR SERIAL PULSE SPACING.

SPEICHER FÜR IMPULS-FERNSPRECHWAHL, WELCHE MIT INTEGRIERTEM SCHALTKREIS MHB9110 ARBEITET, ALS ZIEL-NUMMERNGEBER MIT KAPAZITÄT VON 10 FERNSPRECH-NUMMER MIT 22 ZIFFER ODER ZWISCHENSERIEN-PAUSEN.

MAXIMUM RATINGS ● GRENZDATEN

	min.	max.	
$U_X/U_{SS} \text{)}$	+0,3	-20	V
ϑ_a	-10	+55	°C

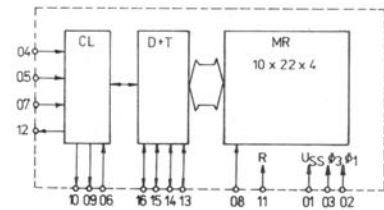
1) Voltage of single pins towards the voltage U_{SS} (pin 01). ●
Spannung auf einzelnen Ausführungen gegen U_{SS} (Ausführung 01).

Outlines ● Abmessungen: IO-14

CHARACTERISTIC DATA: KENNDATEN: $U_{SS} = 0 \text{ V}$, $\vartheta_a = +25 \text{ °C}$

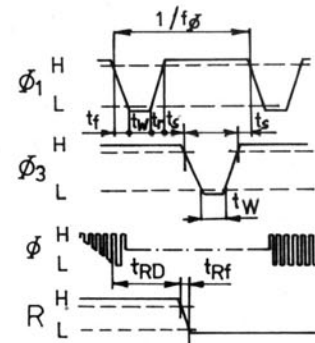
		nom.	min.-max.
Power input $U_{\phi H} = -1 \text{ V}$, $U_{\phi L} = -16,5 \text{ V}$, $f_{\phi} = 18 \text{ kHz}$	Leistungsaufnahme	P_C	2,25 mW
Clock input leak current $U_{\phi} = -16,5 \text{ V}$	Takteingangs-Ruhestrom	I_{ϕ}	$\leq 10 \mu\text{A}$
Other inputs leak current $U_I = -16,5 \text{ V}$	Eingangs-Ruhestrom von übrigen Eingängen	I_I	$\leq 1 \mu\text{A}$
Clock input capacitance 1) $U_{\phi} = 0 \text{ V}$, $f = 1 \text{ MHz}$	Takteingangskapazität	C_{ϕ}	70 pF
Other inputs capacitance $U_I = 0 \text{ V}$, $f = 1 \text{ MHz}$	Eingangskapazität von übrigen Eingängen	C_I	$\leq 5 \text{ pF}$
Output current — level H 2) $U_O = -1 \text{ V}$	Ausgangsstrom — H-Zustand	I_{OH}	$\leq 0,6 \text{ mA}$
Output current — level L 2) $U_O = -10 \text{ V}$	Ausgangsstrom — L-Zustand	I_{OL}	$\leq 10 \mu\text{A}$
Digit output rate $f_{\phi} = 18 \text{ kHz}$	Zifferausgangsgeschwindigkeit	f_O	8,35 Hz
Recommended working conditions: $U_{SS} = 0 \text{ V}$, $\vartheta_a = -10 \text{ °C} \dots +55 \text{ °C}$	Empfohlene Betriebsdaten:		
Clock frequency	Taktfrequenz	f_{ϕ}	10 ... 30 kHz
Clock impulse voltage — level L 3) Clock impulse voltage — level H 3)	Taktimpulsspannung — L-Zustand Taktimpulsspannung — H-Zustand	$U_{\phi L}$ $U_{\phi H}$	-13,5 ... -16,5 V +0,3 ... -1,0 V
Input voltage — level L Input voltage — level H	Eingangsspannung — L-Zustand Eingangsspannung — H-Zustand	U_{IL} U_{IH}	-5,0 ... -16,5 V +0,3 ... -1,0 V
Clock impulse rise time	Taktimpulsanstiegszeit	t_r	0,1 ... 8 μs
Clock impulse trailing edge	Taktimpulshinterflanke	t_f	0,1 ... 4 μs
Clock impulse width	Taktimpulsbreite	t_w	5 ... 40 μs
Clock impulse space	Taktimpulspause	t_s	5 ... 40 μs
Data validity impulse width	Datengültigkeitimpulsbreite	t_c	$\geq 10 \text{ ms}$
Reset impulse trailing edge	Rückstellimpulshinterflanke	t_{Rf}	$\leq 100 \mu\text{s}$
Reset impulse delay time	Rückstellimpulsverzögerung	t_{RD}	$\geq 3 \text{ ms}$

Remarks p. 140 ● Bemerkungen S. 140

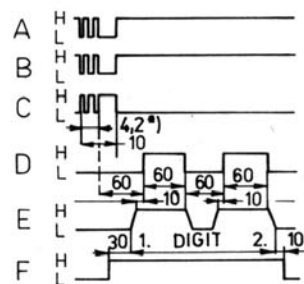


- 1 supply voltage ● Speisespannung U_{SS}
- 2 clock impulse ● Taktimpulsen ϕ_1
- 3 clock impulse ● Taktimpulsen ϕ_3
- 4 memory select ● Speicherauswahl
- 5 control logic enable ● Steuerlogikfreigabe
- 6 input data validity ● Eingangsdatengültigkeit
- 7 write into memory ● Schreiben nach Speicher
- 8 chip select ● Chipauswahl
- 9 dialling data blocking ● Wahldatenblockierung
- 10 address data blocking ● Adressendatenblockierung
- 11 reset ● Rückstellung
- 12 output data validity ● Ausgangsdatengültigkeit
- 13 databus C1 ● Datenbus C1
- 14 databus C2 ● Datenbus C2
- 15 databus C3 ● Datenbus C3
- 16 databus C4 ● Datenbus C4
- CL control logic ● Steuerlogik

D+T decoder and timer ● Dekodierer und Taktgeber
MR memory register ● Speicherregister



Time diagram of dialling from memory. ●
Zeitdiagramm von Wahl aus Speicher.



- A chip select ● Chipauswahl
- B memory select ● Speicherauswahl
- C input data and address validity ● Eingangsdaten und Adresse-Gültigkeit
- D output data validity ● Ausgangsdaten-Gültigkeit
- E output code ● Ausgangskode ($C_1 \dots C_4$)
- F dialling data blocking ● Wahldatenblockierung
- R reset ● Rückstellung
- ϕ clock impulse ● Taktimpulsen
- *) timing of counterflash logic ● Taktgeber für Gegeneinschwingungslogik

Waveform diagram ● Impulsiagramm

CLOCK IMPULSE GENERATOR FOR IMPULSE TELEPHONY DIALLING

GENERATOR VON TAKTIMPULSEN FÜR IMPULS-FERNSPRECHWAHL

MAXIMUM RATINGS ● GRENZDATEN

The integrated circuit sustain voltage on the various leads towards voltage on the pin No. 14 (U_{DD}) in the range

Der Schaltkreis kann aushalten die Spannung auf einzelnen Ausführungen gegen Spannung auf Ausführung Nr. 14 (U_{DD}) im Bereich

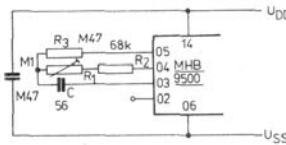
Ambient temperature range ● Umgebungstemperatur

Storage temperature ● Lagerungstemperatur of devices mounted in apparatus der Schaltkreisen in Geräten eingebauten

of devices in original package of manufacturer der Schaltkreisen in original Verpackung von Hersteller

min.-max.

U	+0,3	-18	V
∂ _a	-10	+55	V
∂ _{stg}	-40	+55	°C
∂ _{stg}	+5	+35	°C



Outlines ● Abmessungen: IO-13/2

CHARACTERISTIC DATA ● KENNDATEN:

∂_a = +25°C, U_{DD} = 0 V

BASIC DATA:

GRUNDDATEN:

Supply current

Speisestrom

U_{SS1} = -4 V
U_{SS2} = -15 V, C_L∅₁, ∅₃ = 10 pF
U_{SS3} = -15 V, lead 08 and 10 connected ●
Ausführung 08 und 10 verbunden

I _{SS1}	≲ 200	μA
I _{SS2}	≲ 200	μA
I _{SS3}	≲ 50	μA

Clock impulse width

Taktimpulsbreite

f_{osc} = 36 kHz

t _w	≲ 10	μs
----------------	------	----

Space of clock impulse

Impulsintervall

f_{osc} = 36 kHz

t _s	≲ 10	μs
----------------	------	----

Rise time of clock impulse

Impulsanstiegzeit

C_L = 360 pF

t _r	≲ 250	ns
----------------	-------	----

Falltime of clock impulse

Impulsabfallzeit

C_L = 360 pF

t _f	≲ 200	ns
----------------	-------	----

Stability of clock impulse frequency

Taktimpulsfrequenz-Stabilität

U_{SS1} = -4 V... -15 V, ∂_a = 0°C... +55°C

Δf	-5... +8	%
----	----------	---

Output resistance

Ausgangswiderstand

∅₁, ∅₃

∅₁, ∅₃

U_{SS2} = -4 V

R _{∅∅1} , R _{∅∅3}	≲ 2	kΩ
-------------------------------------	-----	----

Output resistance

Ausgangswiderstand

Q, Q

Q, Q

U_{SS3} = -4 V

R _{∅∅Q} , R _{∅∅Q̄}	≲ 750	Ω
--------------------------------------	-------	---

RECOMMENDED WORKING DATA:

EMPFOHLENE BETRIEBSDATEN:

Supply voltage

Speisespannung

U_{SS1}

U_{SS2}

U_{SS2}

U_{SS3}

U_{SS3}

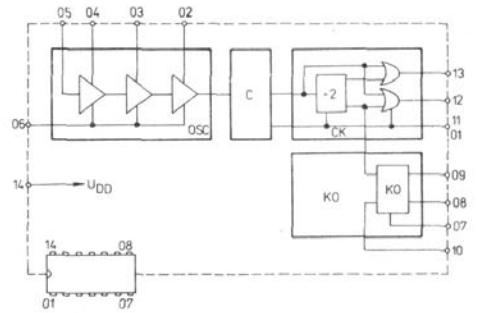
U _{SS1}	-4,0... -15	V
U _{SS2}	-4,0... -15	V
U _{SS3}	-4,0... -15	V

Oscillator frequency

Oszillator-Frequenz

f_{osc} = 36 ± 10 %

f _{osc}	36 ± 10 %	kHz
------------------	-----------	-----



Block diagram ● Blockschaltung
Base connection (top view) ● Sockelschaltung
(Ansicht von oben)

- 1 U_{SS2} voltage supply ● Speisespannung U_{SS2}
- 2 O₀ oscillator output ● Oszillator-Ausgang
- 3 O₃ oscillator 3 ● Oszillator 3
- 4 O₂ oscillator 2 ● Oszillator 2
- 5 O₁ oscillator 1 ● Oszillator 1
- 6 U_{SS1} voltage supply ● Speisespannung U_{SS1}
- 7 U_{SS3} voltage supply ● Speisespannung U_{SS3}
- 8 Q̄ output ● Ausgang Q̄
- 9 Q output ● Ausgang Q
- 10 D input ● Eingang D
- 11 U_{SS2} voltage supply ● Speisespannung U_{SS2}
- 12 ∅₃ clock generator output ● Taktgenerator-Ausgang ∅₃
- 13 ∅₁ clock generator output ● Taktgenerator-Ausgang ∅₁
- 14 U_{DD} voltage supply ● Speisespannung U_{DD}

- OSC — oscillator ● Oszillator
- C — level converter ● Pegelumsetzer
- CK — clock generator ● Taktgenerator
- KO — flip-flop circuit ● Flip-Flop-Schaltung



Waveforms ● Impulsiagramm

**REMARKS
BEMERKUNGEN**

MHB8708C

FUNCTION TABLE ● FUNKTIONS-TABELLE

OPERATION BETRIEB	OUTPUTS AUSGÄNGE O ₀ ...O ₉	INPUTS ● EINGÄNGE A ₀ ...A ₉ CS/WE PRG
READ ● LESEN PROGRAMMING ● PROGRAMMIERUNG	D _{OUT}	address U _{IL} U _{SS}
NON ACTIVE ● NICHT AKTIVEN	D _{IN}	address U _{IHW} U _{IHP}
	1)	U _{IH} U _{SS}

1) High impedanz ● hohe Impedanz

CAPACITANCES ● KAPAZITÄTEN:

U_{CC} = +5 V, U_{DD} = +12 V, U_{BB} = -5 V,

U_{SS} = 0 V, θ_a = 25 °C

C_I ≤ 6 pF
C_O ≤ 12 pF

MHB9110

Recommended working conditions:

U_{SS} = 0 V, θ_a = -10 °C ... +55 °C

Empfohlene Betriebsdaten:

Clock frequency	Taktfrequenz	t _φ	10 ... 30 kHz
Clock impulse voltage — level L 3)	Taktimpulsspannung — L-Zustand	-U _{φL}	10 ... 16,5 V
Clock impulse voltage — level H 3)	Taktimpulsspannung — H-Zustand	U _{φH}	+0,3 ... -1,0 V
Input voltage — level L	Eingangsspannung — L-Zustand	-U _{IL}	4 ... 16,5 V
Input voltage — level H	Eingangsspannung — H-Zustand	U _{IH}	-0,3 ... -1,0 V
Clock impulse rise time	Taktimpulsanstiegszeit	t _r	0,1 ... 8 μs
Clock impuls trailing time	Taktimpulshinterflanke	t _f	0,1 ... 4 μs
Clock impulse width	Taktimpulsbreite	t _w	5 ... 40 μs
Clock impulse space	Taktimpulspause	t _s	5 ... 40 μs
Input impulse front and trailing edge	Eingangsimpuls-Forder- u. Hinterflanke	t _{rr} , t _{rf}	≤ 10 μs
Data validity impulse width	Datengültigkeitimpulsbreite	t _{kpw}	≥ 10 ms
Reset impulse trailing edge	Rückstellimpulshinterflanke	t _{rf}	3 ... 100 μs
Reset impulse delay time 4)	Rückstellimpulsverzögerung	t _{RD}	≥ 3 ms

1) Output load ● Ausgangslast R_O = 47 kΩ, C_O = 30 pF

2) Valid for impuls: space ratio ● Gültig für Impuls: Pause-Verhältnis = 66 2/3 : 33 1/3.

3) Level difference U_{φH} for φ₁, φ₃ must be max. 0,5 V. ● Differenz von U_{φH}-Zuständen für φ₁, φ₃ muss max. 0,5 V sein.

4) From time, when clock impulse have the amplitude U_{φL} = -10 V. ● Ab Zeit, wann die Taktimpulse eine Amplitude U_{φL} = -10 V haben.

MHB5085, MHB5085A

TL key button logic ● Tastenlogik
OSC oscillator ● Oszillator
C counter ● Zähler
ROM memory ● Speicher ROM
D/A converter ● Wandler D/A

1) Tone output without load ● Tonausgang ohne Belastung

2) Column outputs in non active state ● Spaltenausgängen im nicht aktiven Zustand

3) Between pin 7 and 1 is connected the capacitor 10 pF ● Zwischen Ausföhrungen 7 und 1 ist ein Kondensator 10 pF eingeschaltet

4) Until by reach of 100 % amplitude of the tone output ● Nach Erreichung von 100 % der Tonausgangsamplitude

MHB9200

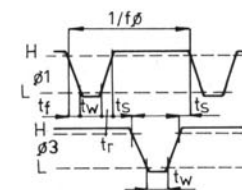
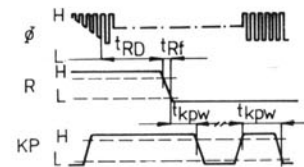
1) Eff. capacitance of clock input 260 pF. ● Eff. Kapazität des Takteinganges 260 pF.

2) C₁ ... C₄ activated as outputs ● aktivierte als Ausgänge

3) Level difference U_{φH} for φ₁ and φ₂ must be max. 0,5 V. ● Differenz von φ_H-Zuständen für φ₁ und φ₂ muss max. 0,5 V sein.

4) Measured on level U_{IH}. ● Gemessen an dem Zustand U_{IH}.

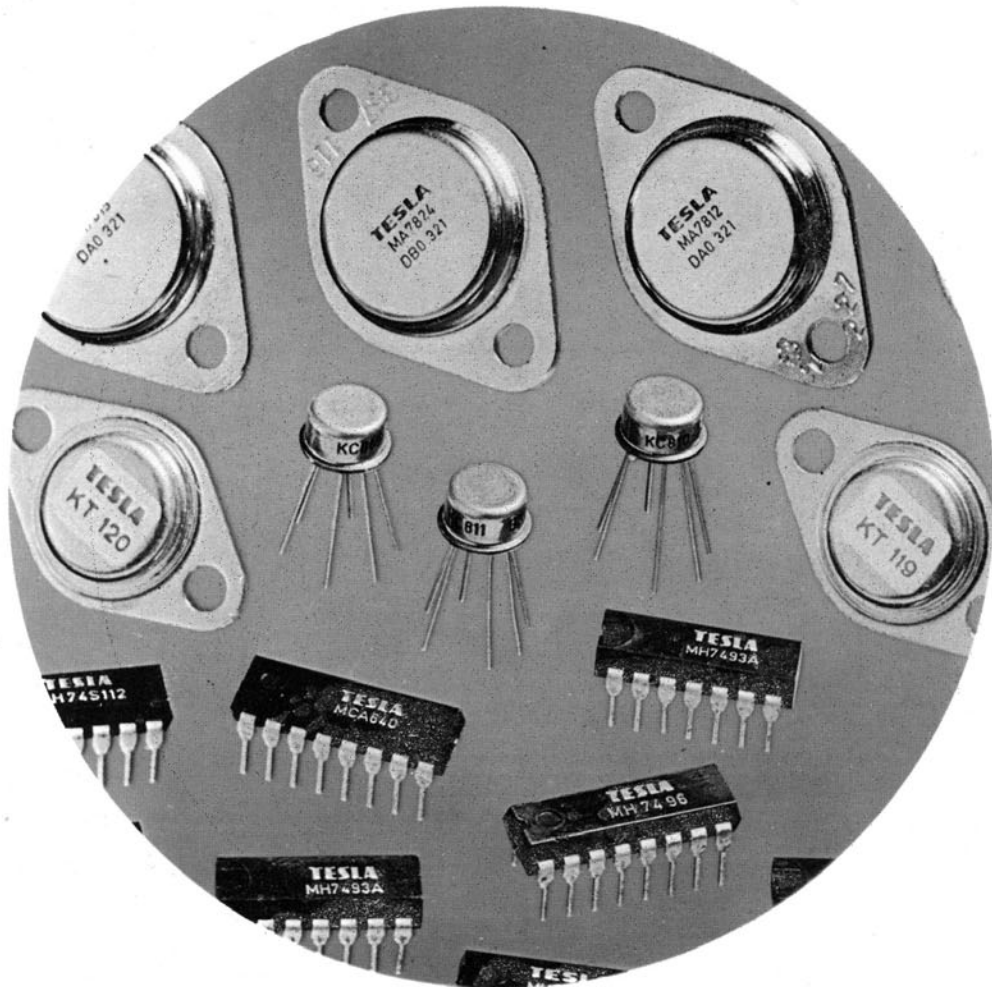
5) From time, when clock impulse have the amplitude U_{φL} = -13,5 V. ● Ab Augenblick, wann die Taktimpulse eine Amplitude U_{φL} = -13,5 V haben.



- A spacing before number ● Pause vor Nummer
- B spacing between number ● Zwischennummerpause
- C spacing between series ● Zwischenserienpause
- D blocking input ● Blockierungseingang
- KP data validity impulse ● Datengültigkeitsimpuls
- L link output ● Leitungsausgang
- M telephone loop disconnect ● Fernsprechkreisabschaltung
- P Sampling ● Tastung

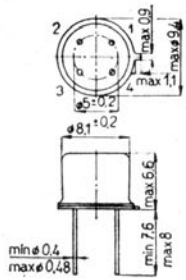
Impulse waveform ● Impulsdiagramm

4

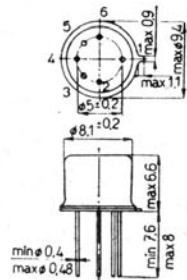


OUTLINES ● GEHÄUSE

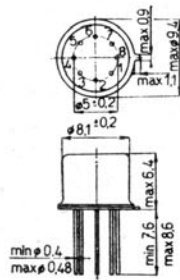
GLOSSARY OF USED ABBREVIATIONS
ERLÄUTERUNGEN DER ANGEWENDETEN BEZEICHNUNGEN



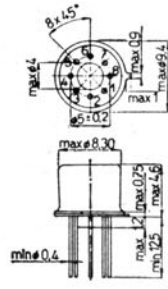
IO-1



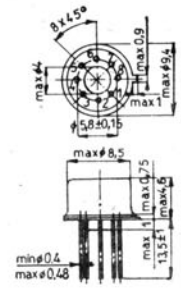
IO-2



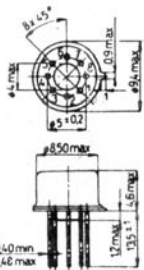
IO-3



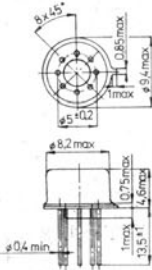
IO-4



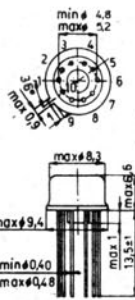
IO-5



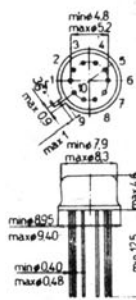
IO-6



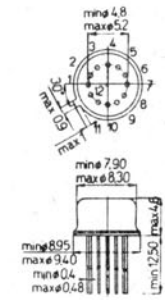
IO-6/1



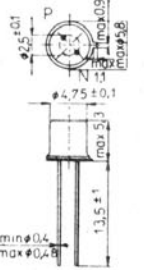
IO-7



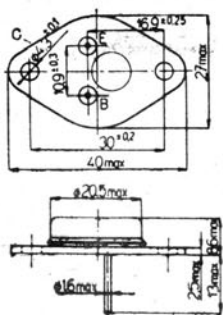
IO-8



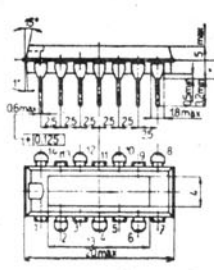
IO-9



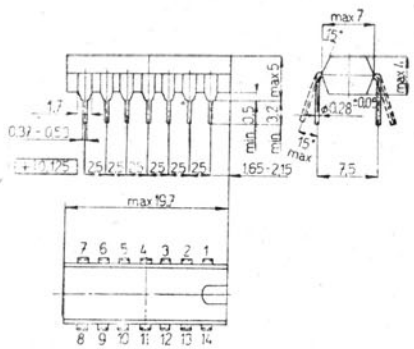
IO-10



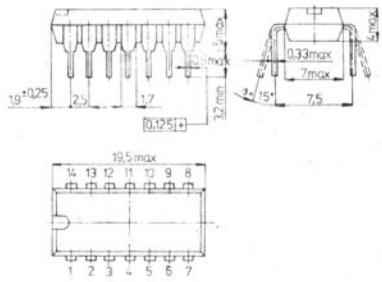
IO-11



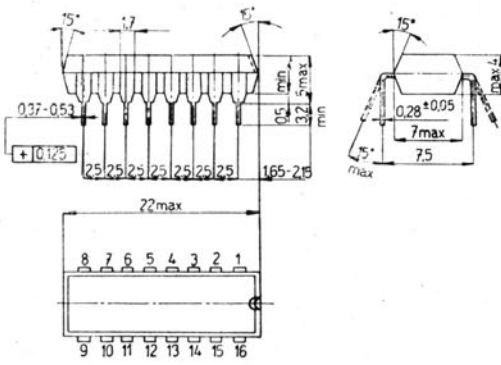
IO-12



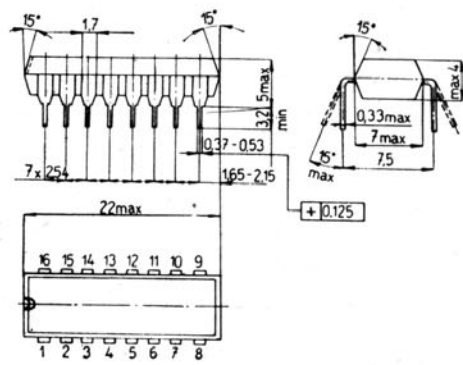
IO-13



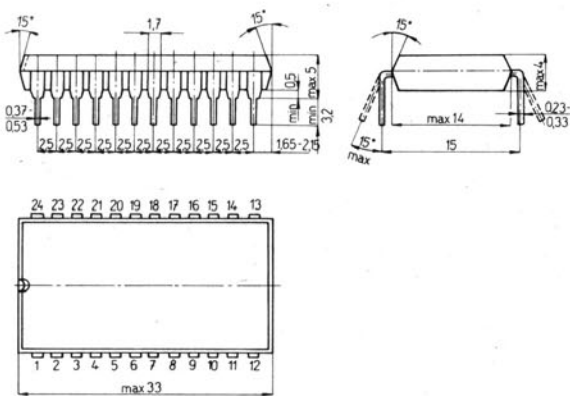
IO-13/2



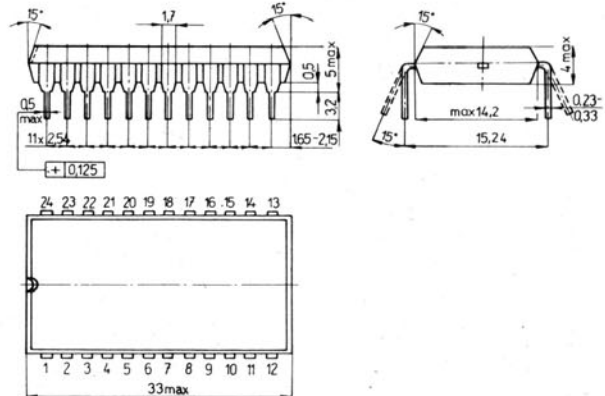
IO-14



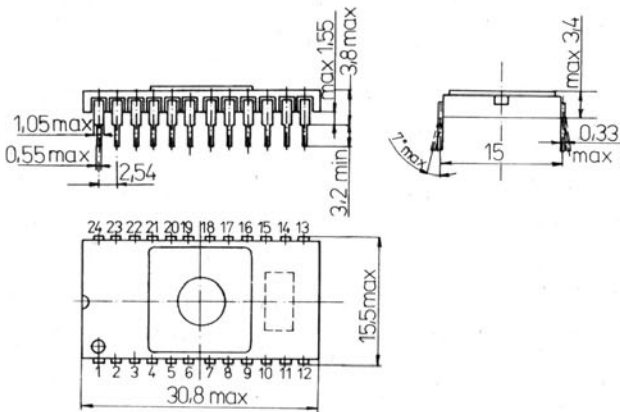
IO-14A



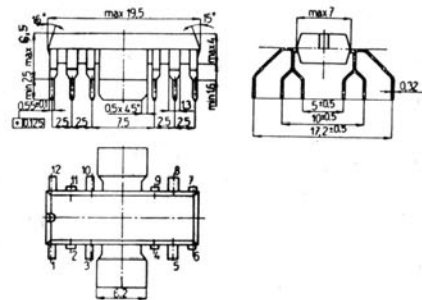
IO-15



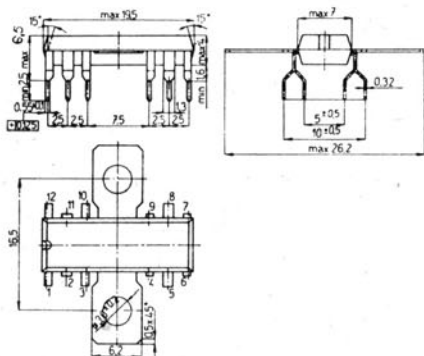
IO-15/1



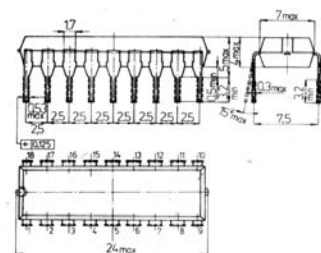
IO-15/C



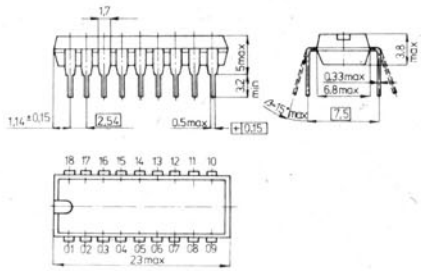
IO-16



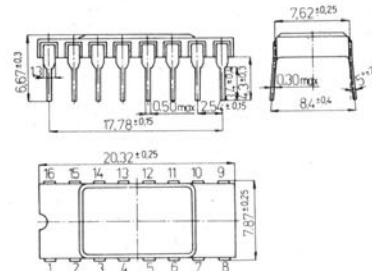
IO-17



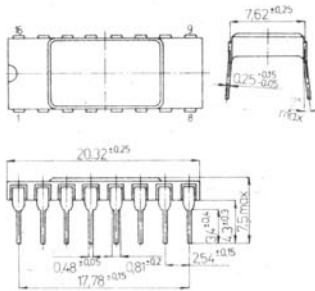
IO-18



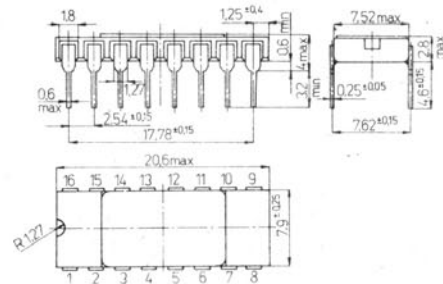
IO-18/1



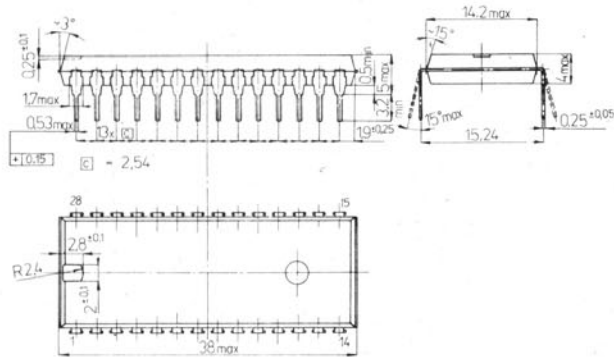
IO-18/C



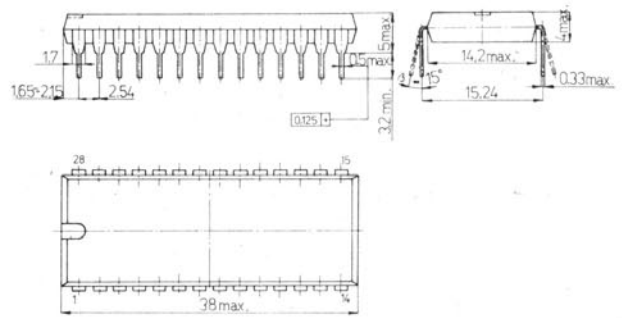
IO-18/C1



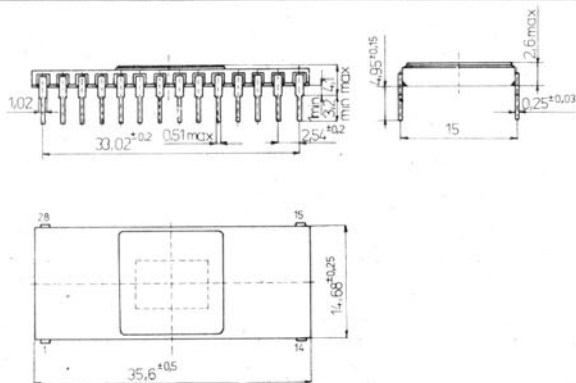
IO-18/C2



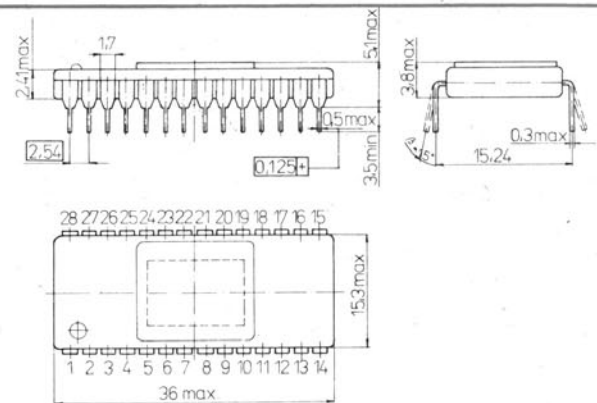
IO-19



IO-19A

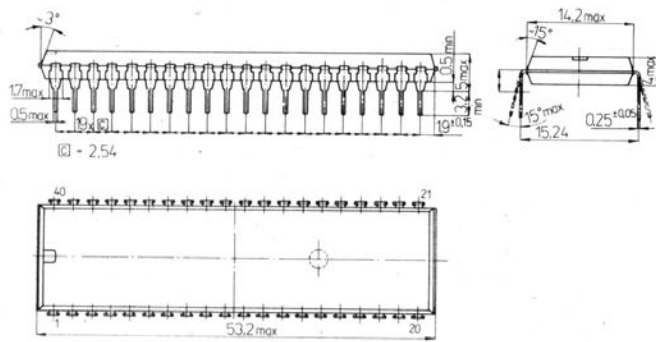


IO-19A/C1

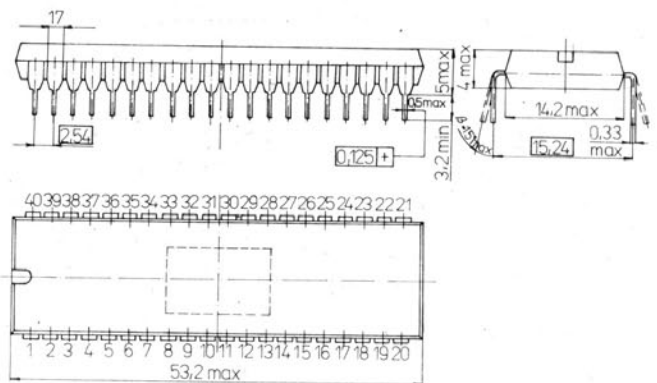


IO-19A/C2

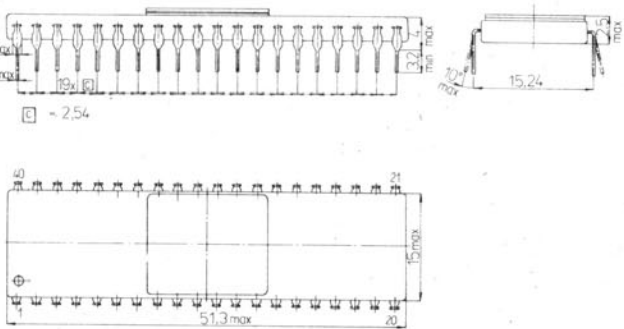
IO-18/C2: Plane for chip soldering and case cap can be conductive connected to pin. No. 08. ● Die Fläche für Chipanlöten und Gehäusedeckel leitend mit Ausführung Nr. 08 verbunden dürfen.



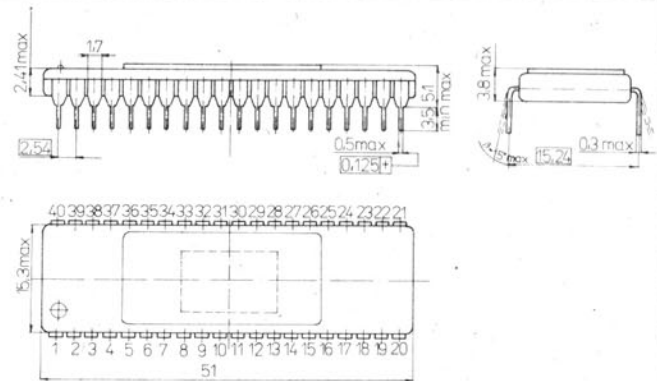
IO-20



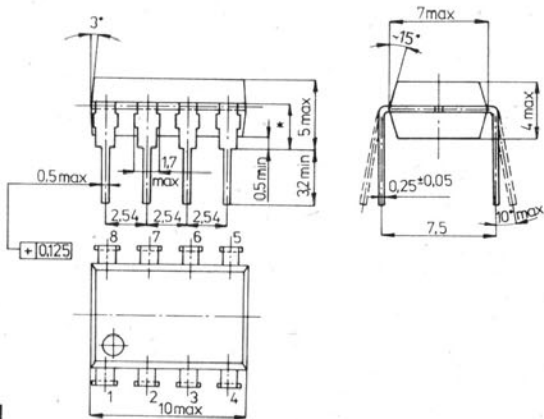
IO-20A



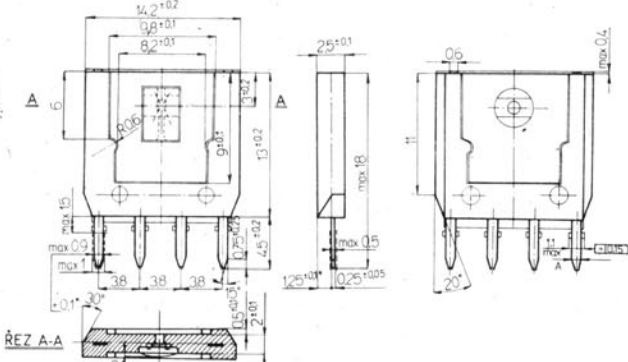
IO-20/C



IO-20/C1

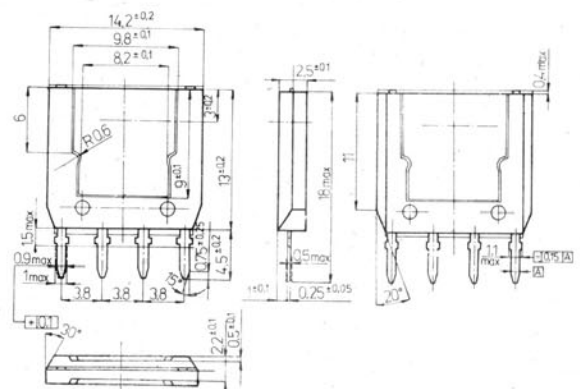


IO-21

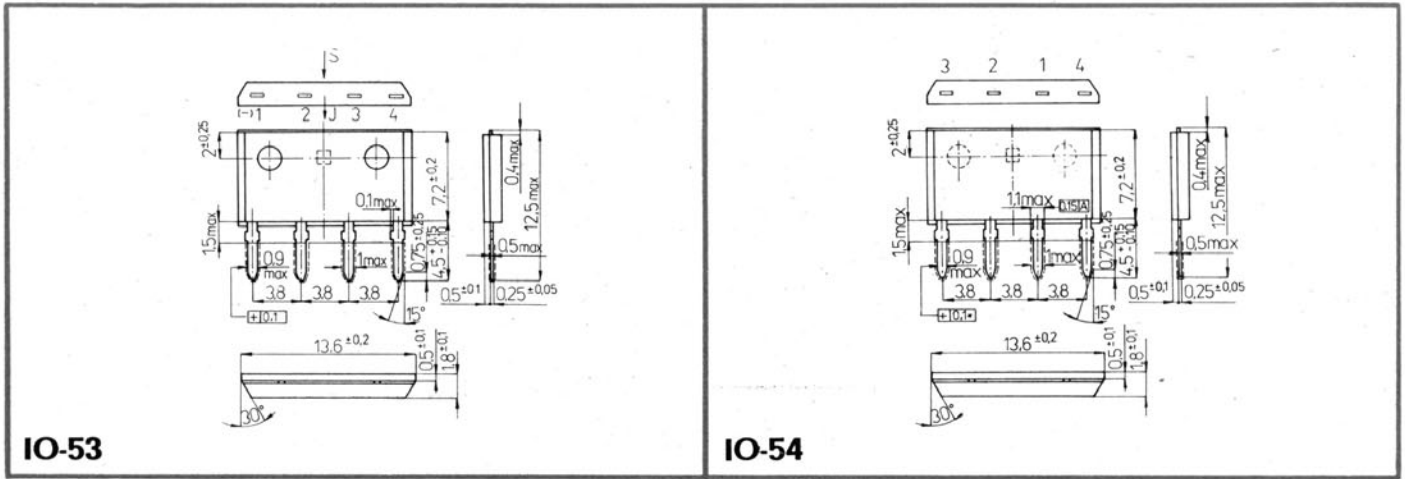


IO-51

• Měřit ve vzdálenosti 0,5 mm od pouzdra



IO-52



IO-53

IO-54

Serial number Seriennummer	Case ● Gehäuse TESLA (ČSN 35 8720)		Correspond to ● Entspricht ca				
	enclosure Kappe	base Sockel	IEC enclosure Kappe	base Sockel	JEDEC	RVHP enclosure Kappe	base Sockel
IO1	K505	P304A	191-C4	191-B6C	TO-12	A1	B1
IO2	K505	P406A	191-C4	—	—	A1	—
IO3	K506	P402A	191-C4	191-B7C	TO-77	A19	—
IO4	K512	P402B	191-C4	191-B7C	TO-77	A19	—
IO5	K512	P422B	191-C4	—	TO-77	A19	—
IO6	K512	P412B	191-C4	191-B7C	TO-77	A19	—
IO7	K505	P403B	191-C23	191-B31	TO-74	A15	—
IO8	K512	P403B	191-C23	191-B31	TO-74	A15	—
IO9	K512	P404B	191-C23	191-B32	TO-73	A15	—
IO10	K507	P103B	197-C7	191-B10	—	A7	B11A
IO11	K601	P601F	191-C14B	191-B18	~TO-73	~A4	~B6
IO12							
IO13	K402	—	—	—	TO-116	—	—
IO14	K404	—	—	—	—	—	—
IO15	K405	—	—	—	—	—	—
IO16	K408	—	—	—	—	—	—
IO17	K409	—	—	—	—	—	—

GLOSSARY OF USED ABBREVIATIONS
ERLÄUTERUNGEN DER ANGEWENDETEN BEZEICHNUNGEN

A	current gain	Stromverstärkung
AGC	automatic gain control	AGC-Bereich
AMR	A. M. rejection	AM-Unterdrückung
A_{pd}	power gain as differential amplifier	Leistungsverstärkung als Differentialverstärker
A_{pk}	power gain as cascode amplifier	Leistungsverstärkung als Kaskodenverstärker
A_u	voltage gain	Spannungsverstärkung
A_{ud}	differential voltage gain	Differential-Spannungsverstärkung
B	unbalance	Unwucht
BW	bandwidth	Bandbreite
C_I	input capacitance	Eingangskapazität
CMR	common-mode rejection ratio	Gleichphasiges Signalunterdrückungs-Verhältnis
F	noise factor	Rauschfaktor
F_d	noise factor in differential amplifier	Rauschfaktor als Differentialverstärker
f	frequency	Frequenz
$f_{T \text{ min}}$	cut-off frequency at which $h_{21e} = 1$	Grenzfrequenz, bei welcher $h_{21e} = 1$
h_{21E}	current gain in grounded emitter circuit, static value	Gleichstromverstärkungsfaktor in Emitterschaltung
h_{21e}	current gain in grounded emitter circuit, small signal value	Kleinsignal-Stromverstärkungsfaktor in Emitterschaltung
$ h_{21e} $	absolute value of current amplification factor	Stromverstärkungsfaktor-Absolutwert
I	operating current	Betriebsstrom
I_C	collector current	Kollektorstrom
I_{CC}	operating current	Betriebsstrom
I_{DD}	operating current	Betriebsstrom
I_E	emitter current	Emitterstrom
I_{EE}	operating current	Betriebsstrom
I_I	input current	Eingangsstrom
I_{IB}	input bias current	Eingangs-Null-Strom (Eingangsbiasstrom)
I_{IO}	input offset current	Eingangsstrom-Unsymmetrie (Eingangsoffsetstrom)
I_{IQ}	input bias current	Eingangs-Null-Strom (Eingangsbiasstrom)
I_O	output current	Ausgangsstrom
I_{OP}	output peak current	Ausgangsspitzenstrom
I_Q	quiescent current	Ruhestrom
ΔI_Q	quiescent current range	Ruhestromänderung
I_{OS}	output short-circuit current	Ausgangs-Kurzschluss-Strom
$I_{P/N}$	stabilized current	Stabilisierter Strom
K	total harmonic distortion	Verzerrung
P	dissipation	Verlustleistung
P_O	output power	Ausgangsleistung
P_{tot}	total dissipation	Gesamtverlustleistung
R_{BE}	external resistance between base and emitter	Außerer Widerstand zwischen Basis und Emitter
R_G	generator internal resistance	Generator-Innenwiderstand
R_i	internal resistance	Innenwiderstand
R_I	input resistance	Eingangswiderstand
R_{ISE}	input resistance of one input	Eingangswiderstand von einem Eingang
R_O	output resistance	Ausgangswiderstand
R_{thja}, R_t	thermal resistance between junction and ambient air	Wärmewiderstand zwischen Sperrschicht und umgebender Luft
R_{thjc}, R_{t1}	thermal resistance between junction and case	Wärmewiderstand zwischen Sperrschicht und Gehäuse
R_L	load resistance	Belastungswiderstand
$r_{CE(ON)}$	channel resistance in closed state	Kanalwiderstand im geschalteten Zustand
$r_{CE(OFF)}$	channel resistance in unclosed state	Kanalwiderstand im ungeschalteten Zustand
$r_{P/N}$	dynamic resistance	Dynamischer Widerstand
S	slew rate	Flankensteilheit
SVR	supply voltage rejection ratio	Empfindlichkeit an Betriebsspannungsänderung
TK	av. temperature coefficient	Mittlerer Temperaturkoeffizient
t_f	fall time	Abfallzeit
t_{ip}	impulse time	Impulsdauer
$t_{ip/T}$	tasting ratio	Tastverhältnis
t_r	rise time	Anstiegszeit
U_B	supply voltage	Speisespannung
U_{BE}	base-emitter voltage	Basis-Emitter-Spannung
U_{CB}	collector-base voltage	Kollektor-Basis-Spannung
U_{CC}	positive supply voltage	Positive Speisespannung
U_{CE}	collector-emitter voltage	Kollektor-Emitter-Spannung
U_{CEO}	collector-emitter voltage, base open	Kollektor-Emitter-Sperrspannung bei offener Basis
U_{EB}	emitter-base voltage	Emitter-Basis-Spannung
U_{DD}	supply voltage	Speisespannung
U_{EE}	negative supply voltage	Negative Speisespannung
U_I	input voltage	Eingangsspannung
U_{ID}	differential input voltage	Differential-Eingangsspannung
$U_{In \text{ ef}}$	input noise voltage, R. M. S. value	Eingangs-Rauschspannung, effektive
U_{IO}	input offset voltage	Eingangsspannung-Unsymmetrie (Eingangsoffsetspannung)
U_N	noise voltage	Rauschspannung
U_O	output voltage	Ausgangsspannung
ΔU_O	line regulation	Netzregelung
U_{OAF}	output A. F. voltage	NF-Ausgangsspannung
U_{OM}	output voltage, peak value	Ausgangsspannung (Spitzenwert)

GLOSSARY OF USED ABBREVIATIONS ERLÄUTERUNGEN DER ANGEWENDETEN BEZEICHNUNGEN

$U_{OM/M}$	output voltage swing
U_{ON}	noise output voltage
U_{OO}	output offset voltage
U_{OPP}	output voltage swing
ΔU_{OT}	long term stability
$U_{P/N}$	reference voltage
$\Delta U_{P/N}$	reference voltage change
U_1	input voltage
U_2	output voltage
ΔU_2	output voltage change
y_{21}	mutual conductance
Z_1	input impedance
Z_0	output impedance
α_{I10}	average temperature coefficient of input offset current
α_{U10}	average temperature coefficient of input offset voltage
ϑ_a	ambient temperature
ϑ_c	case temperature
ϑ_j	junction temperature
ϑ_{sig}	storage temperature

Ausgangsspannung (Spitze-Spitze)
Ausgangsrauschspannung
Ausgangsspannung-Unsymmetrie
Ausgangsspannung (Spitze-Spitze)
Langzeitstabilität
Referenzspannung
Referenzspannungs-Änderung
Eingangsspannung
Ausgangsspannung
Ausgangsspannung-Änderung
Steilheit
Eingangs-Impedanz
Ausgangs-Impedanz
Mittl. Temperaturkoeffizient der Eingangsstrom-Unsymmetrie
Mittl. Temperaturkoeffizient der Eingangsspannungs-Unsymmetrie
Umgebungstemperatur
Gehäusetemperatur
Sperrschichttemperatur
Lagerungstemperatur

TRUTH TABLE • LOGISCHES VERHALTEN

MH7472, MH8472, MH5472

t_n		$t_n + 1$
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	$\overline{Q_n}$

MH7474, MH8474, MH5474

(one flip-flop — ein Flipflop)

t_n		$t_n + 1$
input D	output Q	output \overline{Q}
Eingang D	Ausgang Q	Ausgang \overline{Q}
L	L	H
H	H	L

Remarks: • Bemerkungen:

- $J = J_1 \cdot J_2 \cdot J_3$
- $K = K_1 \cdot K_2 \cdot K_3$
- t_n = bit time before clock pulse
Zeitpunkt vor dem Taktimpuls
- $t_n + 1$ = bit time after clock pulse
Zeitpunkt nach dem Taktimpuls
- Q_n = state on output Q in time t_n
Stand am Ausgang Q im Zeit t_n

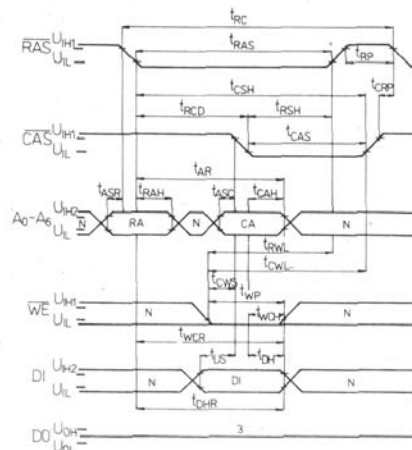
MH 3212

REMARKS TO THE FUNCTION TABLE • BEMERKUNGEN ZUR FUNKTIONSTABELLE

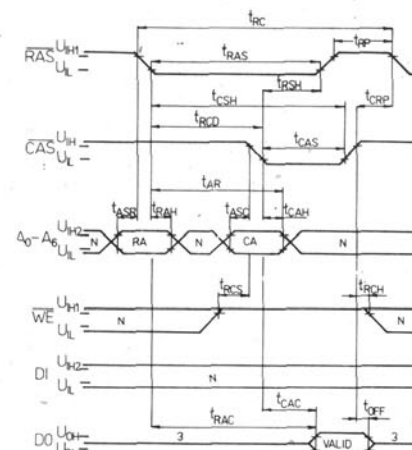
- R — reset data latch • Datenspeicher rücksetzen
sets SR flip-flop • SR Flip-Flop vorbereiten
(no effect on output buffer • ohne Wirkung auf den Ausgangspuffer)
- *) — Internal SR flip-flop • Internes SR Flip-Flop
- H — high level • High-Zustand
- L — low level • Low-Zustand
- ↓ — transition from high to low level • Änderung von Low- auf High-Zustand
- X — irrelevant level (incl. transitions) • Beliebiger Zustand einschließlich seiner Änderungen
- Q_n — previous level of help circuit • vorangehenden Zustand von Hilfskreis
- § — level equal as on output of help flip-flop • Zustand gleicher wie auf Ausgang des Hilfs-Flip-Flop

MHB4116

WRITE • SCHREIBEN



READ • LESEN



- N — signal non transferred • keine Signalübertragung
- RA — row address • Zeilenadresse
- CA — column address • Spaltenadresse
- DI — Input data • Eingangsdaten

INSTRUCTION FOR SOLDERING

All semiconductor devices are very sensible to elevated temperatures. In order to prevent them being damaged, the following procedure should be adhered to, when such devices are soldered:

First the ends of leads should be tinned over a length of 5 millimetres. An inert cleaning agent should be used for soldering (preferably colophonium, solved in alcohol). In the course of soldering, the excessive heat from the leads must be removed in such a way, that the lead is gripped in flat-nosed pliers between the semiconductor device and the point to be soldered, whereby the heat transfer towards the semiconductor crystal is eliminated. Soldering lugs in the device, to which the semiconductor devices is to be soldered, must also be first tinned. For soldering use only a perfectly insulated soldering iron, or an iron, which during the soldering process is disconnected from the mains. If both parts are well prepared, the time for soldering proper can be reduced to 1–2 seconds.

OPERATIONAL RECOMMENDATIONS FOR DESIGNERS

As far as it is necessary to bend the leads at the device, the bend may be made minimum 3 mm from the edge of the device case. The lead must not be stressed for bending on the point of the seal of the case (there is a risk of breaking off).

STORAGE

It is permitted to store the semiconductor devices only in the closed, dry and ventilated places, where there is no corrosive ambient, which would be harmful for devices. It is recommended to keep the storage temperature over the range of 5 to 35 °C, relative humidity of the ambient less than 75 %.

LÖTVORSCHRIFT

Halbleiterbauelemente sind gegen übermäßige Erwärmung empfindlich. Um eine Beschädigung zu verhüten, sollte daher folgender Vorgang beim Löten eingehalten werden:

Die Anschlussenden müssen im voraus in einer Länge von 5 mm verzinnt werden. Zum Löten muss ein neutrales Flussmittel (am besten eine Lösung von Kolophonium in Alkohol) verwendet werden. Beim Löten muss die lästige Wärme von den Anschlüssen dadurch abgeleitet werden, dass der Anschluss an der Stelle zwischen der Lötstelle und dem Halbleiterbauelement in die Backen einer Flachzange geklemmt wird, so dass die Wärme sich nicht durch den Anschluss zum Halbleiterkristall fortsetzen kann. Auch der Lötöse in Gerät muss im voraus Zinn aufgetragen werden. Halbleiterbauelemente dürfen im Gerät mit elektrisch einwandfrei isoliertem oder während des Lötens vom elektrischen Netz abgeschalteten LötKolben durchgeführt werden. Sind die Teile im voraus gut vorbereitet, reicht für das eigentliche Löten eine Zeit von 1 bis 2 Sekunden aus.

ANWEISUNG FÜR MONTAGE

Wenn es bei der Montage nötig ist die Ausführungen zu biegen, muss die Biegungsstelle wenigstens 3 mm vom Rande des Halbleitergehäuses entfernt sein. Die Übergangsstelle der Ausführung aus dem Gehäuse darf nicht durch Biegungsbeanspruchung überangestrengt werden (Bruchgefahr).

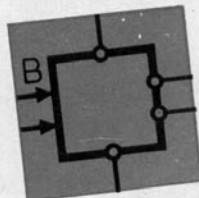
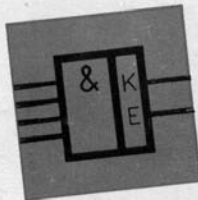
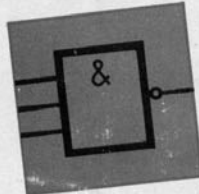
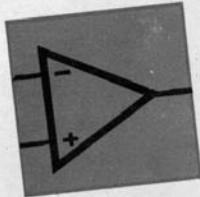
LAGERUNG

Die Halbleiterbauelemente dürfen nur in geschlossenen, trockenen und gelüfteten Räumen gelagert werden, wo nicht die Gefahr einer aggressiven Umgebung besteht, die auf die Halbleiterbauelemente schädlichen Einfluss haben könnte. Es wird empfohlen, in den Lagerungsräumen einen Wärmezustand von 5 bis 35 °C einzuhalten und eine relative Feuchtigkeit, die kleiner als 75 % ist.



TESLA ROŽNOV
koncernový podnik
756 61 ROŽNOV POD RADHOŠTĚM

TESLA PIEŠTANY
koncernový podnik
921 72 PIEŠTANY



**EXPORT
IMPORT
KOVO**
PRAHA
CZECHOSLOVAKIA

KOVO
Jankovcova 2
170 88 PRAHA 7
CZECHOSLOVAKIA

