

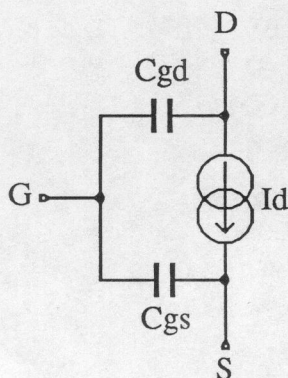
Modélisation du J-FET - Effet Miller

But du TP:

Caractérisation statique et dynamique d'un transistor à effet de champ à jonction à canal N (JFET) BF244B, mise en évidence de l'effet Miller, identification du modèle JFET du simulateur SPICE.

Rappels et compléments concernant le JFET:

Un modèle simple proche de celui présent dans le simulateur SPICE présente la structure suivante:



I_d : générateur de courant interne, lié aux tensions V_{gs} et V_{ds} , permet de modéliser les caractéristiques statiques du transistor. Ce générateur est bien-sûr non linéaire, il prend en compte les trois modes de fonctionnement du transistor.

- Transistor bloqué : $V_{gs} - V_{to} < 0$

$$I_d = 0$$

- Transistor en mode résistance contrôlée: $V_{ds} < V_{gs} - V_{to}$

$$I_d = K V_{ds} (2(V_{gs} - V_{to}) - V_{ds})$$

- Transistor en mode source de courant contrôlée: $0 < V_{gs} - V_{to} < V_{ds}$

$$I_d = K (V_{gs} - V_{to})^2$$

V_{to} : tension de seuil

K : coefficient de transconductance ($K = \frac{I_{dss}}{V_{to}^2}$)

I_{dss} : courant de drain à $V_{gs} = 0$

C_{gd} , C_{gs} : ces deux condensateurs modélisent la capacité de la jonction grille / canal. Si cette jonction est polarisée en inverse, ces capacités ont pour expressions :

$$C_{gd} = \frac{C_{gd0}}{\sqrt{1 - \frac{V_{gd}}{V_{\phi}}}} ; C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_{\phi}}}}$$

C_{gs0} : capacité grille / source à $V_{gs} = 0$

C_{gd0} : capacité grille / drain à $V_{gd} = 0$

V_{ϕ} : barrière de potentiel de la jonction grille / canal (constante liée à la structure de la jonction)

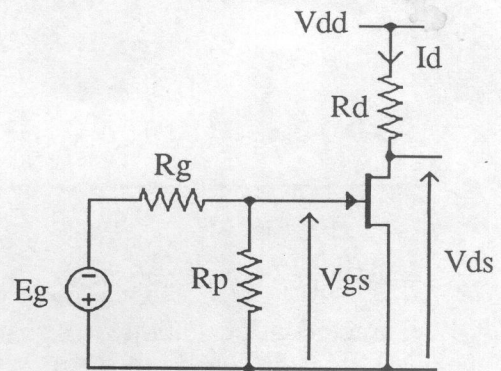
Remarquer que les condensateurs C_{gd} et C_{gs} sont non-linéaires puisqu'ils dépendent respectivement de la tension V_{gd} et de la tension V_{gs} .

Mesures des paramètres statiques:

- Mesurer rapidement I_{dss} et V_{to} : effectuer pour cela une mesure à $V_{gs} = 0$ et une mesure à $I_d = \frac{I_{dss}}{4}$.

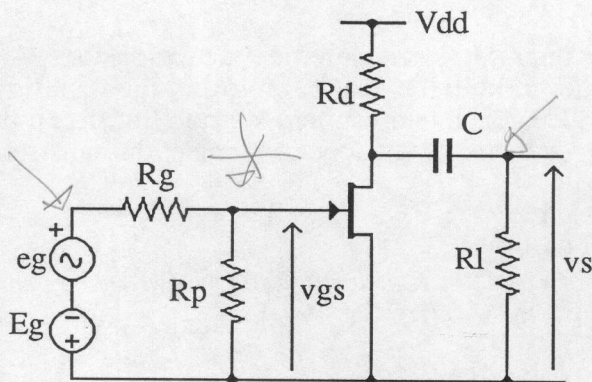
Adopter le montage ci-contre pour effectuer les mesures. Attention au signe de V_{gs} !

FET : BF244B ; $V_{dd} = 25 \text{ V}$
 $R_g = 100 \text{ k}\Omega$; $R_p = 10 \text{ k}\Omega$
 $R_d = 1.8 \text{ k}\Omega$



Mesure des paramètres dynamiques:

Montage:



FET : BF244B
 $V_{dd} = 25 \text{ V}$
 $R_g = 100 \text{ k}\Omega$
 $R_p = 100 \text{ k}\Omega$
 $R_d = 1.8 \text{ k}\Omega$
 $C = 100 \text{ nF}$
 $R_l = \infty ; 10 \text{ k}\Omega ; 2 \text{ k}\Omega ; 1 \text{ k}\Omega$
 $e_g \text{ max} = 100 \text{ mV}$

Les capacités C_{gs} et C_{ds} sont de l'ordre de quelques pF, il est donc impératif de ne pas brancher un appareil de mesure même avec sonde au niveau de la grille.

- Pour $E_g = 0$ et pour les quatre valeurs de résistances R_l :
 - mesurer e_g et v_s dans la bande passante, en déduire $A_{v1} = \frac{v_s}{e_g}$, $A_{v2} = \frac{v_s}{v_{gs}}$
 - mesurer la fréquence de coupure haute de A_{v1} : f_c

(Veiller à ce que le transistor fonctionne bien en régime de petits signaux dans le domaine source de courant contrôlée)

- Tracer la courbe $\tau = \frac{1}{2 \pi f_c}$ en fonction de A_{v2} , en déduire la valeur de C_{gd} , C_{gs} pour le point de fonctionnement (V_{gs} , V_{ds}) considéré.

- Reprendre ces mesures pour $E_g = \frac{V_{to}}{2}$

- Déduire de l'ensemble de ces mesures la valeur des paramètres C_{gd0} , C_{gs0} , V_{ϕ} .

$$R_l / A_{v1} / A_{v2} / f_c / \tau = \frac{1}{2 \pi f_c}$$

Identification du modèle SPICE:

- Consulter l'extrait de la documentation SPICE, identifier les différents paramètres du modèle de JFET.
- Que représente le paramètre LAMBDA ? Proposer une technique de mesure de ce paramètre.
- Que représente le paramètre IS ? Estimer ce paramètre par une mesure à courant direct de grille de 0.1 mA.

Suite possible:

Entrer les paramètres de ce modèle dans le simulateur SPICE (AWB), puis vérifier sa validité en comparant simulations et mesures. Adopter les valeurs par défaut pour les paramètres non mesurés.

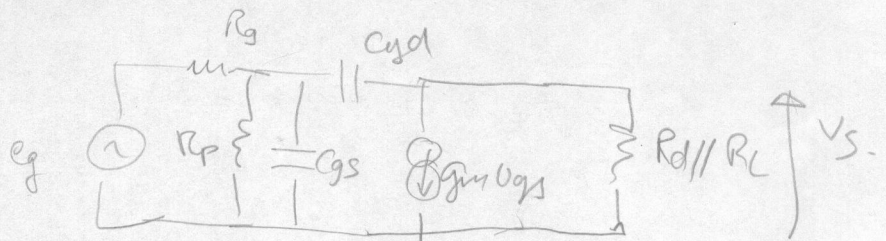
Matériel :

Support de transistor (ne pas utiliser un protoboard)

GBF KH

Oscilloscope Philips + sonde

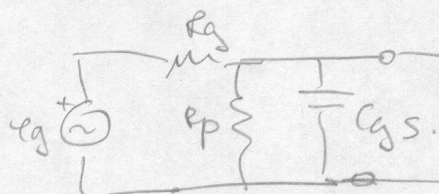
Document annexe : extrait de la documentation SPICE.



Gain dans le BP.
$$A_{v2} \approx 10 \cdot \frac{v_s}{v_{gs}} = -g_m (R_d // R_L)$$

$$A_{v1} = \frac{v_s}{e_g} = -g_m (R_d // R_L) \cdot \frac{R_p}{R_g + R_p} \approx \frac{1}{2}$$

Vu de l'entrée :

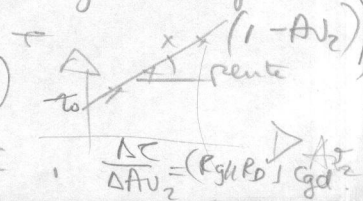


Méthode par répression linéaire; tracer

$$C = \frac{1}{2\pi f_c f(A_{v2})}$$

$$C = (R_g // R_p) (C_{gs} + C_{gd}(1 - A_{v2}))$$

$$C_0 = (R_g // R_p) C_{gs} \rightarrow \text{pente} \quad \frac{\Delta C}{\Delta A_{v2}} = (R_g // R_p) C_{gd}^2$$



J Junction FET

General forms

J <name> <(drain) node> <(gate) node> <(source) node>
+ <(model) name> [(area) value]

Examples

J1N 100 1 0 JFAST
J13 22 14 23 JNOM 2.0

Model Parameters (see .MODEL statement)

	Units	Default
VTO	volt	-2.0
BETA	amp/volt ²	1E-4
LAMBDA	volt ⁻¹	0
RD	ohm	0
RS	ohm	0
IS	amp	1E-14
PB	volt	1.0
CGD	farad	0
CGS	farad	0
FC	forward-bias depletion capacitance coefficient	0.5
VTOTC	VTO temperature coefficient	0
BETATCE	BETA exponential temperature coefficient	0
KF	flicker noise coefficient	0
AF	flicker noise exponent	1

The JFET is modeled as an intrinsic FET with an ohmic resistance (RD/area) in series with the drain, and with another ohmic resistance (RS/area) in series with the source, and with another ohmic resistance (RG) in series with the gate. Positive current is current flowing into a terminal. [(area) value] is the relative device area and defaults to 1.

$$I_{D0} = I_s \left(\exp\left(\frac{V_{GS}}{V_T}\right) - 1 \right)$$

$$C_{gs} = \left\{ \begin{array}{l} V_{GS} < V_{TO} \\ V_{GS} - V_{TO} < 0 \end{array} \right\} \times P_B$$

$$C_{gd} = \frac{C_{g20}}{\sqrt{1 - V_{GS}/V_{TO}}}$$

$$I_g = \text{gate current} = \text{area} \cdot (I_{gs} + I_{gd})$$

$$I_{gs} = \text{gate-source leakage current} = I_s \cdot (e^{V_{GS}/V_T} - 1)$$

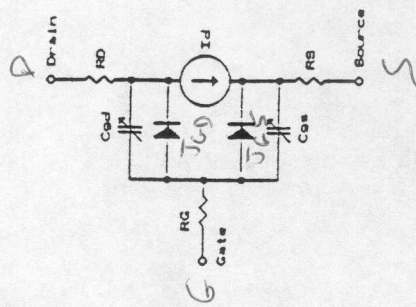
$$I_{gd} = \text{gate-drain leakage current} = I_s \cdot (e^{V_{GD}/V_T} - 1)$$

$$I_d = \text{drain current} = \text{area} \cdot (-I_{gd} - I_{drain})$$

$$I_s = \text{source current} = \text{area} \cdot (-I_{gs} + I_{drain})$$

For: $V_{ds} \geq 0$ (normal mode)
and: $V_{GS} - V_{TO} < 0$ (cutoff region)

$$I_{drain} = 0$$



JFET MODEL

In the following equations:

- V_{gs} = intrinsic gate-intrinsic source voltage
- V_{gd} = intrinsic gate-intrinsic drain voltage
- V_{ds} = intrinsic drain-intrinsic source voltage
- V_t = $k \cdot T/q$ (thermal voltage)
- T_{nom} = nominal temperature (set with TNOM option)
- q = electron charge
- k = Boltzmann's constant

Other variables are from the model parameter list. These equations describe an n-channel JFET. For p-channel devices, reverse the sign of all voltages and currents.

DC Currents

$$I_g = \text{gate current} = \text{area} \cdot (I_{gs} + I_{gd})$$

$$I_{gs} = \text{gate-source leakage current} = I_s \cdot (e^{V_{GS}/V_T} - 1)$$

$$I_{gd} = \text{gate-drain leakage current} = I_s \cdot (e^{V_{GD}/V_T} - 1)$$

$$I_d = \text{drain current} = \text{area} \cdot (-I_{gd} - I_{drain})$$

$$I_s = \text{source current} = \text{area} \cdot (-I_{gs} + I_{drain})$$

For: $V_{ds} \geq 0$ (normal mode)
and: $V_{GS} - V_{TO} < 0$ (cutoff region)

$$I_{drain} = 0$$

and: $V_{ds} < V_{gs} - V_{TO}$ (linear region)

$$I_{drain} = BETA \cdot (1 + LAMBDA \cdot V_{ds}) \cdot V_{ds} \cdot (2 \cdot (V_{gs} - V_{TO}) - V_{ds})$$

and: $0 \leq V_{gs} - V_{TO} \leq V_{ds}$ (saturation region)

$$I_{drain} = BETA \cdot (1 + LAMBDA \cdot V_{ds}) \cdot (V_{gs} - V_{TO})^2$$

For: $V_{ds} < 0$ (inverted mode)

Switch the source and drain in equations (above).

Capacitance

Note: all capacitances are between terminals of the intrinsic JFET (that is, to the inside of the ohmic drain and source resistances).

C_{gs} = gate-source depletion capacitance

For: $V_{gs} \leq FC \cdot PB$

$$C_{gs} = area \cdot CGS \cdot (1 - V_{gs}/PB)^{-M}$$

For: $V_{gs} > FC \cdot PB$

$$C_{gs} = area \cdot CGS \cdot (1 - FC)^{-(1+M)} \cdot (1 - FC \cdot (1 + M) + M \cdot V_{gs}/PB)$$

where $M = 0.5$

C_{gd} = gate-drain depletion capacitance

For: $V_{gd} \leq FC \cdot PB$

$$C_{gd} = area \cdot CGD \cdot (1 - V_{gd}/PB)^{-M}$$

For: $V_{gd} > FC \cdot PB$

$$C_{gd} = area \cdot CGD \cdot (1 - FC)^{-(1+M)} \cdot (1 - FC \cdot (1 + M) + M \cdot V_{gd}/PB)$$

where $M = 0.5$

Temperature Effects

$$V_{TO}(T) = V_{TO} + V_{TOIC} \cdot (T - T_{nom})$$

$$BETA(T) = BETA \cdot 1.01^{BETAICE \cdot (T - T_{nom})}$$

$$IS(T) = IS \cdot e^{(T/T_{nom} - 1) \cdot EG / (N \cdot V)} \cdot (T/T_{nom})^{XTI/N}$$

where: $EG = 1.11$, $N = 1$, $XTI = 0$

$$PB(T) = PB \cdot T / T_{nom} - 3 \cdot V_{t} \cdot \ln(T/T_{nom}) + EG(T) - EG(T_{nom}) \cdot T / T_{nom}$$

where: $EG(T)$ = silicon bandgap energy @ T

$$CGS(T) = CGS \cdot (1 + M \cdot (.0004 \cdot (T - T_{nom}) + (1 - PB(T)/PB)))$$

$$CGD(T) = CGD \cdot (1 + M \cdot (.0004 \cdot (T - T_{nom}) + (1 - PB(T)/PB)))$$

where $M = 0.5$

The drain and source ohmic (parasitic) resistances have no temperature dependence.

Noise

Noise is calculated assuming a 1 Hertz bandwidth, with the following spectral power densities (per unit bandwidth):

the parasitic resistances, R_s and R_d , generate thermal noise ...

$$I_s^2 = 4 \cdot k \cdot T / (R_s / area)$$

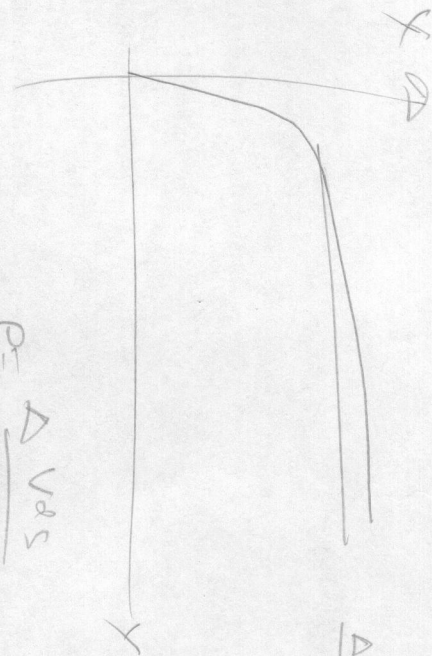
$$I_d^2 = 4 \cdot k \cdot T / (R_d / area)$$

the intrinsic JFET generates shot and flicker noise ...

$$I_{drain}^2 = 4 \cdot k \cdot T \cdot gm^2 / 3 + KF \cdot I_{drain}^{AF} / FREQUENCY$$

where $gm = dI_{drain}/dV_{gs}$ (at the DC bias point)

$$\rho = \frac{\Delta V_{85}}{\Delta I_D}$$



$$\frac{\Delta X}{\Delta Y} = r$$