
Chapitre 5

Une carte d'extension fournie avec le DONATEC 286-12 regroupe 2 canaux de communication série RS-232C (dont 1 optionnel) et un port parallèle d'imprimante. Cette carte est normalement installée dans le slot 8 bits de l'unité centrale. Si cette carte n'était pas installée, veuillez vous référer au chapitre 4.6 pour procéder à son installation physique. Les signaux et l'alimentation de la carte, transitent par le connecteur du slot 2 x 31 broches. Il n'y a donc pas de câble interne à relier.

5.1 Partie ports série de la carte adaptateur

La partie ports série de cette carte d'extension est entièrement programmable et permet l'utilisation en mode asynchrone. Lors des communications, les circuits rajoutent/filtrent les start-bits, stop-bits et bits de parité. Un générateur de baud programmable (1 baud = 1bit/seconde) permet de choisir un fonctionnement entre 50 et 9 600 bauds. Des caractères de 5, 6, 7 et 8 bits peuvent être transmis avec 1, 1,5 ou 2 stop-bits. Un système de gestion des interruptions gère les signaux :

- transmit
- receive
- line status
- data-set interrupts

La lamelle métallique de bout de carte comporte une embase de connecteur "mâle" type D à 9 broches série RS-232C. Pour vous permettre de vous connecter à ce port, un adaptateur 9/25 broches est fourni avec votre système.

Le 2ème port série ne possède pas de sortie par connecteur sur la lamelle de bout de carte. Par contre, il est possible d'y relier un câble plat muni à une extrémité d'une fiche femelle à 2 rangées de 5 points et à l'autre extrémité une embase de connecteur 25 broches. Ce dernier pouvant être dirigé et fixé sur la face arrière (voir figure 5.1). Ce câble avec les composants sont fournis dans le kit KT201.

La figure 5.2 procure un synoptique de la structure du contrôleur de port série.

Le contrôleur de communication asynchrone effectue les opérations suivantes :

- émission/réception de données série
- addition/suppression de bits de contrôle (start, stop, parité)
- double tampon permettant un fonctionnement asynchrone sans aucun problème
- générateur de bauds programmable
- gestion des signaux de contrôle (CTS, RTS, DSR, DTR, RI et CD)

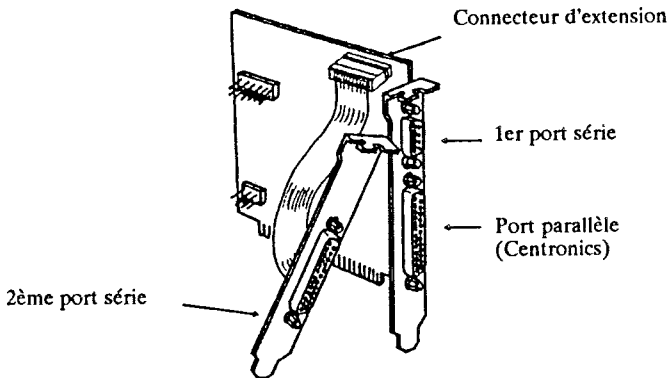


Figure 5.1 - Utilisation du deuxième port série de la carte de communication

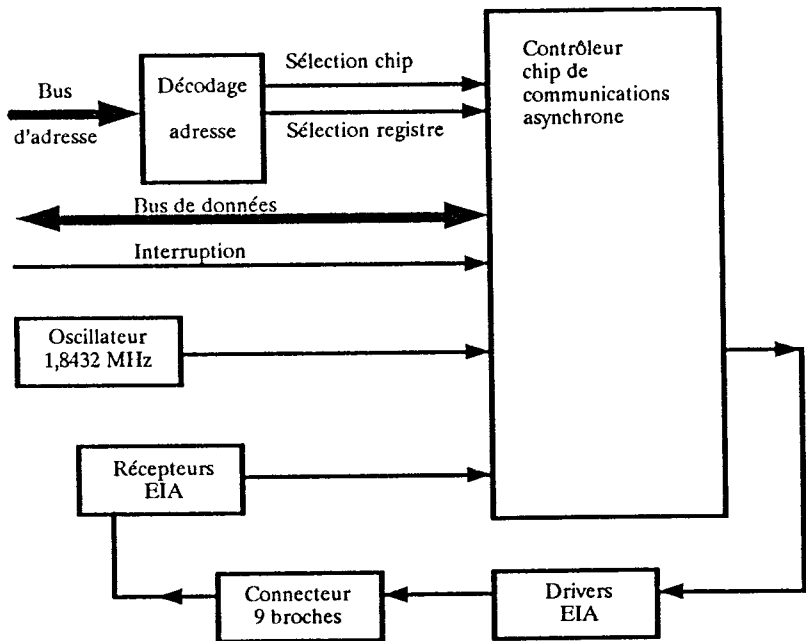


Figure 5.2 - Synoptique de la structure du port série

5.1.1 Logiciels de communication

Les ports série de cette carte peuvent être adressés comme étant les canaux logiques COM1, COM2, COM3 ou COM4.

Cette configurabilité est assurée par un groupe de micro-interrupteurs SW1-SW9 placés sur la carte et dont la position détermine le choix de l'affectation des canaux logiques aux ports physiques 1 et 2. Ces micro-interrupteurs sont regroupés en 2 ensembles localisables sur la figure 5.3 et dont la configuration est représentée à la figure 5.5.

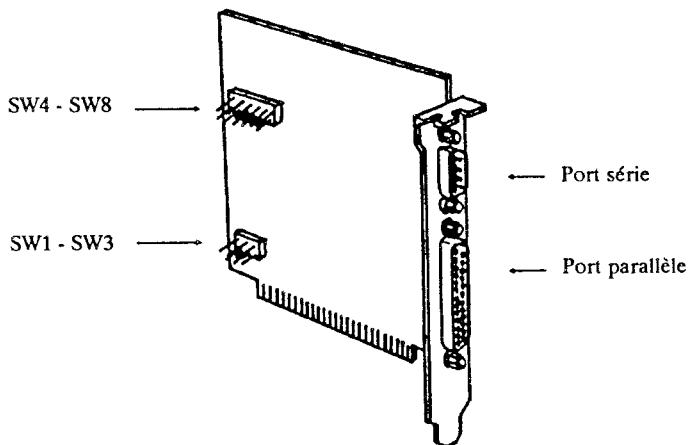


Figure 5.3 - Emplacement des micro-interrupteurs sur la carte de communication

Sélection d'adresse de port									PORT1	PORT2	IMPRIM
SW1	SW2	SW3	SW4	SW5	SW6	SW7	SW8	SW9	COM1	COM2	LPT1
ON	ON	ON	ON	OFF	OFF	ON	ON	OFF	COM1	COM2	LPT1
OFF	ON	ON	ON	OFF	OFF	ON	ON	OFF	COM3	COM4	PLT1
ON	OFF	ON	ON	OFF	-	-	ON	OFF	COM1	invalidé	LPT1
OFF	OFF	ON	OFF	ON	-	-	ON	OFF	COM2	invalidé	LPT1
ON	ON	OFF	ON	OFF	OFF	ON	OFF	ON	COM1	COM2	LPT2
OFF	ON	OFF	ON	OFF	OFF	ON	OFF	ON	COM3	COM4	LPT2
ON	OFF	OFF	ON	OFF	-	-	OFF	ON	COM1	invalidé	LPT2
OFF	OFF	OFF	OFF	ON	-	-	OFF	ON	COM2	invalidé	LPT2

COM1 = &3F8 - &H3FF (IRQ4) COM4 = &H2E8 - &H2EF (IRQ3)
 COM2 = &H2F8 - &H2FF (IRQ3) LPT#1 = &H378 - &H37F (IRQ7)
 COM3 = &H3E8 - &H3EF (IRQ4) LPT#2 = &H278 - &H27F (IRQ5)

Figure 5.4 - Positionnement des micro-interrupteurs sur la carte de communication

Le format de données est reproduit à la figure 5.5.

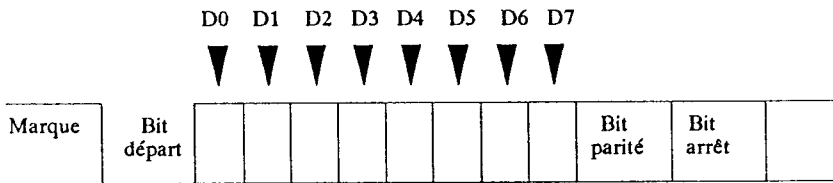


Figure 5.5 - Format de transmission de données sur voie série

Le bit de donnée "0" est le premier à être émis ou reçu. Le contrôleur insère automatiquement le "start bit" (bit de départ) le "parity-bit" (bit de parité) et le "stop-bit" (bit de fin). Le bit de parité est optionnel et il peut y avoir 1 - 1,5 ou 2 stop-bits selon la commande dans le registre de contrôle de ligne.

5.1.2 Spécifications du contrôleur série

Ce paragraphe donne le détail de la fonctionnalité des circuits d'entrée/sortie.

SIGNAUX D'ENTREE

CLEAR-TO-SEND : (CTS), patte 36. Le signal "CTS" réalise une fonction de contrôle de MODEM (modulateur/démodulateur). Son état peut être connu par le processeur en lisant le bit 4 (CTS) dans le registre d'état du modem.

ATTENTION

Le terme "modem" recouvre aussi bien un modem que tout équipement de transmission de données.

Note : Lorsque le bit CTS du registre d'état du modem change de niveau, une interruption est générée si le canal d'interruption modem est valide.

Data-Set-Ready : (DSR), patte 37. Lorsqu'il est à l'état bas, ce signal indique au modem que les données sont prêtes à être transférées entre la ligne de communication et le contrôleur. Le signal "DSR" est une fonction de contrôle du modem. Son état peut être lu en accédant au bit 5 (DSR) du registre d'état du modem. Le bit 1 (DDSR) du registre d'état indique si le signal "DSR" a changé d'état depuis la dernière lecture.

Note : Lorsque le bit DSR du registre d'état du modem change de niveau, une interruption est générée si le canal d'interruption modem est valide.

Data Carrier Detect : (DCD), patte 38. Lorsqu'il est à l'état bas, ce signal indique au modem qu'il a détecté une porteuse. Le signal "DCD" est une fonction de contrôle du modem. Son état peut être lu en accédant au bit 7 (DCD) du registre d'état du modem. Le bit 3 (DDCD) du registre permet de savoir si le signal DCD a changé d'état depuis la dernière lecture.

Note : Lorsque le bit DCD du registre d'état du modem change de niveau, une interruption est générée si le canal d'interruption modem est valide.

RING INDICATOR : (RI), patte 39. Lorsqu'il est à l'état bas, ce signal indique que le modem a détecté un appel (sonnerie de téléphone). Le signal RI est une fonction de contrôle du modem. Son état peut être lu en accédant au bit 6 (RI) du registre d'état du modem. Le bit 2 (TERI) du registre indique si le bit "RI" a changé d'état depuis la dernière lecture.

Note : Lorsque le bit RI du registre d'état du modem passe d'un état inactif à un état actif, une interruption est générée si le canal d'interruption modem est valide.

VCC, patte 40. Alimentation +5V

VSS, patte 20. Masse électrique (0V)

SIGNAUX DE SORTIE

DATA TERMINAL READY : (DTR), patte 33. Lorsqu'il est actif, ce signal indique au modem que le contrôleur est prêt à communiquer. Le signal de sortie (DTR) peut être positionné à un niveau actif en agissant sur le bit 0 (DTR) du registre de contrôle du modem. Le signal "DTR" est mis à l'état initial inactif lors du reset du maître.

REQUEST TO SEND : (RTS), patte 32. Lorsqu'il est actif, ce signal indique au modem que le contrôleur est prêt à envoyer des données. La sortie "RTS" peut être positionnée à un niveau actif, en agissant sur le bit 1 (RTS) dans le registre de contrôle du modem. Le signal "RTS" est positionné à l'état initial inactif, lors du reset du maître.

OUT UP 1 : (OUT 1), patte 34. Ce signal de sortie est à la discrétion de l'utilisateur. Il peut être mis à l'état actif en agissant sur le bit 2 (OUT 1) dans le registre de contrôle du modem. Le signal "OUT 1" est positionné à l'état initial inactif, lors du reset du maître.

OUT UP 2 : (OUT 2), patte 31. Ce signal de sortie est à la discrétion de l'utilisateur. Il peut être mis à l'état actif en agissant sur le bit 3 (OUT 2) dans le registre de contrôle modem. Le signal "OUT 2" est positionné à l'état initial inactif, lors du reset du maître. La broche 31 contrôle les interruptions vers le système.

5.1.3 Registres de contrôle accessibles

Le contrôleur de port série possède plusieurs registres internes accessibles. L'accès en lecture/écriture à ces registres se fait par le CPU de la carte mère. Ces registres permettent de commander le contrôleur de ports série, et donc les réceptions/transmissions de données. Ces registres sont accessibles aux adresses spécifiées dans les tableaux qui suivent.

Note 20: "X" remplace le chiffre "3" pour le port N° 1 et remplace le chiffre "2" pour le port N° 2. Ainsi 3F8 correspond au registre "TX" du port N° 1.

Tableau 5.1 - Adresse des registres internes du contrôleur série

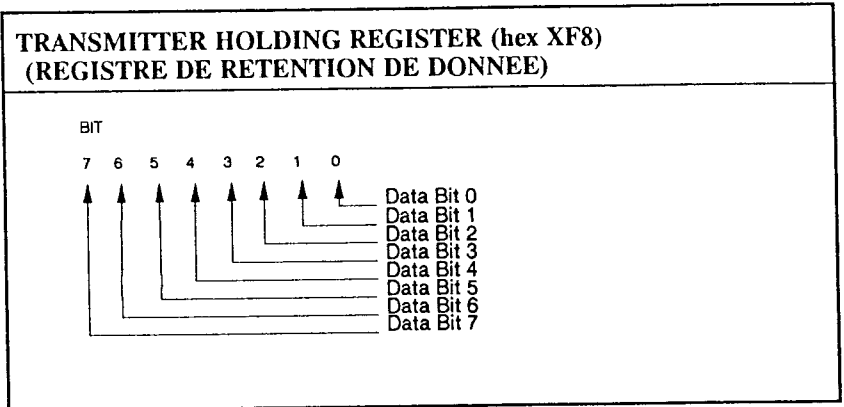
I/O ADDRESS	REGISTRE SELECTIONNE	Etat de DLAB
XF8	TX buffer	0 (write)
XF8	RX buffer	0 (read)
XF8	Divisor Latch LSB	1
XF9	Divisor Latch MSB	1
XF9	Interrupt Enable Register	0
XFA	Interrupt identification Register	
XFB	Line Control Register	
XFC	Modem Control Register	
XFD	Line Status Register	
XFE	Modem Status Register	
XFF	Reserved	

Note : I/O = Input/Output - E/S = Entrée/Sortie

Transmitter Holding Register (hex XF8) :

Le registre de rétention de données à l'émission (THR) contient la donnée devant être transmise. Ce registre est accessible seulement en écriture.

Tableau 5.2 - Registre de rétention de données devant être transmises

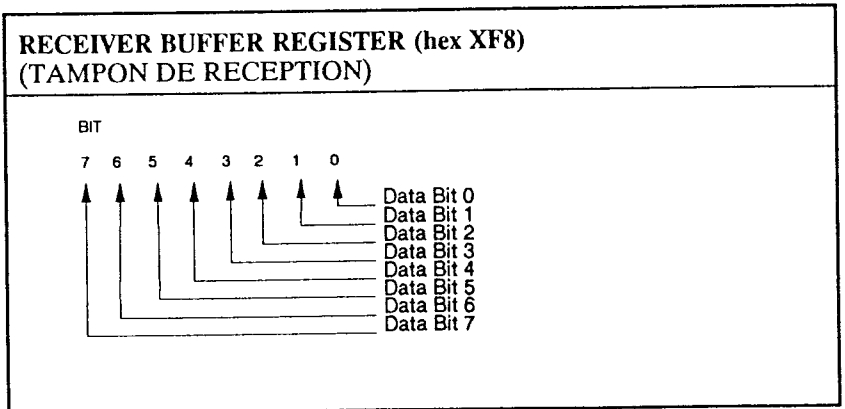


Le bit 0 est le bit de poids le plus faible et c'est le premier à être transmis sur la ligne série.

Receiver Buffer Register (hex XF8) :

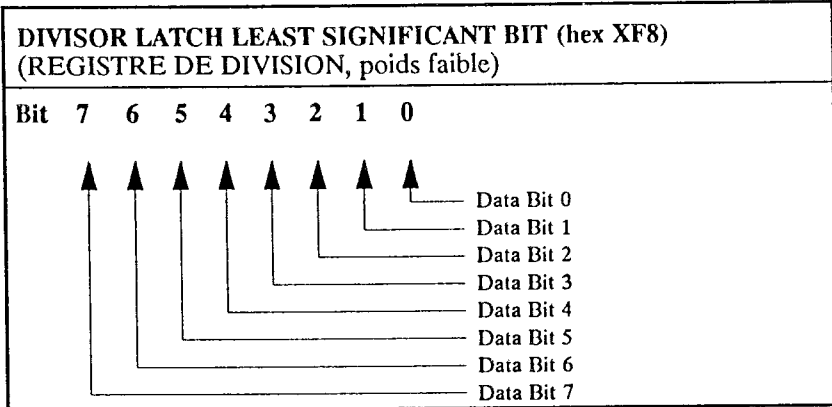
C'est le registre de réception de données. Il contient la dernière donnée reçue sur la ligne de transmission. Ce registre est à lecture seule.

Tableau 5.3 - Registre tampon de réception



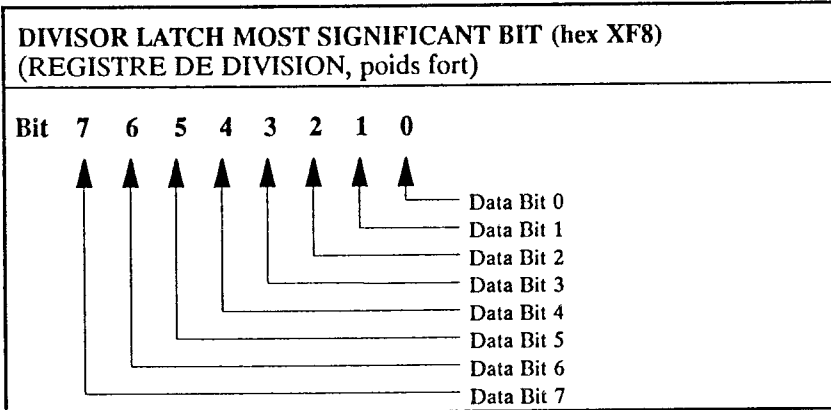
Le bit 0 est le bit de poids le plus faible, et il est le premier à être transmis sur la ligne série.

Tableau 5.4 - Registre de division (poids faible) du générateur de bauds



Pour obtenir plus de détails sur ce registre, référez-vous au paragraphe 5.1.4 - Générateur Programmable de Bauds.

Tableau 5.5 - Registre de division (poids fort) du générateur de bauds

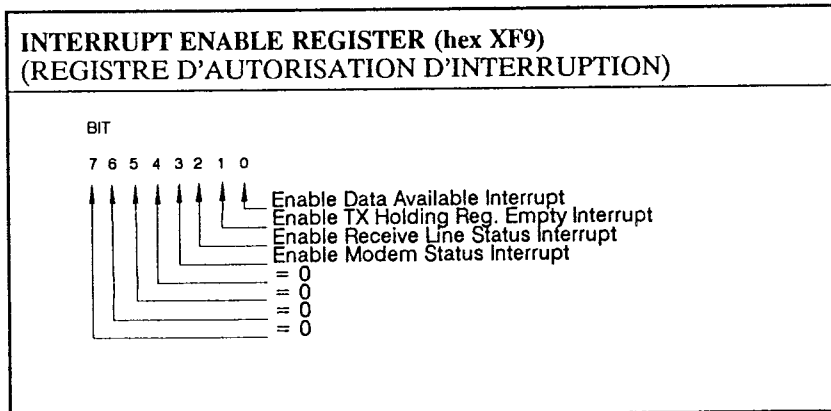


Pour obtenir plus de détails sur ce registre, référez-vous au paragraphe 5.1.4 - Générateur Programmable de Bauds.

Interrupt Enable Register (hex XF9) :

Ce registre de 8 bits permet d'autoriser ou non le passage de 4 types d'interruptions vers la sortie "INTRPT" du contrôleur. Le jeu d'interruptions peut être totalement désactivé en remettant à zéro les bits 0 à 3 du registre d'activation d'interruption (Interrupt Enable Register - IER). De façon similaire, en positionnant à "1" ces mêmes bits, les interruptions sont autorisées. Bloquer le jeu d'interruptions implique que les sorties "IER" et "INTRPT" du contrôleur resteront inactives. Toutes les autres fonctions opèrent de façon normale, y compris la programmation de registres d'état de ligne et d'état du modem.

Tableau 5.6 - Registre d'autorisation de passage d'interruption



Bit 0 : Au niveau logique "1", autorise l'interruption "received-data-available" (donnée reçue disponible).

Bit 1 : Au niveau logique "1", il autorise l'interruption "transmitter-holding-register-empty", (registre d'émission vide).

Bit 2 : Au niveau logique "1", il autorise l'interruption "receiver-line-status", (état de la ligne de réception).

Bit 3 : Au niveau logique "1", il autorise l'interruption "modem-status", (état du modem).

Bits 4-7 : Ces quatre bits sont toujours au niveau logique "0"

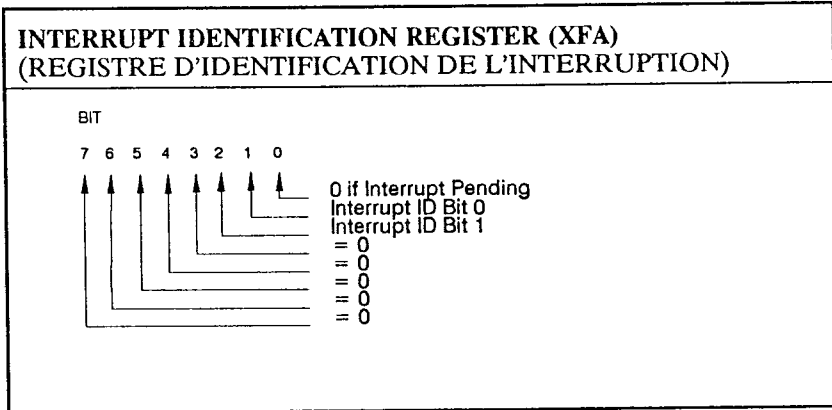
Interrupt Identification Register (hex XFA) :

Le contrôleur de ports série possède une ligne d'interruption qui lui permet de communiquer et donc d'interrompre le CPU de la carte mère. Pour minimiser les délais (overhead) lors de la transmission de données, le contrôleur est prévu pour hiérarchiser les interruptions sur 4 niveaux :

- Priorité 1 : Etat de la ligne de réception
- Priorité 2 : Donnée reçue prête
- Priorité 3 : Registre de rétention de données (émission)
- Priorité 4 : Etat du modem

L'information sur une interruption hiérarchisée en état d'attente est stockée dans le registre d'identification d'interruption (IIR). (voir le tableau 5.7 - Fonctions de contrôle d'interruption). Lorsqu'il est accédé alors que le contrôleur est sélectionné, le registre "IIR" bloque l'interruption de plus haut niveau. De ce fait, aucune autre interruption ne peut être servie tant que le processeur n'a pas servi cette interruption spécifique.

Tableau 5.7 - Registre d'identification d'interruption



Bit 0 : Ce bit peut être utilisé pour des interruptions câblées, hiérarchisées ou en queue, et indiquer si une interruption est en attente. Lorsqu'il est à "0" qu'une interruption est en attente alors le registre contenu du registre "IIR" peut être utilisé comme secteur de l'interruption concernée. Lorsqu'il est à "1", aucune interruption n'est en attente alors "l'écoute se poursuit".

Bits 1-2 : Ces 2 bits permettent d'identifier l'interruption qui possède le plus haut niveau dans celles qui sont en attente, comme le montre le tableau 5.8.

Bits 3-7 : Ces 5 bits sont toujours au niveau logique 0.

Tableau 5.8 - Fonctions de contrôle d'interruption

REGISTRE ID INTERRUPT			SET ET RESET DES FONCTIONS D'INTERRUPTION			
Bit 2	Bit 1	Bit 0	NIVEAU PRIORITE	TYPE d'IT	SOURCE d'IT	CONTROLE RESET D'IN- TERRUPTION
0	0	0	-	None	None	-
1	1	0	1ère	Receiver Line Status	Overrun Error or Parity Er- ror or Framing Er- ror or Break Interrupt	Reading the Line Status Register
1	0	0	2ème	Receiver Data Available	Received Data Available	Reading the Receiver Buffer Register
0	1	0	3ème	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR (if source of interrupt) or writing into the THR
0	0	0	4ème	Modem Status	Clear to Send or Data Set Ready or Ring Indicator or Received Line Signal Detect	Reading the mo- dem Status Register

Tableau 5.14 - Affectation des broches du connecteur type D-9 broches de la carte de communication

ENTREE/ SORTIE (périphérique)	SIGNAL/FONCTION	N° de broche	ENTREE/ SORTIE (unité centrale)
-	Carrier Detect	1	-
S	Receive Data	2	E
E	Transmit Data	3	S
E	Data Terminal Ready	4	S
-	Signal Ground	5	-
S	Data Set Ready	6	E
E	Request To Send	7	S
S	Clear To Send	8	E
S	Ring Indicator	9	E

Tableau B.7 - Brochage du port parallèle (imprimante)

ENTREE/ SORTIE (imprimante)	SIGNAL/FONCTION	N° de broche	ENTREE/ SORTIE (unité centrale)
S	STROBE*	1	E
S	PRTD0 bit data 0	2	E
S	PRTD1 bit data 1	3	E
S	PRTD2 bit data 2	4	E
S	PRTD3 bit data 3	5	E
S	PRTD4 bit data 4	6	E
S	PRTD5 bit data 5	7	E
S	PRTD6 bit data 6	8	E
S	PRTD7 bit data 7	9	E
E	ACK* (acknowledge)	10	S
E	BUSY (occupé)	11	S
E	PE (paper end/fin papier)	12	S
-	SLCT (select)	13	-
S	AUTOFDXT* (auto feed)	14	E
E	ERROR*	15	S
S	INIT*	16	E
S	SELCTIN*	17	E
-	Masse électrique	18 à 25	-

Tableau B.9 - Brochage du connecteur de clavier

SIGNAL/FONCTION	broche du connecteur
KEYCLK (horloge)	1
KEYDAT (données)	2
N.C.	3
Masse	4
+ 5V	5
Blindage du câble (gaine du connecteur)	6,7

Tableau B.10 - Brochage du connecteur vidéo

BROCHE	FONCTION
1	Vidéo Rouge
2	Vidéo Vert
3	Vidéo Bleu
4	ID Moniteur Bit 2
5	NON utilisé
6	Retour rouge (masse)
7	Retour vert (masse)
8	Retour bleu (masse)
9	Détrompeur (pas de broche)
10	Retour synchro (masse)
11	ID Moniteur Bit 0
12	ID Moniteur Bit 1
13	Synchro Horizontale
14	Synchro Verticale
15	NON utilisé

Note : Les moniteurs de type monochrome n'utilisent que la sortie "Vidéo Vert" et ignorent les sorties Vidéo Rouge et Bleu

Tableau B.6 - Brochage du câble plat vers les unités de disque dur

ENTREE/ SORTIE (unité)	SIGNAL/FONCTION	N de broche	ENTREE/ SORTIE (carte mère)
-	Ground-Odd Numbers	1-33	-
-	Unused	2,4,6	-
S	Index	8	E
E	Motor Enable A	10	S
E	Drive Select B	12	S
E	Drive Select A	14	S
E	Motor Enable B	16	S
E	Direction (Stepper Motor)	18	S
E	Step Pulse	20	S
E	Write data	22	S
E	Write Enable	24	S
S	Track 0	26	E
S	Write Protect	28	E
S	Read Data	30	E
E	Select Head1	32	S
-	Unused	34	-